
일반 싱글폴리 Nwell 공정에서 제작된 아날로그 메모리

채용웅*

An Analog Memory Fabricated with Single-poly Nwell Process Technology

Yong-Yoong Chai*

요 약

디지털 메모리는 신뢰성, 속도 그리고 상대적인 단순한 제어회로로 인해 지금까지 저장장치로서 널리 사용되어 왔다. 그러나 디지털 메모리 저장능력은 공정의 선폭감소의 한계로 인해 결국 한계에 다다르게 될 것이다. 이러한 저장 능력을 획기적으로 증가시키는 방안의 하나로서 메모리의 셀에 저장하는 데이터의 형태를 디지털에서 아날로그로 변화시키는 것이다. 한 개의 셀과 프로그래밍을 위한 주변회로로 구성된 아날로그 메모리가 0.16um 표준 CMOS 공정에서 제작되었다. 제작된 아날로그 메모리는 저밀도 불휘성 메모리, SRAM 과 DRAM에서 리던던시 회로 제어, ID나 보안코드 레지스터, 영상이나 음성 저장장치 등에 응용될 것이다.

ABSTRACT

A digital memory has been widely used as a device for storing information due to its reliable, fast and relatively simple control circuit. However, the storage of the digital memory will be limited by the inability to make smaller linewidths. One way to dramatically increase the storage capability of the memory is to change the type of stored data from digital to analog. The analog memory fabricated in a standard single poly 0.6um CMOS process has been developed. Single cell and adjacent circuit block for programming have been designed and characterized. Applications include low-density non-volatile memory, control of redundancy in SRAM and DRAM memories, ID or security code registers, and image and sound memory.

키워드

Analog Memory, Single poly, Programming voltage, EEPROM, Converter
아날로그 메모리, 싱글폴리, 프로그래밍 전압, 불휘성메모리, 변환기

1. 서 론

지금까지 디지털 메모리가 신뢰성, 속도, 그리고 상대적으로 단순한 회로구성으로 인해 정보를 저장하는 매체로 사용되어 왔다. 그러나 한 셀에 최대 두 개의 정보를 구분하는 디지털메모리는 선폭으로 인한 공정 기술에 따른 집적도의 한계에 이르렀다고 보여진다.

이러한 문제를 극복할 수 있는 방법으로 한 셀에 여러 가지의 상태를 저장할 수 있는 아날로그 메모리를 제안한다. [1-5]

본 연구에서 제안되는 아날로그 메모리는 EEPROM을 기반으로 한다. EEPROM은 불휘성 특성으로 인해 주로 데이터나 프로그램 저장용으로 사용되어 왔으며, 최근에는 집적회로의 리던던시 혹은 라우터 블럭으로

* 계명대학교 전자공학과(yychai@kmu.ac.kr)

접수일자 : 2012. 08. 23

심사(수정)일자 : 2012. 09. 10

게재확정일자 : 2012. 10. 05

사용되는 등 그 용도가 급속히 다변화되고 있다. 이와 같은 추세는 SOC의 추세에 비추어 볼 때 당연한 결과라 하겠다.

기존의 EEPROM[6-7]은 더블폴리 공정에서 주로 제작되어 왔다. 그러나 EEPROM이 단순한 메모리가 아니라 시스템에서 하나의 기능을 구현되는 매크로로서 작용하기 위해서는 일반 싱글폴리 공정에서 설계 제작하는 것이 경제적인 것이다. 이에 본 연구에서는 일반 싱글폴리 공정의 EEPROM을 이용하여 아날로그 메모리를 제작하고자 한다.

본 연구에서는 일반 CMOS 싱글폴리 nwell 0.6um 공정에서 제작된 EEPROM으로 아날로그 메모리를 소개하고 EEPROM 셀의 프로그래밍을 위한 주변회로 설계와 Hspice 시뮬레이션 결과를 보인다.

II. 싱글폴리 EEPROM

double-poly 구조의 EEPROM 셀에서는 Fowler-Nodheim 터널링 방식에 의해 쓰기와 소거 동작이 가능한 반면에 single-poly 의 EEPROM에서는 쓰기는 Hot-Electron 인젝션, 소거는 Fowler-Nodheim 터널링에 의해 구현되어야 한다. 이와 같이 쓰기와 소거에 의한 전자의 이동 방식이 다른 경우에는 이를 위한 주변회로 설계가 다소 복잡해진다.

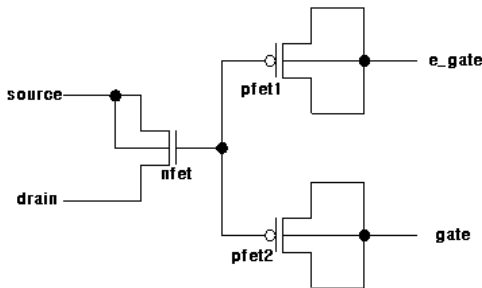


그림 1. 싱글폴리 EEPROM[8]
Fig. 1 A Single-poly EEPROM[8]

그림 1은 R. J. McParland[8]에 의해 제안된 싱글폴리 EEPROM 구조를 나타낸다. 임의의 정보는 nfet, pfet1 과 pfet2으로 구성된 부유게이트의 전자량에 의해 구분된다. 그림의 부유게이트에 전자를 이동시키는

쓰기동작은 Hot Electron 인젝션 방식에 의해 이루어지며, 이를 위해서는 컨트롤게이트(gate)에는 전압을 인가하고 드레인에 고전압을 인가하며 소스를 접지시켜야 한다. 이러한 동작은 부유게이트에 전자수를 증가시키고 트랜지스터의 문턱전압을 상승시키게 된다. 반면에 부유게이트에 있는 전자를 외부로 내보내는 것은 소거동작으로서 이것은 Fowler-Nordheim 방식에 의해 이루어진다. 이를 위해서는 컨트롤게이트(e_gate)에 전압을 인가하고 나머지는 모두 접지시키면 된다. 소거동작은 문턱전압을 낮추는 효과를 가져다 준다. 일단 쓰거나 소거와 같은 프로그래밍이 멈추게 되면 외부에서 인가되는 높은 전압이 제거되고 부유게이트에 있는 전자는 SiO2의 높은 에너지 장벽에 의해 더 이상 움직이지 못하고 부유게이트에 잔류하게 되어 외부의 전원이 제거되어도 셀에 저장된 정보가 유지되는 것이다. 이러한 특성으로 인해 EEPROM이 불활성 특성을 나타낸다.

III. 아날로그 메모리

이러한 EEPROM은 기존의 디지털메모리에서는 두 개의 상태(논리 0과 1)를 나타내는 것으로 충분했다. 따라서 쓰기와 소거동작 시에 충분히 높은 프로그래밍 전압을 상기 셀의 노드에 인가하면 정보의 구분이 가능했다. 이것은 0과 1이라는 정보간에는 충분한 마진이 확보되어 있기 때문이다. 그러나 상기의 셀을 아날로그 메모리에 적용하기 위해서는 디지털메모리의 설계에서와는 달리 각 상태간에 충분한 마진이 확보되기 어렵다는 어려움이 있다. 뿐만아니라 아날로그 메모리의 경우에는 부유게이트에 저장되는 전자의 수가 선형적으로 변화해야 하기 때문에 셀의 프로그래밍 시에 발생할 수 있는 어프셋 문제가 시스템의 정밀도에 크게 영향을 미칠 수 있다. 이러한 문제를 최소화시키고 EEPROM을 이용한 아날로그메모리 설계를 위해서는 귀환회로에 의한 시스템 설계가 이루어져야 한다. 귀환회로를 이용하여 시스템을 설계하는 경우 아날로그 입력신호와 불활성 셀에 저장되는 정보간에 차이가 최소화될 때까지 디지털의 경우와 달리 지나치게 높지 않은 프로그래밍 전압이 인가될 것이다. 이 때의 프로그래밍 전압 레벨은 프로그래밍 속

도를 좌우하게 된다. 높은 전압은 프로그래밍 속도를 향상시켜주는 반면에 아날로그 메모리의 신뢰도에 나쁜 영향을 줄 것이다. 반면에 낮은 전압은 반대의 결과를 가져다 준다. 따라서 메모리의 용도에 따라 프로그래밍 전압의 크기가 결정되어야 할 것이다.

기존의 디지털메모리에서는 프로그래밍 동작을 단순화시키기 위해 항상 프로그래밍 초기동작은 소거동작으로 시작되었다. 따라서 셀에 저장하고자 하는 데이터가 0인 경우에는 더 이상의 동작은 필요없고 1인 경우에는 쓰기동작에 의해 부유게이트에 충분한 양의 전자가 주입되었다. 그러나 아날로그 메모리에서 이와 같은 방식으로 프로그래밍하게 되면 현상상태와 원하는 상태간의 오차로 인해 프로그래밍 시간이 좌우되고 불필요한 프로그래밍 시간을 소모하게 된다. 따라서 본 연구에서는 소거나 쓰기와 같은 프로그래밍 동작은 셀의 현상상태에 의해 좌우되도록 설계하였다. 다시 말해 현재의 문턱전압 상태가 기준전압보다 낮을 때에는 소거동작을 통해 문턱전압을 상승시키고 반대로 프로그래밍 하고자하는 셀의 현상상태가 기준전압보다 높을 때에는 쓰기동작이 이루어지도록 설계되었다.

이와 같이 귀환회로를 이용한 시스템 설계가 이루어진다고 해도 비교기 등에서 발생하는 어프셋 등의 문제로 인해 외부의 기준전압과 셀에 프로그래밍된 전압간에 오차가 발생한다. 이러한 문제는 읽기동작시에 프로그래밍 동작에 이루어지던 것과 동일한 패적을 통해 정보가 읽혀진다면 해결된다. 이것은 쓰기 동작에서 발생한 어프셋이 읽기동작에서 그 만큼의 양으로 되돌려지기 때문이다. 단 귀환회로를 이용한 시스템설계에서는 안정에 대한 세심한 배려가 필수적이다.

그림 2는 싱글폴리 EEPROM 셀을 프로그래밍 하기 위한 주변회로 구성을 나타낸다. 그림과 같이 회로의 프로그래밍이 복잡한 것은 쓰기, 읽기, 소거시에 컨트롤게이트, 인젝터, 드레인에 인가되는 전압이 각기 다르고, 특정 전압이 인가되는 동안 그렇지 않은 전원은 차단되어야 하기 때문이다.

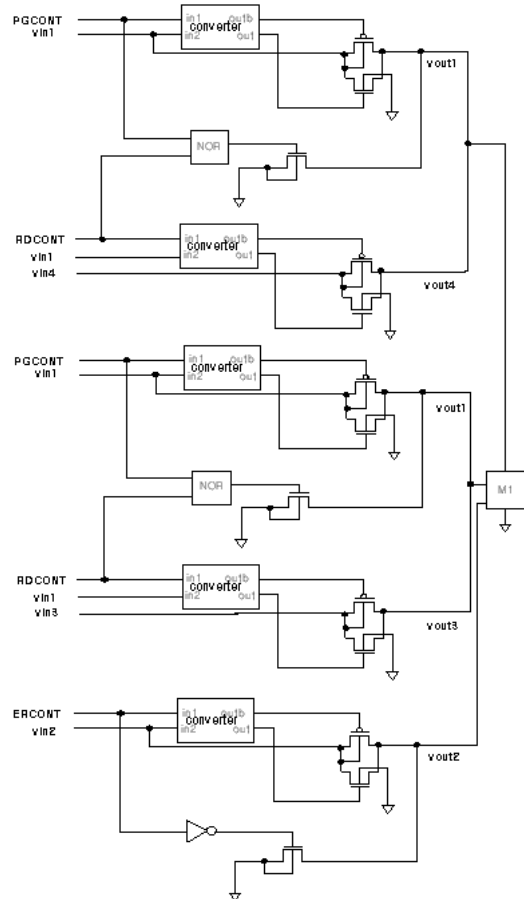


그림 2. 주변회로
Fig. 2 A Peripheral circuit

표 1. 인가되어야 하는 전압
Table 1. An applied voltage

	Mechanism	V _{SS} (source)	V _{DD} (drain)	V _{CG} (gate)	V _{EG} (e_gate)
Erase	FN tunneling	0	0	0	10V (vin2)
Program	Hot electron injection	0	6V (vin1)	6V (vin1)	0
Read		0	1.5V (vin4)	2.5V (vin3)	

표 1은 0.6um 표준 CMOS공정의 각 동작에서 인가되어야 하는 전압을 나타낸다. 표에 나타난 바와 같이 소거를위한 Fowler-Nordheim 터널링의 경우에는 높은 전압이 컨트롤게이트에 인가되고 다른 노드는 접지되어 부유게이트로부터 전자가 빠져나가야 한다. 이 때 컨트롤게이트에 인가되는 높은 전압으로 인해 정션이나 옥사이드 블랙다운과 같은 현상이 예상될 수 있다. 이러한 현상을 막기위해 그림 1의 두 개의 캐패시터(pfet1과 pfet2)는 nwell에 놓이게 된다. well의 낮은 도핑농도는 블랙다운이 발생하는 전위를 상승시키는 효과를 가져다준다. 쓰기를 위한 Hot electron 인젝션의 경우 5~6V 사이의 전압을 인가시키며 채널의 전자를 가속시켜 부유게이트에 전자를 주입시킨다.

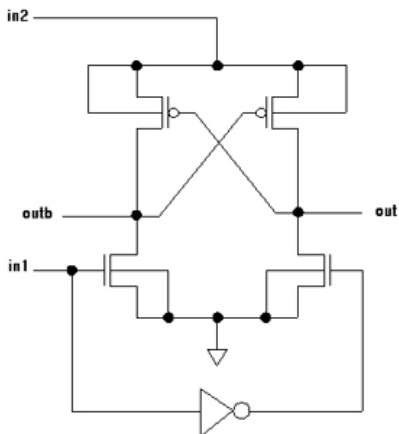


그림 3. 컨버터
Fig. 3 A converter

그림 2에서 M1은 그림 1에 나타난 EEPROM 셀로 ERCONT에 의해 인가되는 신호는 표1에서 컨트롤 게이트에 인가되는 전압 vout2를 조절한다. PGCONT는 인젝터에 인가되는 전압 vout1을 조절하는 신호이다.

그림 2에서 CONVERTER는 일반전압으로 높은 전압을 드라이브하기 위한 회로이며 이것은 그림 3에 나타나 있다. 그림 3에서 in1 에는 일반전압을, in2에 는 조절하고자하는 고전압을 연결시켜야 한다.

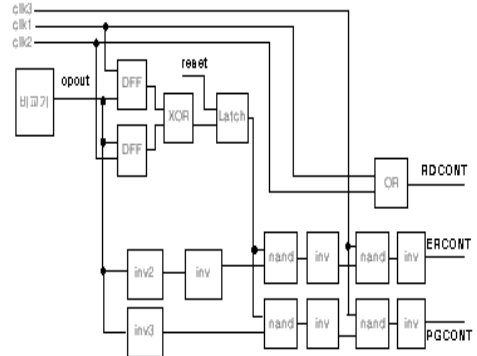


그림 4. 인에이블 회로 블록도
Fig. 4 An enable circuit block diagram

그림 4는 ERCONT와 PGCONT를 인에이블 시키는 회로를 나타내는 블록도이다. 그림 4에 있는 비교기는 프로그래밍 전후의 기준전압과 프로그램 동안의 전압을 비교함으로써 프로그램의 완료시점을 정하기 위해 사용되며 비교기의 출력은 opout이다. DFF와 XOR로 구성된 블록은 프로그래밍전의 상태에서 기준 전압이 되기 위해서 쓰기와 소거동작을 결정하기 위해서 사용된다. clk1, clk2, clk3는 non-overlapping 클럭이며, 쓰거나 지우는 동안 전압을 계속 비교해야하므로 그림 5에 나타난 것처럼 clk1, clk3, clk2, clk3 식으로 입력되어야 한다. 부유게이트에 전자를 넣거나 빼는 동작은 지연시간을 필요로 하기 때문에 clk3이 인가된 후 clk1이나 clk2가 인가되기 전까지는 충분한 지연시간이 있어야 한다. Latch 블록은 reset 입력에 의해 초기화 되었다가 쓰거나 소거동작이 결정된 상태를 high로 계속 유지하며, opout의 상태가 바뀌면 low로 떨어지게 되어 쓰거나 지우는 동작을 멈추게 한다. inv2 와 inv3 는 프로그램을 하거나 지울때 기준전압근처의 전압에서 ERCONT와 PGCONT가 동시에 ON 되는 상태를 막기위한 인버터 회로로, inv2는 하강지연시간을 늘린 회로블럭이고, inv3는 상승지연시간을 늘린 회로 블록이다.

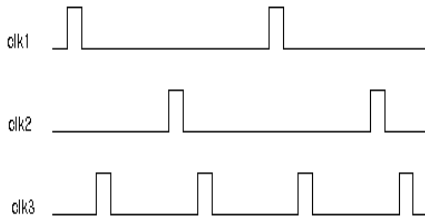


그림 5. 입력 클럭
Fig. 5 An applied clock

IV. 결론

그림 6은 Hspice 시뮬레이션 결과를 나타낸다. 그림에서 vout1은 프로그래밍전압(컨트롤게이트에 가해지는 전압)을 나타내고 vout2는 인젝터에 인가되는 Erasing 전압을 나타낸다. opout은 비교기 출력값을 나타내는 것으로서 출력이 증가하는 동안에는 프로그래밍 전압이 인가되고 출력이 감소하는 경우에는 Erasing 전압이 인가되는 것을 알 수 있다. 해당 결과는 3항목의 표와 일치함을 알 수 있다.

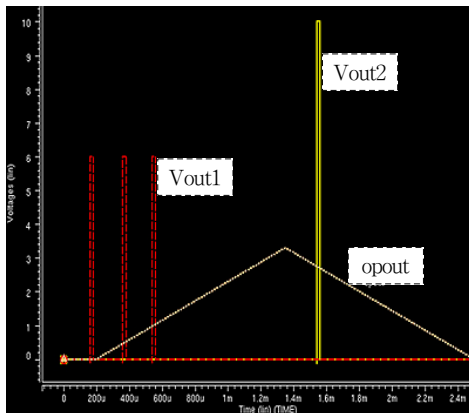


그림 6. 시뮬레이션 결과
Fig. 6 A simulation result

결과에 나타나는 바와 같이 셀의 문턱전압이 인가되는 기준전압 보다 낮은 경우 쓰기동작이 행해져야 하며, vout1를 통해 전압이 EEPROM의 컨트롤게이트에 인가되고, 인가된 프로그래밍 전압에 의해 셀의 문

턱전압과 인가되는 기준전압이 동일하면 더 이상 프로그래밍 전압은 인가되지 않는다. 반대로 셀의 문턱전압이 기준전압보다 높은 경우에는 소거동작이 이루어지고, 이것은 EEPROM의 인젝터에 프로그래밍 전압을 인가함으로써 이루어진다. 시뮬레이션 결과에 나타난 바와 같이 opout이 3.3V에서 접지로 하강하는 것은 소거 동작을 통해 이루어지고 이것은 인젝터에 프로그래밍 전압에 의해 행해진다. 쓰기 동작에서와 같이 소거동작의 경우에도 문턱전압이 기준전압과 같아지는 경우에 소거동작은 중지된다. 본 연구를 수행하는데 있어서 시뮬레이션과 설계에는 Hspice와 Cadence Virtuoso를 사용하였다.

감사의 글

본 연구는 지식경제부·한국산업기술진흥원 지정 계명대학교 전자화자동차부품지역혁신센터의 지원에 의한 것입니다.

참고 문헌

- [1] 채용용, "아날로그 메모리를 이용한 플래쉬 ADC", 한국전자통신학회논문지, 6권, 4호, pp. 545-552, 2011
- [2] Y. Y. Chai, L.G. Johnson, "A 2x2 Analog Memory Implemented with a Special Layout Memory Injector," IEEE J. Solid-State Circuit, Vol. 31, No. 6, pp. 856-859, Jun. 1996.
- [3] Chai, Y.Y. and L.G. Johnson, "Floating gate MOSFET with reduced programming voltage," Electronics Letters, Vol. 30, No. 18, pp.1536-1537, 1993.
- [4] A. Thomsen, M.A. Brooke, "A floating-gate MOSFET with tunnelling injector fabricated using a standard double-polysilicon CMOS process", IEEE Electron Device Lett., Vol.12, No.3, pp. 111-113, Mar. 1991.
- [5] 배성환, 이창기, "고정밀 저속 다중채널 아날로그-디지털 변환기", 한국전자통신학회논문지, 3권, 3호, pp. 165-169, 2008.
- [6] K. Ohsaki, N.Asamoto, and S. Takagaki, "A Single Poly EEPROM Cell Structure for Use in Standard CMOS processes", IEEE J. Solid State Circuits, Vol. 29, No. 3, pp. 311-316,

Mar, 1994.

- [7] 한영오, "다중 채널 심장전기도 주 증폭기를 위한 필터 설계", 한국전자통신학회논문지, 5권, 2호, pp. 180-184, 2010.
- [8] R. J. McParland, R. Singh, "1.25V, Low Cost, Embedded Flash Memory for Low Density Applications", 2000 symposium on VLSI circuits Digest of Technical papers, pp. 125-130, 2000.

저자 소개



채용웅(Yong-Yoong Chai)

1985년 8월 서강대학교 졸업(공학사)

1991년 4월 Oklahoma State Univ.

졸업(공학석사)

1994년 12월 Oklahoma State Univ.

졸업(공학박사)

계명대학교 전자공학과 교수

※ 관심분야 : 혼성모드 집적회로 설계