

측면산화 프리크리닝의 최소화를 통한 DRAM의 데이터 유지시간 개선

채용웅* · 윤광렬**

Enhancement of Data Retention Time in DRAM through Optimization of Sidewall Oxidation Precleaning

Yong-Yoong Chai* · Kwang-Yeol Yoon**

요 약

SC1(Standard Cleaning) 시간을 줄여 STI 측벽에서의 실리콘 손실 및 과도절개를 최소화하여 DRAM에서의 데이터 유지시간을 증가시키는 방법을 제안한다. SC1 시간 최적화를 통해 STI 상층 모서리부에서의 기생 전기장을 약화시킴으로서 Inverse Narrow Width 효과를 감소시키면 셀 트랜지스터의 Subthreshold 누설의 증가없이 채널 도핑농도가 감소하게 된다. 이것은 셀 접합에서 P-Well간 공핍 영역에서의 전기장을 최소화하여 일드나 데이터 유지시간의 증가를 보여 주었다.

ABSTRACT

This paper proposes a DRAM data retention time enhancement method that minimizes silicon loss and undercut at STI sidewall by reducing the SC1 (Standard Cleaning) time. SC1 time optimization debilitates the parasitic electric field in STI's top corner, which reduces an inverse narrow width effect to result in reduction of channel doping density without increasing the subthreshold leakage of cell Tr. Moreover, it minimizes the electric field in depletion area from cell junction to P-well, increasing yield or data retention time.

키워드

DRAM, Data Retention Time, sidewall oxidation, SC1, Yield, Silicon 디램, 데이터 유지시간, 측면산화, 표준세척, 일드, 실리콘

1. 서 론

최근의 서브마이크론 시대의 DRAM에서는 저장 노드에서의 누설 제어가 매우 중요하다. 256M-bit 이상의 DRAM에서는 데이터 유지시간을 증가시키기 위해서 반드시 셀에서의 누설 전류의 감소가 필요하다. DRAM의 집적도가 증가하더라도 한 사이클에 대

한 리플레쉬 시간은 항상 $64\text{ms}/7.8\mu\text{s}$ (8K 리플레쉬)로 일정하기 때문에 DRAM에서의 데이터 유지시간은 소수의 Weak 셀의 특성에 좌우된다. 일반적으로 DRAM 셀에서의 누설 전류의 성분으로는 접합 누설, 셀 트랜지스터 Subthreshold 누설, 노드가느이 격리 누설, GIDL(gate-induced drain leakage), 캐패시터에서의 유전막 누설 등이 있는데, 그 중에서도 접합 누

* 계명대학교 전자공학과(yychai@kmu.ac.kr)

** 교신저자 : 계명대학교 전자공학과(yoonky@kmu.ac.kr)

접수일자 : 2012. 06. 07

심사(수정)일자 : 2012. 07. 26

게재확정일자 : 2012. 08. 09

설 및 셀 트랜지스터 Subthreshold 누설의 영향이 가장 크다고 할 수 있다. 셀 트랜지스터의 채널길이가 줄어들게 되면 SCE(short channel effect)를 감소하기 위해 채널 도핑 농도를 증가시킬 수밖에 없다. 그러나 채널 도핑 농도의 증가는 셀 접합에서 P-Well간의 공핍 영역에서의 전기장을 증가시킴으로써 접합 누설의 증가를 가져온다[1]-[3].

본 논문에서는 STI 에칭 후에 측벽 산화 전 SC1 세정 시에 이물의 증가 없이 세정시간을 최적화하여 STI 측벽의 실리콘 손실 및 과도절개를 최소화시킴으로서 INW(inverse narrow width) 효과를 억제하고 셀 트랜지스터의 문턱전압의 저하없이(Subthreshold 증가없이) 채널 도핑 농도를 낮춤으로써 일드 및 데이 터 유지시간을 증가시키고자 하였다[4]-[7].

II. 측면 산화 프리크리닝의 최소화

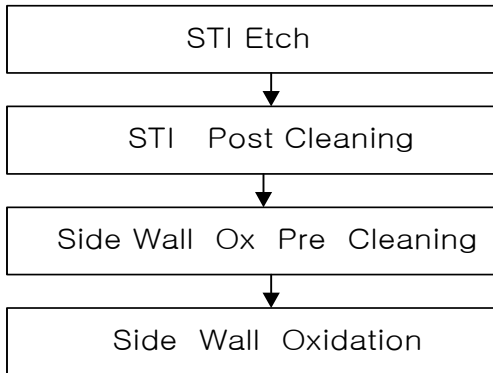
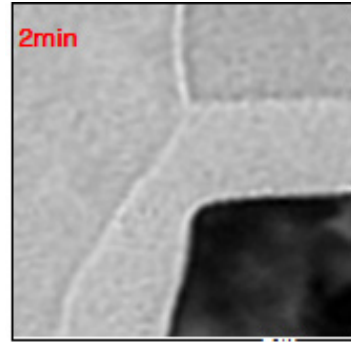


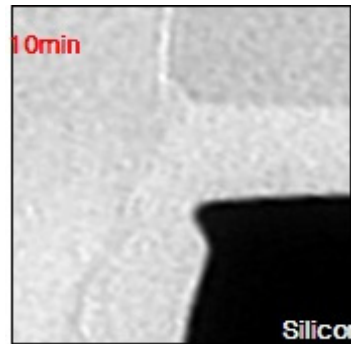
그림 1. 과정 흐름도
Fig. 1 Process flow

그림 1은 공정 흐름도를 나타낸다. 공정순서는 STI 형성후 STI 에치에 기인한 손실을 제거하기 위해 측면 산화를 진행하였다. 이때 측면 산화전에 공정 이물 제거를 위해서는 반드시 SC1이 필요하다. SC1 프리크리닝의 성분은 NH₄OH:H₂O₂:H₂O로 구성되어 있다. SC1 프리크리닝 시에 STI 측벽의 실리콘을 측면에칭 시키며, 이것은 STI 상층부의 돌출부를 둥근 형상으로 만들 것이다. 만일 SC1 공정을 거치지 않으면 이물질을 충분히 제거하지 못해서 일드 손실이 발생하게 된다.

그림 2 (a)는 SC1가 2분 (b)는 10분 후에 진행된 사진으로서 측벽 직후 단면을 찍은 TEM 사진이다.



(a) 2 min



(b) 10 min

그림 2. 측벽 직후 단면 TEM 사진
(a) 2분후 (b)10분후

Fig. 2 Side wall 직후 단면 TEM 사진
(a) after 2min (b) after 10min

측면 산화전에 진행되는 SC1 공정에서 STI 측벽의 실리콘에서 약간의 손실이 발생하게 된다. 사진에서 SC1을 10min 진행하면 STI 측벽의 실리콘이 손실로 인해 과도절개가 발생하는 것을 볼 수 있다. 이것으로 인해 STI 상층부의 과도한 돌출부로 전기장의 과밀이 생겨서 메모리 셀의 접합 누설을 증가시키고 결국 리플레쉬 특성을 열화시키는 결과를 가져온다. 반면에 SC1을 2min으로 줄이면 실리콘 손실이 60Å 정도 감소하여 과도절개가 발생하지 않게 된다. 이후 측벽 옥사이드를 HF로 제거하고 STI 상층 모서리부의 라운딩을 증가시키기 위해 STI Liner Si₃N₄를 증착하고

HDP Gap-fill과 CMP를 진행한 다음 H2PO3를 통해 Pad Si3H4를 제거하여 격리를 완성하게 된다. 그러나 지나치게 시간을 감소시키면 파티클을 제거하고자 하는 크리닝의 기본적인 목적을 상실하게 된다. SC1 크리닝 시간은 2분까지가 만족 할 만큼 매끄러운 돌출부 구조를 얻을 수 있었으며 SC1 크리닝 시간이 1분 30초 이하가 되면 파티클을 제거하는 효과가 감소되는 것을 볼 수 있었다.

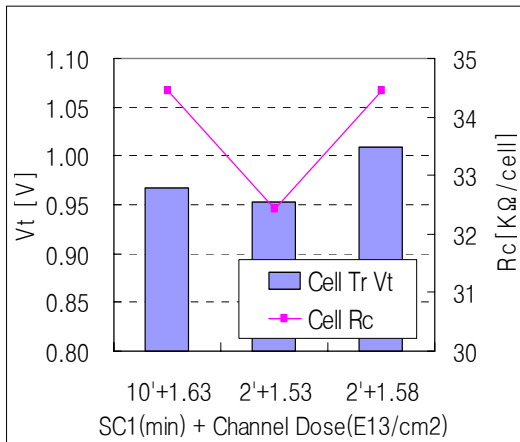


그림 3. 셀 트랜지스터의 문턱전압 및 컨택저항
Fig. 3 Cell transistor Vt and Rc

그림 3은 Split셀 셀 트랜지스터의 문턱전압(Vt)와 셀 컨택저항(Rc) 결과를 나타낸다. SC1 10min 및 셀 트랜지스터 채널 도오스 1.63E13 조건과 SC1 2min 및 채널 도오스 1.53E13 조건의 셀 트랜지스터 Vt가 동일한 값을 나타낸다. 이와 같이 SC1 시간 감소하게 되면 셀 트랜지스터의 Vt 저하없이 채널 도오스가 감소되는 이유는 STI 상층부에서의 실리콘 과도절개 감소하므로 STI 상층부에 집중되는 게이트와 채널(P-Well)간의 전기장이 감소하기 때문이다. 실리콘 손실의 감소는 EAW(effective active width)를 증가시키고 INW 효과를 감소시키기 때문에 Vt 저하를 가져다 준다[8]. 또한 셀 컨택저항의 경우는 SC1 2min 및 채널 도오스 1.53E13 조건에서 6%정도가 감소된다. 이는 채널 도오스의 감소에 따른 gate-induced drain leakage 접합의 Phosporus 농도 증가에 기인하는 것으로, 셀의 Write 특성이 향상될 것으로 예상된다. 채널 Dopant의 경우 셀 트랜지스터의 채널 영역뿐만이

아니라 셀 트랜지스터의 GIDL 영역에도 동시에 존재한다.

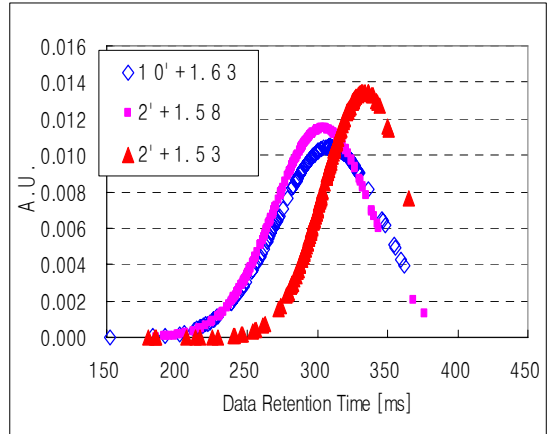


그림 4. 데이터 유지시간 분포
Fig. 4. Data retention time 분포

그림 4는 데이터 유지시간의 분포를 나타낸다. 동일 셀 문턱전압을 보인 SC1 10'+1.63대비 SC1 2'+1.53 조건의 데이터 유지시간이 10%(30ms)정도 증가하는 특성을 보이고 있다. 이는 동일 셀 문턱전압에서 채널 도오스가 작으면 접합(Storage Node)와 P-Well간 특히 Gate 하부의 접합에서 채널간의 전기장이 감소하여 접합 누설이 감소하기 때문이다. 반면 SC1 2'+1.58 조건의 경우 채널 도오스가 10'+1.63조건에 비해 낮아 접합(Storage Node)과 P-Well간 전기장이 작아 데이터 유지시간이 증가할 것으로 예상되나, 셀 문턱전압이 0.05V 높아짐에 따라 채널 도오스가 높아지는 효과와 동일하게 되므로 데이터 유지시간이 10'+1.63과 동일한 값을 보인다. [9][10][11]

III. 결론

본 실험의 궁극적인 목적은 프리크리닝 시간을 최적화시켜 돌출부를 둥글게 만드는데 목적이 있다. STI 형성후 측면 산화 프리크리닝(SC1) 시간을 최소화하여 STI 측벽의 실리콘 손실 및 과도절개를 최소화 할 수 있었다. 이것은 셀 트랜지스터의 EAW를 증가시키고 STI 상층부의 모서리 라운딩을 극대화하고 INW 효과를 억제함으로써 셀 트랜지스터의 문턱전

압 저하를 방지하였다. 이러한 현상은 채널 도오스의 증가를 방지하여 접합에서 P-Well 간의 전기장의 증가를 억제하고 데이터 유지시간의 저하를 막아서 셀의 Write Margin 특성 열화도 방지하는 효과를 가져왔다. 그러나 과도한 시간을 감소시키면 파티클을 제거하고자 하는 크리닝의 기본적인 목적을 상실하게된다. SC1 크리닝 시간은 2분까지가 만족할 만큼 매끄러운 돌출부 구조를 얻을수 있었으며 SC1 크리닝 시간이 1분 30초 이하가 되면 파티클을 제거하는 효과가 감소된다.

감사의 글

본 연구는 지식경제부·한국산업기술진흥원 지정 계명대학교 전자화자동차부품지역혁신센터의 지원에 의한 것입니다.

참고 문헌

[1] T. Hammoto, S. sugiura, and S. Sawada, "On the retention time distribution of dynamic random access memory(DRAM)," IEEE Trans. Electron Devices, Vol. 45, pp. 1300-1309, June 1998.

[2] A. Hiraiwa, M. Ogasawara, N. Natsuaki, Y.Itoh, and H. Iwai, "Local field enhancement model of DRAM retention failure," in IEDM Tech. Dig, pp. 157-160, 1998.

[3] S. Ueno, T. Yamashita, H. Oda, S.Komori, Y. Inoue, and T. Nishimura, "Leakage current observation on irregular local PN junctions forming the tail distributionof DRAM retention characteristics, with new test structure," in IEDM Tech Dis, pp. 153-156, 1998.

[4] N.Shigyo and T. Hiraoka, "A review of narrow channel effects for STI MOSFET's: Adifference between surface and buried channel cases," Solid State Electron, Vol. 43 pp. 2061-2066, 1999.

[5] S. Matsuda, T. Sato, H. Yoshimura, Y. Takewara, A.Sudo, I.Mizushima, Y. Tsunashima, and Y. Toyoshima, "Novel corner rounding process for shallow trench isolation utilizing MSTs," in IDEM Tech. Dig, pp.

137-140, 1998.

[6] 정채용, " 다단 인터리브드 부스트 컨버터의 입력리플전류 수식 분석," 한국전자통신학회논문지, 6권, 6호, pp. 865-871, Dec. 2011.

[7] 김성권, 이경량, 여성대, 홍순양, 박용운, " 모니터링된 배터리 전압 변환을 위한 SAR typed A/D 컨버터의 제작," 한국전자통신학회논문지, 6권, 2호, pp. 256-261, April. 2011.

[8] J. Lee, D. Ha, and K. Kim, " Novel Cell Transistor Using Retracted Si3N4-Liner STI for the Improvement of Data Retention Time in Gigabit Density DRAM and Beyond," IEEETrans. Electron Devices, Vol. 48, pp. 1152-1157, June 2001.

[9] 김창복, Pipeline 방식을 이용한 고성능 ADC설계에 관한 연구, 한국 QA학회논문지, 제6권, 2호, pp. 101-107, July, 2001.

[10] T. Lee, I. N. Hajj, E. M. Rudnick, J. H. Patel, "Genetic-algorithm based test generation for current testing of bridging faults in CMOS VLSI circuits," IEEEVLSI Test Symposium, pp. 456-462, 1996.

[11] X. Wen, H. tamamoto and K. Kinoshita, "IDDQ Test Vector Selection for Transistor Short Fault Testing", System and Computers in Japan, Vol. 28, No. 5, 1997.

저자 소개



채용웅(Yong-Yoong Chai)

1985년 서강대학교 전자공학과 졸업 (공학사)

1991년 Oklahoma State Univ. 전자공학전공(공학석사)

1994년 Oklahoma State Univ. 전자공학전공(공학박사)
현재 계명대학교 전자공학과 교수

※ 관심분야 : 혼성모드 집적회로 설계



윤광렬(Kwang-Yeol Yoon)

1994년 3월 후쿠오카공업대학교
졸업 (공학사)

1996년 3월 후쿠오카공업대학교
대학원 정보공학과 졸업(공학석사)

2001년 3월 큐슈대학교 대학원 시스템정보과학 연
구과 졸업(공학박사)

현재 계명대학교 전자공학과 교수

※ 관심분야 : 전자파 전파, 전자파 수치해석, 전파
통신