
1V 미만 전원전압 동작에 적합한 혼성 평형 전압제어 발진기

전만영* · 김광태**

Hybrid Balanced VCO Suitable for Sub-1V Supply Voltage Operation

Man-Young Jeon* · Kwang-Tae Kim**

요약

본 연구는 1V 미만의 전원 전압에서 저 위상잡음 동작에 적합한 혼성 평형 전압제어 발진기 회로를 제안한다. 제안한 회로의 개별 반 회로에서는 바랙터 통합형 궤환 커패시터를 사용한다. 바랙터 통합형 궤환 커패시터의 사용으로 인해 발진기 탱크회로내의 부성저항이 더욱 증가되며 이는 1V 미만 전원전압에서도 발진기의 안정된 발진시동을 보장한다. 또한, 본 연구에서는 이러한 부성저항의 증가 현상을 이론적으로 해석한다. 0.18 μm RF CMOS 기술을 사용한 시뮬레이션 결과는 발진 주파수 4.87GHz의 1MHz 오프셋에서 0.6 V에서 0.9 V 사이의 전원 전압에 걸쳐 -122.4 dBc/Hz에서 -125.5 dBc/Hz까지의 위상잡음을 나타냄을 보여준다.

ABSTRACT

This study presents a hybrid balanced voltage controlled oscillator (VCO) circuit which is suitable for low phase noise operation at sub-1V supply voltages. Half circuits of the proposed VCO use the varactor-integrated feedback capacitors in their respective circuit. The varactor-integrated feedback capacitors further increase the negative resistance of the equivalent tank thereby ensuring stable start-up of oscillation even at the sub-1V supply voltage. In addition, this work theoretically analyses the phenomenon of the increase of the negative resistance. Simulation results using a 0.18 μm RF CMOS technology exhibit the phase noises of -122.4 to -125.5 dBc/Hz at 1 MHz offset from oscillation frequency of 4.87 GHz over the supply voltages of 0.6 through 0.9 V.

키워드

VCO, Colpitts-VCO, Sub-1V VCO, Balanced Oscillator
전압제어 발진기, 콜피츠 전압제어 발진기, 서브-1V 전압제어 발진기, 평형 발진기

1. 서론

반도체 공정기술이 발전함에 따라 회로의 전원전압은 감소하고 있으며 발진기의 경우 이는 발진전압 크기의 감소로 이어진다[2][4]. 발진기의 위상잡음은 발진 전압의 크기에 반비례하므로 발진전압 크기의 감

소는 발진기 위상잡음의 증가로 이어진다[3].

최근에 전원전압 감소에 따른 발진전압 크기의 감소 문제를 해결하기 위하여 인덕터 전류원을 사용하는 전압제어 발진기(VCO : Voltage Controlled Oscillator) 회로들이 제안되었다[1][4][5]. 본 논문의 제 1저자에 의해 발명된 특허(참고문헌[1])와 참고문

* 동양대학교 정보통신공학과(myjeon@dyu.ac.kr)
접수일자 : 2012. 06. 29

** 교신저자 : 경북대학교 산업전자공학과(ktk@knu.ac.kr)
심사(수정)일자 : 2012. 07. 26

게재확정일자 : 2012. 08. 09

현[5]에서는 인덕터 전류원을 공통 드레인형 콜피츠 발진기에 적용하였고 참고문헌[4]에서는 공통 게이트형 콜피츠 발진기에 적용하였다. 그런데 현재까지 참고문헌[4]를 비롯한 대다수의 콜피츠형 발진기는 발진시동 문제를 완전히 해결하지 못하고 있다[6]. 이러한 문제를 해결하기 위하여 참고문헌[1]과 [5]는 궤환 커패시터에 바랙터(varactor)를 통합시킨 바랙터 통합형 궤환 커패시터를 공통 드레인 콜피츠 발진기에 적용하였다.

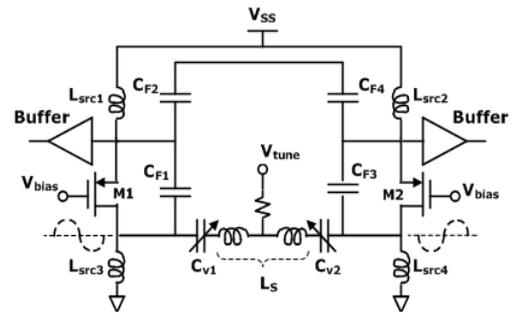
본 논문에서는 상기 바랙터 통합형 궤환 커패시터를 혼성 평형 발진기를 구현할 수 있는 구조를 가진 공통 게이트 콜피츠 발진기에 적용하며 이를 통해 부성저항을 획기적으로 증가시킬 수 있음을 보인다. 무엇보다, 참고문헌 [1]과 [5]에서는 바랙터 통합형 궤환 커패시터를 채용할 경우 부성저항이 증가하는 현상에 대한 정량적 해석이 없었으나 본 연구에서는 이 현상을 정량적으로 해석한다. 또한 바랙터 통합형 궤환 커패시터를 사용한 공통 게이트 콜피츠 발진기 두 개를 탱크 인덕터를 사이고 두고 결합함으로써 상호 역위상 관계의 신호를 발진하는 평형 공통 게이트 콜피츠 발진기를 우선 실현하고 이 발진기의 게이트를 반대편 콜피츠 발진기의 드레인에 교차 결합시킴으로써 본 연구에서 최종적으로 제시하는 혼성 평형 전압 제어 발진기로 발전시킨다. 0.18 μm TSMC CMOS 공정 기술을 사용한 시뮬레이션 결과에 의하면, 발진 주파수 4.87GHz의 1MHz 오프셋에서 제안된 회로는 0.6 V에서 0.9 V 사이의 전원 전압에서 -122.4 dBc/Hz에서 -125.5 dBc/Hz의 위상잡음을 나타냄을 보여준다.

II. 바랙터 통합형 평형 공통 게이트 콜피츠 발진기 반회로의 부성저항

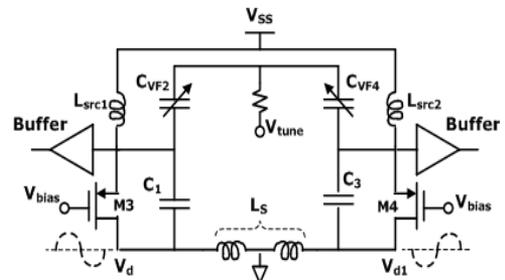
그림 1(a)는 직렬 공진회로의 통상적 평형 공통 게이트 콜피츠 전압제어 발진기를 나타내며 참고문헌 [1],[4],[5]처럼 인덕터 전류원을 사용하고 있다. 발진 주파수의 변경 역할을 하는 바랙터 C_{V1} 과 C_{V2} 는 그림에서 보듯이 궤환 커패시터 쌍($C_{F1}-C_{F2}$, $C_{F3}-C_{F4}$)과 별개로 존재한다. 그림 1(b)는 본 연구에서 제안하는 회로의 중간 단계 회로로서 인덕터 전류원과 바랙터 통합형 궤환 커패시터를 채용한 평형 공통 게이트 콜피츠 전압제어 발진기를 나타낸다. 그림 1(b)에서 보

듯이 본 연구에서는 그림 1(a)에 있는 바랙터 C_{V1} 과 C_{V2} 를 각각 C_{F2} 와 C_{F4} 로 통합시켜 그림 1(b)의 바랙터 통합형 궤환 커패시터 C_{VF2} 와 C_{VF4} 가 되게 한다. 이렇게 함으로써 탱크회로의 인덕터 L_s 에 의해 보여지는 부성저항을 현저히 증가시킬 수 있으며 이는 발진기의 안정적인 발진시동으로 이어진다. 따라서 콜피츠 발진기의 문제점 중의 하나인 발진시동 문제는 본 연구에서와 같이 바랙터 통합형 궤환 커패시터를 사용하여 해결할 수 있다.

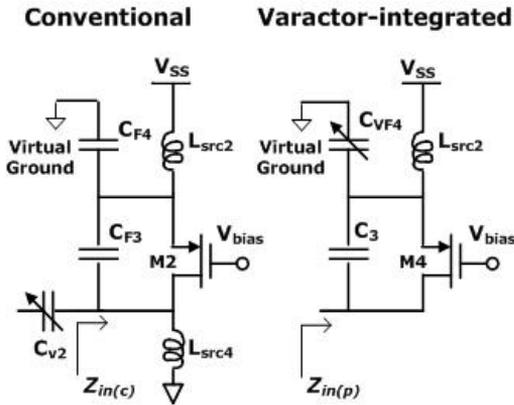
지금부터 바랙터 통합형 궤환 커패시터를 사용하는 그림 1(b)의 발진기의 부성저항이 그림 1(a)의 통상적 발진기에 비하여 더 높은 부성저항을 나타내는 현상을 이론적으로 밝힌다.



(a) 인덕터 전류원을 사용하는 통상적 평형 공통 게이트 콜피츠 전압제어 발진기
(a) Conventional balanced common gate Colpitts-VCO employing inductor current sources



(b) 바랙터 통합형 평형 공통 게이트 콜피츠 전압제어 발진기
(b) Balanced common gate Colpitts-VCO with varactor-integrated feedback capacitors, and inductor current sources



(c) 그림 1(a)와 1(b)의 반회로
(c) Half circuits of the oscillators shown in Fig. 1(a) and 1(b)

그림 1. 통상적 평형 공통 게이트 콜피츠 전압제어 발진기와 바랙터 통합형 평형 공통 게이트 콜피츠 전압제어 발진기

Fig. 1 Conventional, and varactor-integrated balanced common gate Colpitts-VCO

그림 1(c)는 통상적 콜피츠 발진기(그림1(a))와 바랙터 통합형 콜피츠 발진기(그림1(b))의 반 회로를 각각 나타낸다. 두 회로가 나타내는 부성저항 비교의 정당성을 확보하기 위하여 동일한 발진 주파수 ω_0 , 동일한 탱크회로 인덕턴스 값 (L_S), 동일한 바랙터 커패시턴스 값 ($C_{V2}=C_{VF4}$)의 조건하에서 부성저항에 관한 해석을 시도한다.

동일한 인덕턴스 값과 동일한 발진주파수 조건으로부터 아래 식(1)이 성립해야 한다.

$$\frac{1}{C_{V2}} + \frac{1}{C_{F3}} + \frac{1}{C_{F4}} = \frac{1}{C_{VF4}} + \frac{1}{C_3}. \quad (1)$$

동일한 바랙터 병원망에서 turbo코드를 이용한 효율적 수신기설계커패시턴스 값의 조건에 의해 $C_{V2} = C_{VF4}$ 이므로 (1)식으로부터

$$C_3 = \frac{C_{F3} C_{F4}}{C_{F3} + C_{F4}} \quad (2)$$

이다. 통상적 회로의 부성저항 $R_{in(c)} (= \text{Re}[Z_{in(c)}])$ 와 제안된 회로의 부성저항 $R_{in(p)} (= \text{Re}[Z_{in(p)}])$ 은

$$R_{in(p)} = -\frac{g_m}{\omega_0^2 C_3 C_{VF4}} \quad (3)$$

$$R_{in(c)} = -\frac{g_m}{\omega_0^2 C_{F3} C_{F4}}. \quad (4)$$

한편 식(2)에서

$$C_3 < C_{F3} \quad (5)$$

이다. 적절한 전압 제어 발진기 이득 K_{VCO} 를 얻기 위하여 $C_{VF4} \leq C_3$ 이어야 하고 식(2)에서 $C_3 < C_{F4}$ 이므로

$$C_{VF4} < C_{F4} \quad (6)$$

를 얻는다. 따라서 부등식(5), (6)과 식(3), (4)로부터

$$-R_{in(p)} > -R_{in(c)} \quad (7)$$

를 얻는다. 부등식(7)은 그림 1(c)에 보여진 바랙터 통합형 발진기의 부성저항이 통상적 발진기의 부성저항보다 높다는 것을 나타낸다. 따라서 부등식 (7)은 그림 1(b)의 바랙터 통합형 평형 콜피츠 전압 제어 발진기가 통상적 평형 콜피츠 전압 제어 발진기(그림 1(a))보다 높은 부성저항을 나타낸다는 사실에 대한 이론적 근거가 된다.

식(3), (4)로부터 그림 1(c)에 보여진 반회로 부성저항의 이론적 비는

$$\frac{R_{in(p)}}{R_{in(c)}} = \frac{C_{F3} C_{F4}}{C_3 C_{VF4}} \quad (8)$$

이다. 그림 2는 그림 1(c)에의 반회로 반회로들이 나타내는 부성저항의 비를 TSMC사의 0.18um CMOS 테크놀로지를 사용하여 시뮬레이션한 결과와 식(8)에 의해 예측되는 부성저항의 비를 나타낸다. 그림 1(c)에서 $C_{F3}=0.97\text{pF}$, $C_{F4}=3.95\text{pF}$, $C_3=0.78\text{pF}$, $C_{VF4}=0.58\text{pF}$ 이며 이들을 식(8)에 대입하면 $R_{in(p)}/R_{in(c)} \approx 8.5$ 가된다. 그림 2에서 시뮬레이션에 의해서 얻어지는 부성저항의 비와 이론적 부성저항의 비($R_{in(p)}/R_{in(c)}=8.5$)는 2.5GHz에서 3GHz에 걸친 영역에서는 잘 일치하나 주파수가 증가할수록 차이는 커진다. 이는 식(8)이 바랙

터, MIM 커패시터, MOSFET의 기생 회로성분의 영향을 고려하지 않기 때문이다.

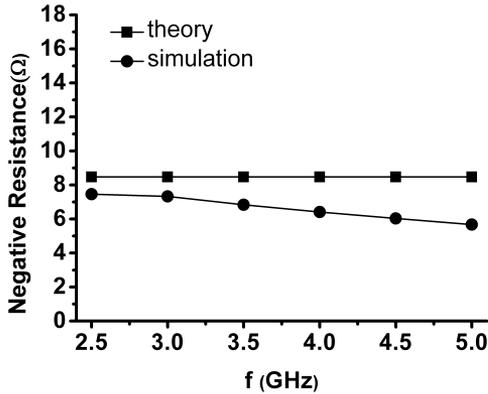


그림 2. 통상적 및 바랙터 통합형 평형 공통 게이트 콜피츠 전압 제어 발진기의 부정저항 비교

Fig. 2 Comparison of the negative resistances of conventional, and varactor-integrated balanced common gate Colpitts-VCO

그림 2에서 가장 주목해야 할 사실은 그림 1(c)에서 주어진 커패시턴스에 대하여 바랙터 통합형 평형 공통 게이트 콜피츠 발진기의 부정저항이 통상적 평형 공통 게이트 콜피츠 발진기의 부정저항보다 약 5에서 7배정도 높다는 사실이다. 따라서 바랙터 통합형 평형 공통 게이트 콜피츠 발진기(그림 1(b))는 통상적 평형 공통 게이트 콜피츠 발진기의 구조적 문제점인 발진시동의 문제를 충분히 해결 할 수 있음을 보여준다. 본 연구에서는 다른 커패시턴스 값들에 대하여도 동일한 시뮬레이션을 수행하였으며 모두 그림 2와 유사한 경향의 시뮬레이션 결과를 얻었다.

그림 3은 본 연구에서 최종적으로 제안하는 혼성 평형 전압 제어 발진기로서 교차 결합형 발진기와 콜피츠형 발진기가 접목된 구조이다. 제안된 회로는 그림 1(b)의 양쪽 게이트에 입력되는 게이트 전원 V_{bias} 를 제거하고 각 게이트를 반대편 드레인에 교차 결합한 구조이다. 이렇게 하면 바랙터 통합형 평형 공통 게이트 콜피츠 발진기보다 MOSFET 소스전류의 전도각(conduction angle)을 줄일 수 있어 위상잡음을 더 줄일 수 있다. 제안된 회로는 발진 시동 시에는 바랙터 통합형 콜피츠 발진기의 높은 부정저항으로 인

하여 안정된 발진시동을 보장하며 발진상태가 정상상태에 도달해서는 교차 결합형 발진기가 만들어 내는 낮은 소스 전류 전도각으로 인하여 보다 낮은 위상잡음을 얻을 수 있다. 그림 3과 유사하게 교차 결합형 발진기와 평형 공통 게이트 콜피츠 발진기를 혼합한 혼성형 구조는 참고문헌[7]에서 최초로 제안되었다. 본 논문에서는 이러한 구조를 그림 1(b)에 보여진 인덕터 전류원과 바랙터 통합형 커패시터를 갖는 평형 공통 게이트 콜피츠 발진기에 최초로 적용하였다.

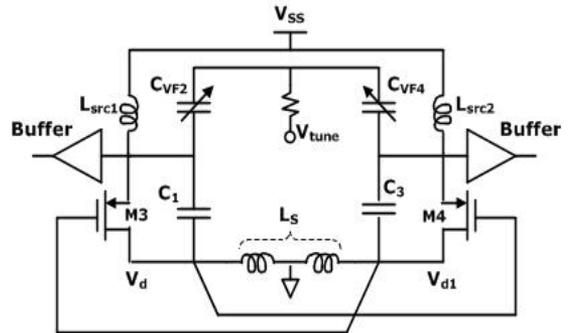


그림 3. 본 연구에서 제안하는 혼성 평형 전압 제어 발진기

Fig. 3 Hybrid balanced VCO proposed in this work

III. 시뮬레이션 결과

그림 4는 발진주파수 $f_{osc}=4.87\text{GHz}$ 의 1MHz 오프셋 주파수에서 혼성 평형 전압 제어 발진기(그림 3)와 바랙터 통합형 평형 공통 게이트 콜피츠 전압제어 발진기(그림 1(b))의 위상잡음을 1V 미만의 전원전압에 대하여 비교한 것이다. 그림에서 보듯이 본 연구에서 제안한 혼성 평형 전압 제어 발진기의 위상잡음이 중간 단계 회로인 바랙터 통합형 평형 공통 게이트 콜피츠 전압제어 발진기보다 적어도 2dBc/Hz 이상 낮음을 볼 수 있다. 이는 제안된 회로가 바랙터 통합형 평형 공통 게이트 콜피츠 전압제어 발진기보다 더 작은 전도각을 가짐으로 인해 더 짧은 시간동안만 채널 열잡음과 플리커 잡음이 MOSFET으로부터 C_{VF2} , C_1 , L_s , C_3 , C_{VF4} 로 이루어진 직렬 공진 탱크로 주입되기 때문이다.

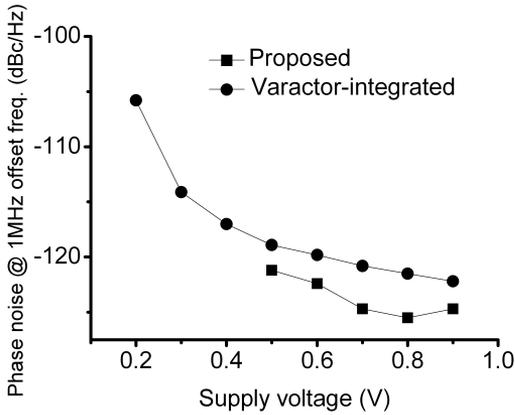


그림 4. 제안된 혼성 평형 전압 제어 발진기와 바랙터 통합형 평형 공통 게이트 콜피츠 전압 제어 발진기의 위상잡음 비교

Fig. 4 Comparison of the phase noises of the proposed hybrid balanced-VCO and the varactor-integrated balanced common gate Colpitts-VCO

표 1은 전원전압 $V_{ss}=0.6V$, 발진 주파수 $f_{osc}=4.87GHz$ 에서 동작하는 제안된 VCO와 참고문헌 [4]와 [8]-[10]에서 기 발표된 VCO와의 성능비교를 나타낸다. 본 연구의 시뮬레이션을 위해 사용된 CMOS 공정기술은 게이트 길이가 $0.18\mu m$ 로서 표 1의 다른 연구에서 사용된 공정기술의 게이트 길이보다 길다. 이는 상기 공정기술에 의해 얻은 위상잡음과 FoM(Figure of Merit)이 표 1의 다른 연구에서 사용한 보다 짧은 게이트 길이의 공정기술을 제안된 회로구조에 적용할 경우 얻어지는 위상잡음과 FoM보다 크게 나올 수밖에 없는 불리한 점이 있다. 이 사실을 감안하면 본 연구에서 제안된 VCO가 나타내는 위상잡음과 FoM은 1V 미만 전원전압에서 동작하는 기존에 발표된 VCO들의 위상잡음과 FoM에 적어도 충분히 필적할 수준임을 알 수 있다.

표 1. 기 발표된 VCO와의 성능비교

Table 1. Performance comparison with previous reports

	[4]	[8]	[9]	[10] (sim.)	This (sim.)
Tech.(μm)	0.13	0.09	0.13	0.13	0.18
Freq. (GHz)	4.9	3.55	3.58	5.2	4.87

Supply Volt. (V)	0.4	0.22	0.3	0.5	0.6
PN(dBc/Hz)	-132.6 @3MHz	-112.97 @1MH	-116.88 @1MH	-117 @1MH	-122.8 @1MH
P_{DC} (mW)	1.92	0.33	0.225	2	3.54
FoM (dBc/Hz)	-193.9	-188.79	-194.43	-188	-191.1
Tuning Range (%)	2.5	5.1	20.4	11.2	4.9

IV. 결론

MOSFET 소스 전류의 전도각을 줄이기 위하여 본 연구에서는 바랙터 통합형 평형 공통 게이트 콜피츠 발진기에 교차 결합형 발진기를 접목시킨 혼성 평형 전압 제어 발진기를 제안하였다. 제안된 발진기는 인덕터 전류원을 사용함으로써 인데 1V 미만의 전원전압 하에서도 충분한 크기의 발진전압을 보장한다. 또한 제안된 회로 내에 있는 바랙터 통합형 공통 게이트 콜피츠 발진기는 탱크의 바랙터를 콜피츠 발진기의 궤환 커패시터중의 하나로 흡수시킨 바랙터 통합형 궤환 커패시터를 사용한다. 이론적 해석과 시뮬레이션에 의해 바랙터 통합형 공통 게이트 콜피츠 발진기는 통상적 공통 게이트 콜피츠 발진기에 비해 훨씬 높은 부성저항을 나타냄을 보였다. 따라서 본 연구에서 제시한 발진기는 콜피츠형 발진기의 고질적 문제 중의 하나인 발진시동 문제를 완전히 해결할 수 있다. 제안된 혼성 평형 전압 제어 발진기의 위상잡음과 FoM성능지수는 $0.18\mu m$ 공정기술을 사용하여 시뮬레이션 했음을 감안할 때 기 발표된 연구결과와 충분히 필적할 수준임을 알 수 있다.

참고 문헌

[1] M.-Y. Jeon, "Differential Clapp voltage controlled oscillator using Metal Oxide Field Effect Transistors," Korea Patent 10-0791169, June 2009.

[2] F. Yamashita, T. Matsuoka, T. Kihara, I. Takobe, H.-J. Park, and K. Taniguchi, "Analytical design of a 0.5V 5GHz CMOS LC-VCO," IEEICEE Electronics Express, Vol. 6, No. 14, pp. 1025-1031, July 2009.

[3] T. H. Lee and A. Hajimiri, "Oscillator phase noise: a tutorial," IEEE J. Solid-State Circuits, Vol. SC-35, No. 3, pp. 326-336, Mar. 2000.

[4] F. Farhabakhshian, T. Brown, K. Mayaram, and T. Fiez, "A 475mV, 4.9GHz enhanced swing differential Colpitts VCO in 130nm CMOS with an FOM of 192.6dBc/Hz," in Proc. IEEE CICC 2010, pp. 1-4, SanJose, CA, USA, Sept. 19-22, 2010.

[5] 전만영, "1V 미만 전원전압에서 저 위상잡음에 적합한 차동 콜피츠 전압제어 발진기 회로," 한국전자통신학회논문지, 6권, 1호, pp. 7~12, 2011.

[6] X. Lee, S. Shekar, and D. J. Allstot, " G_m -boosted common-gate LNA and differential Colpitts VCO/QVCO in 0.18- μ m CMOS," IEEE J. Solid-State Circuits, Vol. SC-40, No. 12, pp. 2609-2619, Dec. 2005.

[7] A. Mazzanti, and P. Andreani "A 1.4mW 4.90-to-5.65GHz Class-C CMOS VCO with an average FoM of 194.5 dBc/Hz," in Proc. IEEE ISSCC 2008, pp. 474-476, 2010.

[8] S.-L. Jang, C.-J. Huang, C.-C. Liu, and C.-W. Hsue, "A 0.22 V quadrature VCO in 90nm CMOS process," IEEE Microw. Wireless Compon. Lett., Vol. 19, No. 9, pp. 566-568, Sep. 2009.

[9] S.-L. Jang, C.-J. Huang, C.-W. Hsue, and C.-W. chang, "A 0.3V cross-coupled VCO using dynamic threshold MOSFET," IEEE Microw. Wireless Compon. Lett., Vol. 20, No. 3, pp. 166-168, Mar. 2010.

[10] B. Catli and M. M. Hella, "A 0.5-V 3.6/5.2 GHz CMOS multi-band LC VCO for ultra low-voltage wireless applications," in Proc. IEEE ISCAS 2008, pp. 996-999, Seattle, WA, USA, May 18-21, 2008.

저자 소개



전만영(Man-Young Jeon)

1987년 2월 경북대학교 전자공학과 졸업 (공학사)

1991년 2월 경북대학교 대학원 전자공학과 졸업(공학석사)

2000년 2월 포스텍 대학원 전자및전기공학과 졸업 (공학박사)

동양대학교 정보통신공학부 부교수

1987. 2.~1997. 3. 한국전자통신연구원(ETRI) 선임연구원, 삼성전자 주임연구원

2000. 6.~2001. 9. 삼성종합기술원 수석연구원

※ 관심분야 : 발진기 위상잡음 이론, RFIC



김광태(Kwang-Tae Kim)

1985년 경북대학교 전자공학과 졸업 (공학사)

1987년 경북대학교 전자공학과 졸업 (공학석사)

1989년 경북대학교 전자공학과 (공학박사)

1989년 1993년 국방과학연구소 연구원

1994년~2007년 상주대학교 전자전기공학부

2008년~현재 경북대학교 과학기술대학 산업전자공학과 정교수

※ 관심분야 : 회로설계, 신호처리