

---

# DDS를 이용한 주파수 합성기 설계 및 그 성능평가에 관한 연구

이헌택\*

A Study on the Frequency Synthesizer using the DDS and its Performance Evaluation

Houn-Taek Lee\*

요 약

통신의 세계적 흐름은 고속화와 디지털화 그리고 대용량화의 추세로 흐르고 있다. 또한 한정된 자원인 주파수를 효율적으로 이용하기 위하여 대역확산 방식이 대표하여 그 주를 이루고 있다. 주파수 합성기로서 통신시스템에 많이 이용되고 있는 PLL(Phase Lock Loop)은 위상잡음 등 여러 가지 문제점을 가지고 있기 때문에, 이러한 문제점을 최소화 할 수 있는 디지털 소자인 직접디지털 합성기(DDS : Direct Digital Synthesis)를 이용하여 고속주파수도약 시스템을 설계하기위한 성능평가에 대하여 연구하여, 오율 개선의 해석과 고속주파수 도약이 가능한 시스템을 설계하고 그 성능을 평가 하였다.

ABSTRACT

Global flow of communication is a trend of high speed, digitalization, and high-capacity. Furthermore, spread spectrum method has been dominantly utilized to efficiently use the frequency which is the scarce resource. The PLL (Phase Lock Loop) which is a widely used frequency synthesizer in communication systems has few problems such as status interferences and hence, this study utilized the DDS (Direct Digital Synthesis) which is a digital device that can minimize the problems of PLL for the study on the performance evaluation of high speed frequency hopping system design. We designed a system that practices high speed frequency hopping and interprets improvement of error-rates and evaluated its performance.

키워드

communication, spectrum, frequency, interferences

무선통신, 스펙트럼, 주파수, 혼신

## 1. 서 론

전 세계적인 통신의 추세는 디지털화와 더불어 서비스의 다양화, 그리고 대용량화를 요구하고, 무선통신의 기술은 휴대폰, 노트북등 많은 분야에서 점차 확대되어지고 요구되어 가고 있다. 주파수 합성기

(Frequency Synthesizer)는 안정도가 높은 기준 주파수 발진기로부터 제어위드에 의해 원하는 주파수를 발생하는 회로를 의미하며, 통신시스템에서 채널을 결정하는 발진기를 비롯하여 다양하게 사용되고 있다. 주파수 합성기의 주요 성능은 주파수의 안정도, 정확도, 위상잡음, 주파수 도약(스위칭) 등이다. 주파수 합

---

\* 인천대학교 정보통신공학과(leeht@incheon.ac.kr)

접수일자 : 2012. 02. 06

심사(수정)일자 : 2012. 03. 23

게재확정일자 : 2012. 04. 07

성기는 주파수 합성방식에 따라 DDFS(Direct Digital Frequency Synthesizer) 채택기를 이용한 주파수 합성, 직접아날로그 합성방식(Direct Analog Synthesis), 간접합성방식인 위상동기루프(Phase Lock Loop), 그리고 직접디지털합성(Direct Digital Synthesizer)방식 등 여러 종류가 있다.[1][3]

무엇보다도 고속 주파수도약 방식을 충족시키기 위해서는 고속주파수합성기의 역할이 무엇보다도 중요하다. 종래의 주파수합성기에는 위상동기루프(PLL : Phase Lock Loop)가 그 대부분을 차지했지만, 고속 주파수도약 방식에서는 위상 잡음, 많은 비용과 노하우, 그리고 부피 등의 여러 가지 문제가 있어 위상동기루프는 많은 한계를 가졌다. 하지만 최근 직접디지털합성기(DDS : Direct Digital Synthesis)의 개발로 위상동기루프의 여러 가지 문제점을 해결해 나가는 추세이다. 무엇보다도 직접디지털합성기의 장점은 아날로그 VCO를 사용하지 않기 때문에 거의 클럭의 위상잡음과 동일한 위상잡음을 구현할 수 있다. 본 연구에서는 직접디지털합성기의 기본 이론과 특징을 설명하고 위상동기루프(PLL)와 비교를 하였으며, 직접디지털합성기를 이용하여 주파수도약 시스템의 주파수 합성기 부를 설계, 제작하여, 성능을 평가 하였다.[2][11]

## II. DDS의 이론 및 동작

### 2.1 DDS의 기본 이론

그림 1은 DDS의 기본적인 블록 다이어그램이다. 먼저 위상 누적기(Phase Accumulator)로 주파수 제어 워드가 들어가서 0에서 N까지의 단위 스텝으로 카운팅 하여 디지털 램프 파형을 재생한다. 그리고 카운터에 의해 생성된 각각의 카운터 값은 사인파형의 샘플에 대응하는 값을 ROM으로부터 얻는데 이용된다. ROM의 이산적인 출력값은 DAC(Digital to Analog Converter)를 거쳐 아날로그 형태로 변환되며, 고차주파수 성분을 억압하기 위해 필터링한다.[3][6][9]

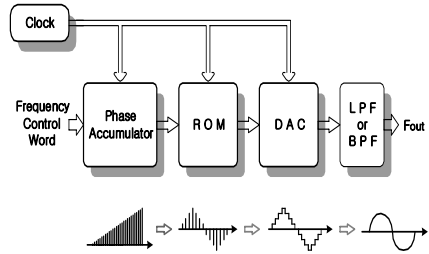


그림 1. DDS의 기본 블록 다이어그램  
Fig. 1 Block diagram of DDS

DDS의 출력 주파수는 클럭의 고정 주파수  $F_{CLK}$ 를 사용하여 출력주파수를 변화시켜야 한다. 카운터에서 사인파형의 한 주기를 적은 횟수만큼 어드레스를 발생시키게 되면 출력되는 주파수는 높아지며, 그 역으로도 마찬가지로 된다. 카운터가 가변적으로 즉, P만큼에 의해 증가될 수 있게 할 수 있는데, 이는 누적기를 통해 구현할 수 있으며, 병렬입력, 병렬출력을 갖는 M-비트 레지스터에 의해 구동되며, 가산기를 구동하게 된다. 매 클럭 주기마다, P의 값이  $Y_R$ 에 가산되며, 그리고 그 결과는 레지스터에 인가되므로 몫의 입력은 식(1)과 같다.

$$X_R(k) = Y_R(k-1) + P \quad (1)$$

이러한 관계는 레지스터가 오버플로우 될 때까지 유지되며, P의 값은  $Y_R$ 의 새로운 값에 대한 증가치로 된다.[4][7]

DDS에서 생성된 출력주파수는 다음 식(2)와 같으며 N은 위상누적기의 비트 수이다.

$$F_{out} = P \frac{F_{CLK}}{2^N} \quad (2)$$

여기서  $P/2^N$ 는 정수일 필요는 없다.  $F_{out}$ 의 최소값은  $F_{CLK}/2^N$ 이며 최대값은  $F_{CLK}/2$  이 된다. ROM에 인가되는 M-비트 워드는 사인파의 진폭값을 선택하게 된다. ROM의 출력은 진폭을 결정하므로 비트의 수는 재생된 파형의 “양자화 잡음”을 결정하게 된다.

DDS에서  $F_{CLK}$ 와  $F_{out}$ 의 비는  $2^N/P$ 의 유리수이며,  $2^N/F_{CLK}$ 의 주기는  $2^N$ 클럭과 P출력 사이클을 포

함하고 있으므로, P가 홀수이면, 양자화 에러는  $2^N/F_{CLK}$ 이며, P가 짝수이면 양자화 에러는  $2^{(N-j)}/F_{CLK}$ 이 되며, 여기서 j는  $2^P$ 을 의미한다. 따라서 이러한 에러과정과 고조파들은 출력스펙트럼에 스푸리어스로 나타나게 된다.

일반적인 RF응용에 있어서는 ROM에서 나오는 출력은 10~12비트의 범위내에서 분해능을 가져야 한다. ROM의 위상스텝들이 DDS의 축적기의 위상스텝들보다 작지 않다면 “위상 단절 에러”는 출력 과정을 왜곡하게 된다. 이러한 형태의 에러는 물론 주기적이며, 결과적으로 스푸리어스로 나타나게 되며, 최악의 경우 반송파에 대해  $(2^{B-1}\pi)^2$ 로 되며, 여기서 B는 누적기의 출력 폭과 ROM 입력 폭과의 차이를 의미한다.

## 2.2. DDS 동작 분석

DDS 내부의 ROM으로부터 나온 이산적인 신호는 DAC를 거치면서, 위상 축적기의 비트 분해능(resolution)이내에서 위상변화를 프로그래밍하여 어떠한 주파수라도 발생 시킬 수 있다.

DDS 내부의 ROM으로부터 나온 이산적인 신호는 DAC를 거치면서 식 (3)과 같은 신호로 표현 할 수 있다.

$$x[nT_s] = \sin(2\pi f_{out} \cdot nT_s + \phi) \quad (3)$$

식 (3)에서 위상이 0°일 때에는 식(4)와 같이 되며,

$$x[n] = \sin(2\pi F \cdot n) \quad (4)$$

여기서 F는 식(5)와 같다.

$$F = \frac{f_{out}}{f_{CLK}} = \frac{P}{2^N} \quad (5)$$

위상 축적기의 비트 분해능(resolution)이내에서 위상변화를 프로그래밍하여 어떠한 주파수라도 발생 시킬 수 있다. 주파수 분해능(frequency resolution)은 식(6) 과 같이 정의 되고,

$$FrequencyResolution = f_{CLK}/2^N \quad (6)$$

시간영역에서의  $x[n]$ 은 푸리에 변환을 통해 주파수영역의  $X[k]$ 로 나타낼 수가 있으며, 이는 식(7)과 같이 표현 할 수가 있다.

$$X[k] = X(e^{j\omega})|_{\omega=2\pi k/2^N} \quad (7)$$

일반적으로  $k = P$  일 때는 원하는 주파수성분이 나오나 식(8)의 경우에는 얼라이어스 영상(alias image)이 발생한다.

$$k_{alias} = l \cdot 2^N \pm P \quad (8)$$

여기서  $l$ 은 임의의 상수이다. 얼라이어스 영상 신호가 발생하는 주파수 수식은 식(9)와 같이 설명되어 질 수도 있다.

$$F_{alias} = \frac{l \cdot 2^N \pm P}{2^N} \cdot f_{CLK} = l \cdot f_{CLK} \pm f_{out} \quad Hz \quad (9)$$

ROM을 거친 디지털 신호  $x[n]$ 은 DAC(Digital to Analog Converter)를 거쳐 시간영역에서 연속적인 신호  $x_{DA}(t)$ 로 출력되고, DAC 내부의 샘플 앤 홀드 회로에서 임펄스 응답과 주파수 응답을 살펴보면 식(10),(11)과 같다.

$$h_0(t) = \begin{cases} 1 & 0 < t < T_s \\ 0 & \text{others} \end{cases} \quad (10)$$

$$H_0(j\omega) = \frac{2\sin(\omega T_s/2)}{\omega} e^{-j\omega T_s/2} = T_s \cdot \text{sinc}(f \cdot T_s) e^{-j\pi f T_s} \quad (11)$$

그러므로 DAC를 거친 최종 출력신호를 살펴보면 식 (12)와 같다.

$$x_{DA}(t) = \sum_{n=-\infty}^{\infty} x[n]h_0(t-nT_s) \quad (12)$$

DDS에서 발생하는 에러는 크게 위상에러와 진폭

에러로 나눌 수 있으며, DDS에서의 출력은 위상동기 루프에 비해 매우 작으므로 무시할 수 있다. 에러의 대부분은 클럭으로 들어오는 발진기 자체의 에러에 의한 소스 신호에 의해서 발생되어진다. DDS 내부의 고유에러는 위상 축적기에서의 한정된 비트의 위상 축약(phase truncation)에 의하여 위상 에러가 일어나고, ROM에서 L-비트의 sine look-up에 의하여 진폭의 에러가 발생되며, 이는 식(13)과 같이 나타난다.

$$x[n] = \sin\left(2\pi \frac{P}{2^N} \cdot n + e_p[n]\right) + e_A[n] \quad (13)$$

여기서  $e_p[n]$ 은 위상 에러성분이며,  $e_A[n]$ 은 진폭 에러 성분이다. 여기서 다시 위상에러와 진폭에러를 살펴보면, 각각 다음과 같다.

$$e_p[n] = \frac{1}{2} - \sum_{k=1}^{k=\infty} \frac{1}{\pi k} \sin\left(2\pi \frac{k \cdot 2^m \cdot P}{2^N} \cdot n\right) \quad (14)$$

$$e_A[n] = Q\left(\sin\left(2\pi \frac{P}{2^N} \cdot n\right) - \sin\left(2\pi \frac{P}{2^N} \cdot n\right)\right) \quad (15)$$

여기서  $Q(\cdot)$ 는 양자화 처리를 말하며, 위상 에러에 의한 스푸리어스 신호는 식 (16)과 같이 나타낼 수 있다.

$$F_{phase} = \frac{|l \cdot 2^N \pm (k \cdot 2^M \pm 1)P|}{2^N} \quad (16)$$

또한 스푸리어스 대 반송파 비(CSR : Carrier to Spurious Ratio)는 식(17) (18)과 같다.

$$\begin{aligned} CSR_{phase} &= 20\log_{10}(2^M \cdot k) \\ &= 6.02 \times M + 20\log_{10}(k) \quad dB \\ &= 6.02 \times M \quad dB \end{aligned} \quad (17)$$

$$\begin{aligned} CSR_{amplitude} &= 10\log_{10}\left(\frac{\sigma_x^2}{\sigma_e^2}\right) = 10\log_{10}(23 \cdot 2^{2L} \cdot \sigma_x^2) \quad (18) \\ &= 6.02 \times L + 10.8 - 9 = 6.02 \times L + 1.8 \quad dB \end{aligned}$$

다음의 그림 2는 DDS의 시뮬레이션 결과 이다.

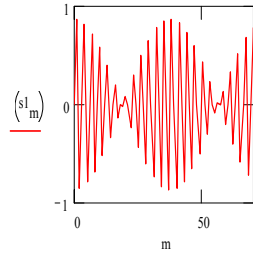


그림 2. 위상에러에 의한 신호  
Fig. 2 Signal be phase noise

DDS 내부의 ROM으로부터 나온 이산적인 신호는 DAC를 거치면서, 위상 축적기의 비트 분해능(resolution)이내에서 위상변화를 프로그래밍하여 어떠한 주파수라도 발생 시킬 수 있다. DDS 기술은 다른 주파수합성기와 달리 독특한 능력을 제공한다. 비록 나이퀴스트 이론(응용 기준 클럭의 1/2 주파수까지)에 의하여 제한 받지만, DDS는 주파수 제어 분해능 측면에서 밀리 헤르츠 스텝 간격과 밀리 헤르츠 혹은 나노 헤르츠에 이르는 위상 제어 분해능을 제공한다. 부가적으로 DDS는 주파수 변화에 따르는 settling 시간이 거의 없다. 그 결과 마이크로 초 혹은 나노초에 이르는 극히 빠른 주파수 스위칭 속도를 가진다. 모든 주파수 변화는 연속 위상 방식으로 완벽하게 자동적으로 변화한다. 그것은 이전 주파수에서 마지막 지점으로 부터 동 위상으로 연속해서 새로운 주파수로 변화하기 때문이다. 그러므로 신호는 디지털 차원에서 발생되어 아주 정밀하게 조작된다. 주파수나 혹은 위상 제어의 정확성 가지며, FSK 혹은 PSK 즉 주파수 혹은 위상 변조가 가능하다. 만약 원한다면 특정 장치 혹은 시스템 파라미터에 대한 주파수 대 오픈 루프 보정 데이터를 저장 하기위한 마이크로 프로세서 제어 시스템이 이용될 수 있다. 마이크로프로세서를 이용하여 간단히 DDS를 제어하여 원하는 다이내믹한 정확한 주파수를 얻을 수 있다.

직접 디지털 합성기가 기존의 위상동기루프(PLL)에 비해 가지는 여러 가지 장점은 다음과 같다.

- 1) 아날로그 VCO를 사용하지 않고서, DDS는 매우 낮은 위상잡음 - 거의 클럭의 위상잡음과 동일한 위상잡음을 구현할 수 있다. 클럭 주파수는 고정이므로, 광대역 위상동기루프를 사용하여 발진 클럭을 얻을 수 있다. 따라서, 클럭의 위상

- 잡음은 매우 낮게 얻을 수 있다.
- 2) DDS는 매우 정밀한 주파수 스텝을 제공한다. 누적기의 워드길이를 증가하여 위상증가의 상대 값을 줄일 수는 있으나, 복잡함에 따라 가격도 증가하게 되는 단점이 있다.
  - 3) DDS는 PLL에서와 같이 아날로그 궤환 루프가 아니므로 매우 빠른 채널전환 특성을 나타낸다.
  - 4) DDS는 출력에서 연속적인 위상변화에 의한 채널전환이 가능하므로, 변조기에 따른 중요한 특성을 나타낸다.
  - 5) DDS는 디지털영역에서 출력신호의 직접변조가 가능하다.

그림 3의 그래프는 DDS의 위상잡음을 분석한 것이며, 출력 주파수가 77.5MHz일 때 trace1은 DDS의 위상 잡음의 출력 값이고, trace2는 화이트 노이즈 레벨을 포함하는 DDS의 부가위상 잡음이다. 그리고 DDS의 누화(degradation)를 포함하는 위상 잡음의 출력 값이다.

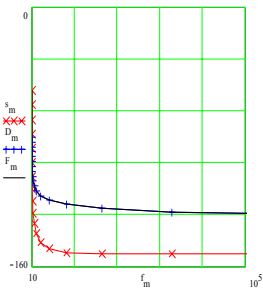


그림 3. DDS 출력의 위상 잡음  
Fig. 3 Phase noise of DDS output

### III. 주파수 합성기부 설계

기존의 주파수도약 시스템의 주파수합성기로 쓰였던 위상동기루프 대신하여 디지털 소자인 DDS를 이용하여 주파수 합성기 부를 설계 및 제작 하였으며, DDS를 이용한 주파수도약 시스템 송신부의 주파수합성기의 기본적인 구성도는 그림 4와 같다. 먼저 13단의 선형 쉬프트 레지스터를 만든 다음 선형 쉬프트 레지스터에서 나온 신호를 ROM의 어드레스로 신호를 넣는다. ROM은 8bit 이며, 원하는 주파수대 그리

고 스텝을 프로그래밍 하게 된다. 이것은 4개 사용하여 32비트의 데이터 출력을 얻게 된다. 이 데이터 신호는 DDS의 주파수제어(FC)단으로 들어가서 DDS의 출력 주파수를 제어하게 된다. 그리고 DDS로부터 나온 신호를 DAC를 사용하여 아날로그 신호로 출력하게 된다. 본 논문에서는 주파수대역 분배는 중심 주파수를 77.5MHz이며, 대역폭은 5MHz로 하였다. 그리고 도약간격은 1.2kHz이며 도약 율은 8khps이다.

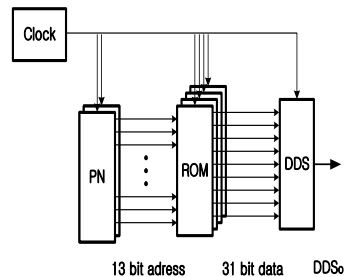


그림 4. DDS를 이용한 주파수합성기의 블록 다이어그램

Fig. 4 Block diagram of frequency synthesizer using DDS

DDS 소자로는 Q2240-3SI를 사용하였으며, DAC의 소자로는 AD9762를 사용하였으며, DAC 소자는 AD9762를 사용하였다. Q2240-3SI는 32bit의 입력을 받아서 위상 누적기로 제 입력되고, 다시 14bit의 출력을 ROM으로 입력 하게 된다. 최종적인 출력값은 12bit의 디지털 신호가 나오게 되는 것이다. 이것은 12bit DAC 소자에서 아날로그 출력으로 나오게 되며, 최종적으로 스퓨리우스를 제거하기 위하여 필터링 하게 되는 것이다. Q2240-3SI의 기능적 블록 다이어그램은 그림 5와 같다.

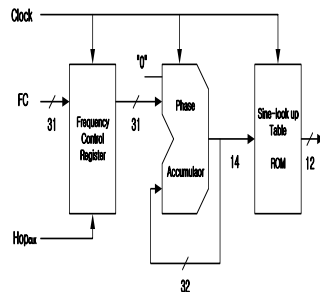


그림 5. Q2240-3SI의 기능적 블록 다이어그램  
Fig. 5 Q2240-3SI functional block diagram

### IV. 성능 측정 및 평가

제작된 시스템을 측정하기 위한 실험방법은 그림 6과 같이 시스템을 실제 측정하고 있는 사진이며, 그림 7은 DDS의 출력 신호이며, 이를 스펙트럼 분석기로 측정하면, 최대 출력 주파수는 100MHz이고, 87.5MHz의 주신호이다. 12.5MHz의 신호를 분석하여 보면 100MHz-87.5MHz의 1차 하모니 성질이 나타날 것이다. DDS에서는 어떤 하모닉이 발생하지 않는 클럭을 사용하느냐가 매우 중요한 문제가 될 것이다. 그림 8은 실제 제작한 주파수도약 시스템의 주파수합성기 출력이다. 중심 주파수는 77.5MHz이며 대역폭은 5MHz가 되었다. 표 4-1은 DDS의 출력 신호이며, 최대 출력 주파수는 +50dB 이상으로 아주 양호한 출력을 나타내고 있다.

표 1. 실제 제작된 주파수도약 시스템 송신부 특성  
Table 1. Characteristics of implemented the transmitter of FH system

파라미터	측정값
중심 주파수	77.5MHz
대역폭	5MHz
채널 간격	1.2kHz
도약율	>8khps
레이터율	1Mbps
RF 출력	+50dBm

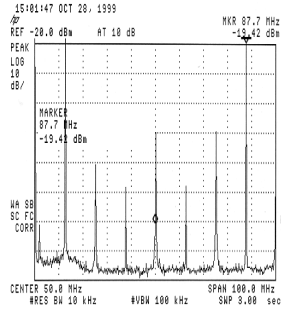


그림 7. 스펙트럼 분석기에 의한 DDS 출력 신호  
Fig. 7 DDS signal output measured by spectrum analyzer

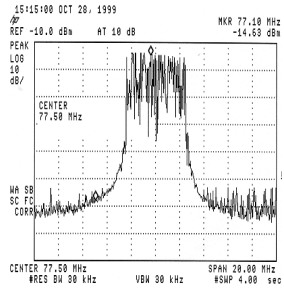


그림 8. 스펙트럼 분석기에 의한 주파수도약 신호  
Fig. 8 Frequency hopping signal measured by spectrum analyzer

### V. 결론

주파수도약 시스템에서도 이동통신의 추세에 따라 고속화 및 디지털화가 요구되고 있다. 무엇보다도 고속주파수도약 시스템에서 중요한 것은 주파수합성기부의 성능이다. 종래의 위상동기루프(PLL)의 아날로그 방식은 고속화에 따른 많은 여러 가지 문제점을 가지고 있다. 따라서 본 논문에서는 DDS를 이용하여 주파수합성기를 제작 및 성능평가를 하였다.

먼저 선형 쉬프트 레지스터를 사용하여 2<sup>13</sup>의 PN 코드 발생기를 만들었고, 사용하고자하는 주파수대역과 주파수 간격을 4개의 8bit ROM에 프로그래밍 하였다. ROM으로부터 출력된 32bit 데이터를 DDS의 주파수 제어단에 입력하였다. 그리고 DDS로 Q2240-3SI를 사용

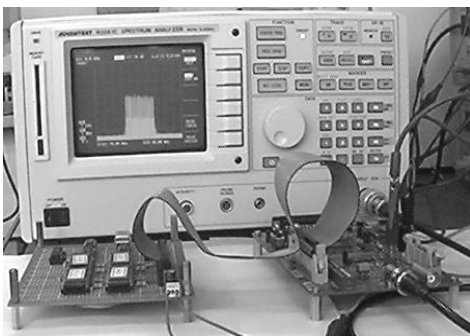


그림 6. 주파수 합성기 실험 사진  
Fig. 6 Picture of frequency synthesizer experimentation

하여 주파수합성기를 사용하였다.

DDS를 이용한 주파수합성기는 측정결과 중심 주파수가 77.5MHz, 대역폭이 5MHz, 도약율 8khps이상, 그리고 +50dB의 값이 측정 되었다. 그러므로 본 시스템은 주파수도약 시스템의 중요 파라미터인 도약 율에서 기존의 상용화 FFH 시스템보다 40~80배 까지 향상된 값을 가지며, 출력 신호는 노이즈 레벨과 차이가 +50dB가 진다.

이러한 결과는 DDS가 디지털 소자이기 때문에 가능한 결과이며, 또한 위상동기루프와 달리 소프트웨어적으로 주파수 간격 및 도약 율 등의 파라미터를 ROM에 프로그래밍하여 손쉽게 조정이 가능하다. 또한 DDS의 종류에 따라 수 마이크로에서 수 나노까지의 분해능을 가지므로 고속주파수도약 시스템을 비롯한 많은 통신 분야에서 응용이 가능하다.

본 논문은 고속주파수 도약 시스템의 성능평가 연구가 요구되며, 이를 응용하여 고속주파수도약 시스템 분야뿐만 아니라, DDS를 이용한 여러 이동통신 분야에서 응용이 가능할 것으로 기대된다.

**감사의 글**

이 논문은 인천대학교 학술연구비 지원에 의해 연구되었음

**참고 문헌**

[1] B. Sklar, Digital Communications. Prentice Hall, 1988.  
 [2] M. K. Simon, J. K. Omura, R. A. Scholtz and B. K. Levitt, Spread Spectrum Communications, Computer Science Press, 1985.  
 [3] R. C. Dixon, Spread Spectrum Systems. New York : John Wiley & Sons, Inc., 1984.  
 [4] W. C. Y. Lee, "Overview of Cellular CDMA", IEEE Trans. Vehic. Technol., Vol. VT-40, No. 2, pp. 291-302, 1991.  
 [5] M. V. Hegde and W. E. Stark, "Capacity of Frequency-Hop Spread-Spectrum Multiple- Access Communication Systems", IEEE Trans. Commun., Vol. 38, No. 7, pp. 1050-1059, 1990.

[6] R. Agusti, "On the Performance Analysis of Asynchronous FH-SSMA Communications", IEEE Trans. Commun., Vol. 37, No. 5, pp. 488-499, 1989.  
 [7] E. A. Geraniotis, "Noncoherent Hybrid DS/SFH Spread-Spectrum Multiple-Access Communications", IEEE Trans. Commun., Vol. COM-34, No. 9, pp. 862-872, 1986.  
 [8] R. H. Muammar and S. C. Gupta, "Spectrum Efficiency of a Frequency-Hopped MFSK Spread Spectrum Mobile Radio System", IEEE Trans. Vehic. technol., Vol. VT-31, No. 2, pp. 66-69, 1982.  
 [9] Analog Device, AD9762 DATA SHEET, Analog Device Inc., 1999  
 [10] 윤형득, 강창훈, 길동욱 "한국의 해양정보통합시스템 구축에 관한 연구", 한국전자통신학회논문지, 1권, 1호, pp. 87-92, 2006.  
 [11] 이영선, 정재진, 신현식, "해저광케이블 수리를 위한 효율적인 탐지 및 측정 기법", 한국전자통신학회논문지, 3권, 1호, pp. 1-7, 2008.

**저자 소개**

**이헌택(Houn-Taek Lee)**



1977년 광운대학교 무선통신 공학  
과졸업(공학사)  
1980년 명지대학교 대학원(공학석사)  
1999년 한국해양대학교 대학원 전자통신공학과 졸업  
(공학박사)  
2000년 정보통신 특급기술자  
2001년 정보통신 특급감리원  
1977년~현재 인천대학교 정보통신공학과 교수