

논문 2012-49SD-6-1

새로운 게이트 드라이버를 이용한 완전 집적화된 DC-DC 벡 컨버터

(A Fully-Integrated DC-DC Buck Converter Using A New Gate Driver)

안영국*, 전인호*, 노정진**

(Youngkook Ahn, Inho Jeon, and Jeongjin Roh)

요약

본 논문은 패키징 인덕터를 이용한 완전 집적화된 DC-DC 벡 컨버터를 소개한다. 사용된 패키징 인덕터는 본딩 와이어와 리드 프레임의 기생 인덕턴스를 포함한다. 이들은 실리콘 위에서 구현되는 온-칩 인덕터 보다 높은 Q 인자를 가진다. 또한 본 논문은 고주파 스위칭 컨버터의 효율적인 레귤레이션을 위해 로우-스윙 게이트 드라이버를 제안한다. 로우-스윙 드라이버는 다이오드-커넥티드 트랜지스터의 전압 드롭을 이용한다. 제안된 컨버터는 0.13- μm CMOS 공정을 통해 설계 및 제작되었다. 제작된 벡 컨버터의 효율은 입출력 전압비가 3.3 V/ 2.0 V와 2.8 V/ 2.3 V 일 때, 각각 68.7%, 86.6%로 측정되었다.

Abstract

This paper presents a fully-integrated buck converter equipped with packaging inductors. These inductors include parasitic inductances of the bonding wires and lead frames in the package. They have significantly better Q factors than the best on-chip inductors implemented on silicon. This paper also proposes a low-swing gate driver for efficient regulation of high-frequency switching converters. The low-swing driver uses the voltage drop of a diode-connected transistor. The proposed converter is designed and fabricated using a 0.13- μm CMOS process. The fully-integrated buck converter achieves 68.7% and 86.6% efficiency for 3.3 V/2.0 V and 2.8 V/2.3 V conversions, respectively.

Keywords : Fully-integrated DC-DC converter, packaging inductor, gate driver, diode-connected, low-voltage swing

I. 서론

최근 휴대용 기기의 경우 집적화된 혼성 신호 회로와 system-on-a-chip (SOC) 기술의 발전으로 더욱더 소형화를 추구하고 있으며 이에 따라 더욱더 작고 가볍고 얇은 두께, 긴 배터리 수명 시간을 요구하고 있다^[1-2]. 효율적인 전력관리를 위한 대표적인 파워 매니지먼트

회로는 리니어 레귤레이터, 인덕터-타입과 스위치드-커패시터 타입의 DC-DC 컨버터들이 있다. 리니어 레귤레이터는 온-칩이 가능하나, 오직 스텝-다운 동작만 가능하며 입·출력 전압비가 감소할수록 효율이 낮아지는 단점을 가진다. 스위치드-커패시터 컨버터 역시 온-칩이 가능하나, 많은 스위치의 사용으로 인해 컨트롤이 복잡해지고, 스위칭 노이즈가 큰 단점을 가진다. 인덕터 타입의 컨버터는 큰 외부 소자인 인덕터와 커패시터의 사용에 의해 보드면적을 크게 차지하는 문제점을 가진다. 하지만 매우 높은 변환효율을 가지는 장점으로 인해 휴대용 기기에 널리 사용되고 있다. 이처럼 휴대용 기기에 널리 사용되고 있는 대부분의 파워매니지먼트

* 학생회원, ** 정회원, 한양대학교 전자통신공학과
(Department of Electronics & Communication
Engineering)

※ 본 연구는 지식경제부가 지원하는 산업융합원천기술개발사업을 통해 개발된 결과임을 밝힙니다.
(10039145, 융복합 혁신 반도체 기술 개발)
접수일자: 2012년3월19일, 수정완료일:2012년5월4일

회로들은 다수의 집적화된 회로와 비교적 적은 수의 외부 수동 소자들로 구성되어 있다. 하지만 점점 소형화를 추구하고 있는 휴대용 기기에 맞추기 위해서는 외부 수동소자들도 모두 집적하여 궁극적으로 DC-DC 컨버터를 완전 집적화하는 것이 중요하다. DC-DC 컨버터의 완전 집적화는 작은 칩 면적, 생산 비용 절감과 더불어 환경까지 생각할 수 있는 SOC 칩을 가능하게 한다. 그러나 현재까지 널리 사용되고 있는 인덕터-타입 컨버터의 경우 μ 대의 큰 인덕터와 커패시터가 사용되기 때문에 이 정도의 크기를 실리콘 위에 집적시키는 것은 매우 비현실적이다. 따라서 DC-DC 컨버터의 완전 집적화를 이루기 위해서는 반드시 출력 단 필터를 구성하는 인덕터와 커패시터의 크기를 줄여야 한다.

현재까지 파워 컨버터의 완전 집적화에 관한 대부분의 연구들은 효율적인 전력변환을 위해 실리콘/비실리콘 기판 위에 수동 소자들을 집적화 하는데 집중하고 있으며 이러한 연구 결과로 다양한 기술이 나오고 있다^[3~11]. [3]에서는 저전력 DC-DC 벡 컨버터를 위해 PCB에 집적화된 인덕터가 소개되었고, [4~5]에서는 고급 테크놀로지 CMOS 공정을 이용하여 밀리-와트 급의 파워 컨버터에 사용되는 인덕터가 소개되었다. [6]에서는 plastic deformation magnetic assembly (PDMA) 기술을 이용한 높은 인덕턴스와 작은 면적을 가지는 IC-level의 인덕터가 소개되었다. [7]에서는 패키지에 장착한 오프-칩 에어-코어 인덕터가 소개되었다. 그리고 [8~11]에서는 특별한 기술 없이 단지 스위칭 주파수만을 증가시켜 오프-칩 소자들의 크기를 실리콘 위에 집적화할 수 있는 크기로 줄인 후 온-칩 나선형 인덕터와 MOS/MIM 커패시터를 이용하여 DC-DC 컨버터를 완전 집적화 하였다.

본 논문에서는 기존의 완전 집적화된 DC-DC 컨버터에서 사용되었던 온-칩 나선형 인덕터가 가지는 큰 실리콘 다이 면적과 낮은 Q 인자에 대한 문제점을 개선하기 위한 새로운 방법으로 상대적으로 높은 Q 인자를 가지는 패키징 인덕터를 이용한 완전 집적화된 DC-DC 벡 컨버터를 소개한다. 제작된 컨버터는 인덕터와 커패시터의 사이즈를 온-칩 레벨로 줄이기 위해 50 MHz의 높은 스위칭 주파수를 이용한다. 그리고 고속 동작 시에 효율적인 데드-타임 지연을 얻을 수 있는 새로운 게이트 드라이버 회로를 제안한다. II 장에서는 완전 집적화된 컨버터에서 인덕터의 설계에 대해서 설명한다. III

장에서는 제안된 컨버터의 회로 구현에 대해 설명한다. 실험결과는 IV 장에서 설명한다. 그리고 이 논문의 결론은 V 장에서 설명한다.

II. DC-DC 컨버터의 인덕터 설계

1. 본딩 와이어 인덕터

높은 Q 인덕터를 얻을 수 있는 한 가지 방법은 RF 분야에서 많이 연구되고 있는 본딩 와이어의 자기 인덕턴스를 이용하는 방법이 있다. 본딩 와이어 인덕터는 매우 작은 직렬 저항 성분을 가지기 때문에 높은 Q 값을 가질 수 있고, 차지하는 면적이 작고, 정교한 최신 자동 본딩 기계의 이용으로 인해 와이어 길이의 오차가 5% 보다 작은 장점을 가진다^[12]. 본딩 와이어의 전기적 인 특성은 그들의 물리적인 크기에 의존하기 때문에 본딩 와이어를 이용하기 위해서는 정확한 모델링이 필요하다. 그림 1은 EIA/JEDEC의 스탠다드 본딩-와이어 모델에서 인덕턴스를 계산하기 위한 구성을 나타낸 것이다^[13].

[13]에 나타낸 자기 인덕턴스 (L_S)와 상호 인덕턴스 (L_M)의 수식을 이용하여 2개의 병렬 와이어에 대한 루프 인덕턴스는 다음과 같다.

$$L = 2L_S - 2L_M \quad (1)$$

여기서 사용된 와이어의 전체 지름을 알면 dc 저항은 수식 (2)와 같이 근사화될 수 있다.

$$R_{dc} = \frac{L}{\sigma \cdot A} \quad (2)$$

여기서 L은 사용된 와이어의 전체 길이이고, σ 는 와이어의 전도성, A는 와이어의 단면적을 나타낸다.

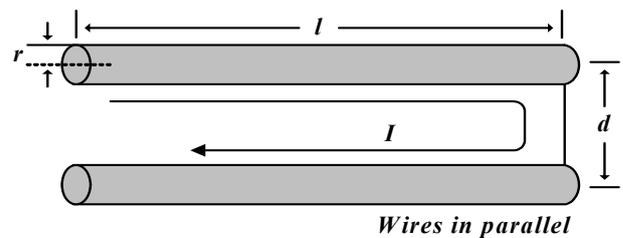


그림 1. 인덕턴스 계산을 위한 구성
Fig. 1. Configuration for inductance calculation.

2. 패키징 인덕터

온-칩 나선형 인덕터의 설계는 Q 인자의 희생이 없 이 할 수 없다. 이것은 온-칩 나선형 인덕터의 설계 시 발생하는 high trace resistance, 기판 그리고 inter-layer capacitive coupling, eddy current loss 때문에 Q 인자가 낮아지기 때문이다. 또한 파워 매니지먼트 회로 에서 요구되는 인덕턴스는 RF 회로에서 요구되는 인덕 턴스보다 매우 크기 때문에 낮은 Q 인자에 대한 문제 점은 더욱 심각해진다. [14]에서는 높은 Q 인덕턴스를 얻기 위해 본딩 와이어의 기생 성분을 이용하였으며, 18 nH의 큰 인덕턴스를 얻기 위해 추가적인 본딩 작 업 을 통해 실리콘 다이 위에 나선형 형태로 구현하였다.

본 논문에서는 DC-DC 컨버터에서 사용되는 온-칩 나선형 인덕터의 낮은 Q 인자에 대한 문제점을 개선하 기 위한 새로운 대안으로 패키지에 존재하는 본딩 와이 어와 리드 프레임의 기생 인덕턴스 성분을 모두 포함하 는 패키징 인덕터의 이용을 제안한다. 패키징 인덕터는 낮은 기생저항 성분으로 인해 실리콘에 형성된 온-칩 인덕터에 비해 상당히 높은 Q 인자를 가질 수 있고, 주 된 오차는 패키지 cavity에 연결되는 본딩 와이어의 길 이의 변화에 의존한다^[15].

그림 2는 패키징 인덕터를 가지는 완전 집적화된 DC-DC 컨버터를 이용하여 구성된 SOC 아키텍처를 나타낸 것이다. DC-DC 컨버터에서 출력 단 필터 역할 을 하는 수동 소자들을 패키징 인덕터와 온-칩 커패시 터를 이용하여 완전 집적화함으로써 DC-DC 컨버터와 부하 회로들과의 거리가 매우 짧아질 수 있다. 이로 인 해 기존의 multi-chip 형태에서 기생성분에 의해 발생 되었던 power supply interconnection delay 와 load

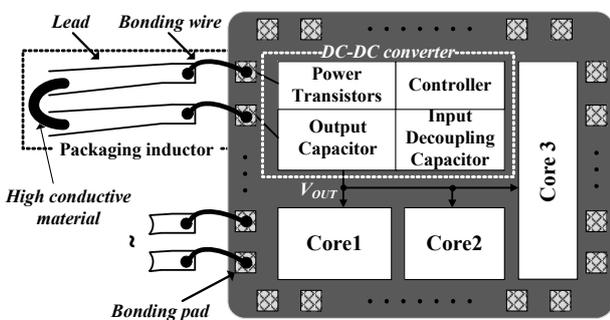


그림 2. 완전 집적화된 DC-DC 컨버터를 이용한 SOC 아키텍처
Fig. 2. SOC architecture using fully-integrated DC-DC converter.

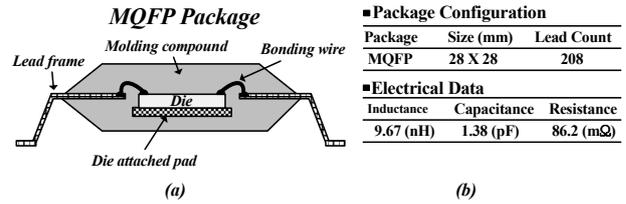


그림 3. MQFP 패키지
(a) 구조 (b) 전기 데이터
Fig. 3. MQFP package.
(a) Structure (b) Electrical data

transient 시의 response time을 상당히 줄일 수 있다. 또한 그림 2에서처럼 칩 내부에 위치한 다양한 아날로그, 디지털 코어들이 하나의 DC-DC 컨버터를 통해 DC 파워를 공급받는 게 가능하기 때문에 SOC 어플리 케이션에서 전원 관리문제를 해결하기 위한 하나의 방 법이 될 수 있다.

그림 3은 본 논문에서 사용된 패키지의 구조와 전기 데이터를 나타낸 것이다^[16]. 사용된 패키지 타입은 MQFP이며, 그림 3의 전기 데이터는 패키징 인덕터가 DC-DC 컨버터에서 사용하기에 충분한 인덕턴스를 가 지는 것을 보여준다. 그리고 패키징 인덕터는 매우 작 은 기생 저항값을 가지기 때문에 높은 Q 인자를 갖는 장점이 있다.

III. 완전 집적화된 벅 컨버터의 구조 및 회로설계

1. 완전 집적화된 벅 컨버터

그림 4는 제작된 완전 집적화된 벅 컨버터의 블록 다

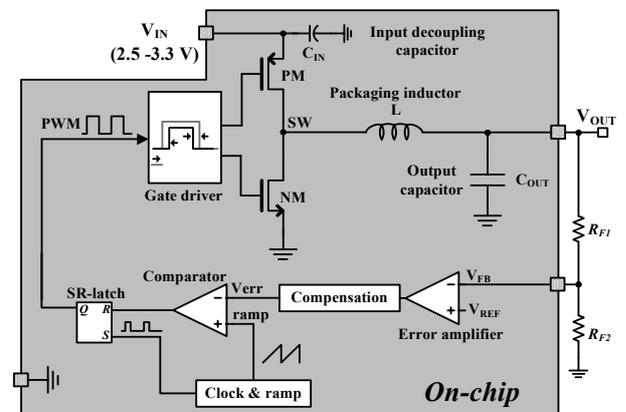


그림 4. 완전 집적화된 벅 컨버터의 블록 다이어그램
Fig. 4. Block diagram of the fully-integrated buck converter.

이어그램을 나타낸 것이다. 설계된 컨버터는 모듈리식 컨트롤러와 온-칩 수동 소자들로 구성되어 있다. 여기서 R_{F1} , R_{F2} 는 테스트 시에 출력전압의 가변을 위한 목적으로 따로 오프-칩으로 구성하였다. 기본적인 컨트롤 방식은 빠른 스위칭 동작에 따른 전류 감지의 어려움으로 인해 전압-모드 방식을 적용하였다. 그리고 완전 집적 시에 온-칩 나선형 인덕터가 가졌던 낮은 Q 인자의 문제점을 보완하기 위해 MQFP 패키지에 존재하는 본딩 와이어와 리드 프레임의 기생 인덕턴스를 이용하였다. 그리고 시뮬레이션 시에 패키징 인덕터의 정확한 특성을 확인하기 위해 lumped-equivalent circuit^[17]과 그림 3 (b)의 전기 데이터를 이용하였다.

2. 게이트 드라이버

일반적으로 DC-DC 컨버터에서 파워 손실은 주로 전도성 소모, 스위칭 소모, 단락 전류 소모에 의해 발생된다. 이 중에서 단락 전류 소모는 파워 트랜지스터들을 드라이브 하는 버퍼단의 설계와 관계가 있다. 만약 단순한 인버터 체인 구조를 이용할 경우에는 스위칭 구간에서 단락 전류가 발생하게 되어 큰 전류가 파워 트랜지스터들을 통해 흐르게 된다. 이로 인해 컨버터의 효율이 낮아지는 문제점이 발생한다. 따라서 단락 전류가 흐르지 않게 하기 위해서는 전이 구간에서 파워 트랜지스터가 모두 오프가 되는 데드-타임 구간을 가지는 버퍼 회로가 반드시 필요하다. 높은 주파수로 동작하는 컨버터 또한 파워 트랜지스터를 구동하는 버퍼 회로에 데드-타임 구간을 요구함과 동시에 게이트 구동 시에 발생하는 파워소모를 줄이기 위한 기술도 함께 요구된

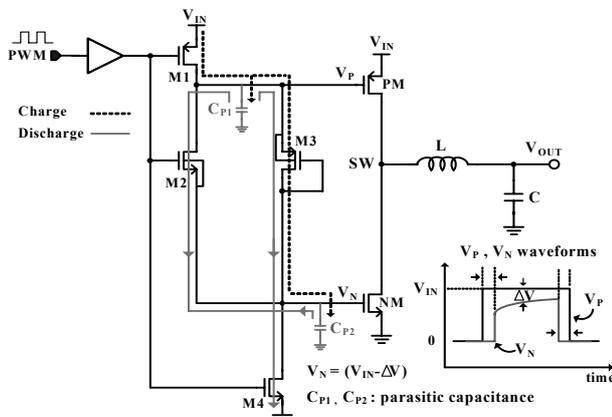


그림 5. 제안된 게이트 드라이버

Fig. 5. Proposed gate driver.

다. [18]은 단순히 인버터 체인을 이용한 것으로 구현이 매우 쉽지만 스위칭 구간에서 단락 전류가 발생하며, PMOS, NMOS 파워 트랜지스터의 구동을 위해 각각의 인버터 체인이 필요하다. 따라서 게이트 구동 시에 불필요한 파워가 소모될 수 있다.

본 논문에서는 DC-DC 컨버터의 스위칭 손실과 게이트 드라이버 단의 파워소모를 줄이기 위해 최종 버퍼 단들을 하나로 병합하여 충/방전 동작 시에 불필요한 파워 소모를 줄인 회로를 제안한다. 제안된 게이트 드라이버 회로는 그림 5에 나타내었다.

제안된 게이트 드라이버는 M3을 다이오드-커패시터로 구성하여 NM 파워 트랜지스터가 로우-전압 스윙을 하계끔 구성한 회로이다. 따라서 V_N 의 high 레벨은 M3의 다이오드-커패시터 구성으로 인해 V_{IN} 이 아니라 아래의 식들에 의해 정해진다. 일단 충전 동작이 시작되면 V_N 의 전압 변화는 다음과 같이 표현될 수 있다^[19].

$$\frac{dV_N}{dt} = \frac{I_{D3}}{C_{P2}}, \text{ when } V_N \leq V_{IN} - |V_{TH3}| \quad (3)$$

$$I_{D3.weak} = \frac{W}{L} I_{D0} \exp\left(\frac{q|V_{GS3}|}{nkT}\right) \quad (4)$$

여기서 n 은 subthreshold slope factor이고, I_{D0} 는 공정 의존성 파라미터, k 는 볼츠만 상수, T 는 절대온도, 그리고 q 는 전하량이다. 따라서 V_N 의 high 레벨은 $V_{IN} - |V_{TH3}|$ 이후부터는 $I_{D3.weak}$ 에 의해 결정되게 된다. 식 (4)을 통해 알 수 있듯이 V_N 이 점점 증가할 때 $|V_{GS3}|$ 는 감소하고 이로 인해 $I_{D3.weak}$ 도 감소한다. 이러한 관계로 인해 V_N 은 V_{IN} 보다 낮은 전압 레벨을 가지게 되고, 이때의 전압 변화는 다음과 같이 표현될 수 있다.

$$\frac{dV_N}{dt} = \frac{I_{D3.weak}}{C_{P2}}, \text{ when } V_N > V_{IN} - |V_{TH3}| \quad (5)$$

식 (4), (5)를 통해 알 수 있듯이, 전압 스윙 레벨은 $I_{D3.weak}$ 에 의해 결정되고, M3의 W/L 을 통해 조절할 수 있다.

제안된 회로는 데드-타임 지연 경로에 최소의 트랜지스터들이 있기 때문에 높은 주파수에서 동작하는 컨버터에 1 ns 이하의 매우 짧은 데드-타임 지연을 제공할 수 있는 구조이며, 게이트 드라이버의 최종 단에 존재하는 충/방전 경로를 하나로 줄임으로써 게이트 드라

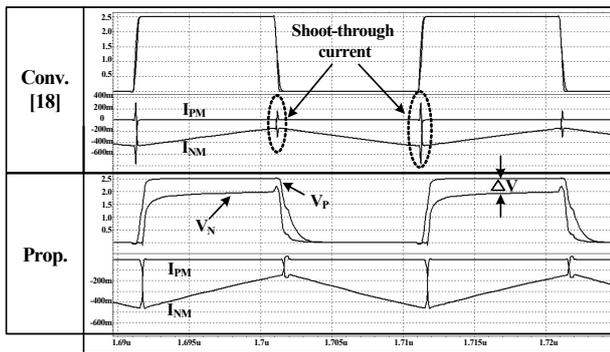


그림 6. 게이트 드라이버의 시뮬레이션 파형
Fig. 6. Simulated waveforms of gate drivers.

이러한 자체의 파워 소모도 줄일 수 있다. 그리고 V_N 의 전압 스윙이 수식 (4), (5)에 의해 0에서 ($V_{IN}-\Delta V$)가 되기 때문에 NM 파워 트랜지스터의 게이트 구동시의 파워 소모를 줄일 수 있고, 수식 (6)을 통해서 알 수 있다^[20].

$$P_{gate} = C_{P2} \times (V_{IN} - \Delta V)^2 \times F_{SW} \quad (6)$$

여기서 ΔV 는 M3가 weak inversion region 에 있을 때 V_N 의 전압 변화량이고, F_{SW} 는 컨버터의 스위칭 주파수이다.

그림 6은 $V_{IN}=2.5$ V, $F_{SW}=50$ MHz, $D=0.5$, $I_L=300$ mA일 때 기존회로와 제안된 게이트 드라이버의 시뮬레이션 파형을 나타낸 것이다. 여기서 I_{PM} , I_{NM} 은 각각 PM, NM 파워 트랜지스터를 통해 흐르는 전류이다. 그림에서 보듯이, 제안된 회로는 구동 신호 V_P , V_N 이 데드-타임 지연을 가지기 때문에 PM과 NM이 동시에 턴-온 되는 경우가 없어 기존 CMOS 버퍼^[18]와 비교 시 큰 단락 전류를 피할 수 있다. 또한 다이오드-컨택트드 구성으로 인해 V_N 의 신호가 0에서 ($V_{IN}-\Delta V$)로 스윙하는 것을 알 수 있다.

III. 실험

설계된 컨버터는 0.13- μ m CMOS 공정을 이용하여 제작되었다. 제안된 컨버터는 온-칩 나선형 인덕터에 비해 상대적으로 높은 Q 인자를 가지는 패키징 인덕터와 MIM 커패시터를 이용하여 완전 집적화 하였다. 제작된 칩은 출력 단 필터를 집적할 수 있는 사이즈로 줄이기 위해 50 MHz의 높은 스위칭 주파수를 이용하였다. 그림 7은 칩 사진을 나타낸 것이다. 그림에서 보는

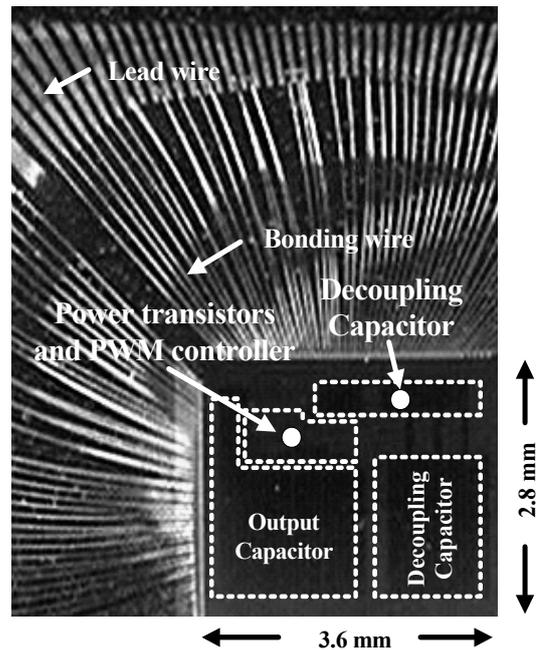


그림 7. 제안된 벡 컨버터의 칩 사진
Fig. 7. Photograph of the proposed buck converter.

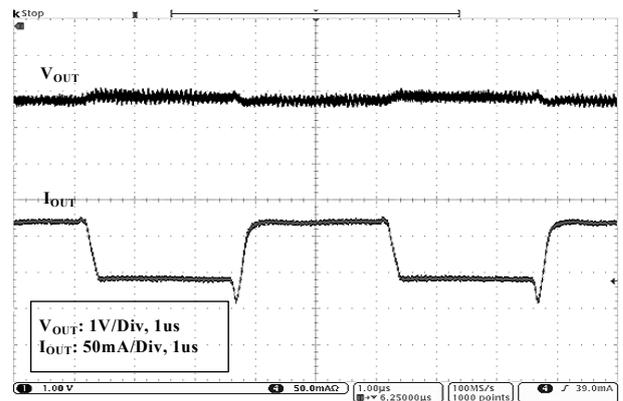


그림 8. 부하 전류 변화에 따른 출력 전압 변화
Fig. 8. Output voltage variation by load variation.

바와 같이 큰 인덕턴스를 얻기 위해 패키지에 존재하는 본드 와이어와 리드 프레임 모두 이용하였다.

그림 8은 부하 전류 변화에 따른 출력 전압의 변화를 측정된 파형을 나타낸 것이다. 측정 조건은 $V_{IN}=3.3$ V, $V_{OUT}=2.0$ V, $F_{SW}=50$ MHz이고, 부하 전류의 변화는 40 mA에서 120 mA이다. 제작된 컨버터의 transient time 은 약 200 ns이고, 출력 전압의 리플은 약 300 mV 이다. 그림 9는 입출력 전압비가 3.3 V/2.0 V와 2.8 V/2.3 V일 때의 효율을 나타낸 것으로, 전력 효율은 각각 68.7%, 86.6%로 측정되었다.

표 1은 제작된 칩의 성능을 요약한 것이다. 제작된

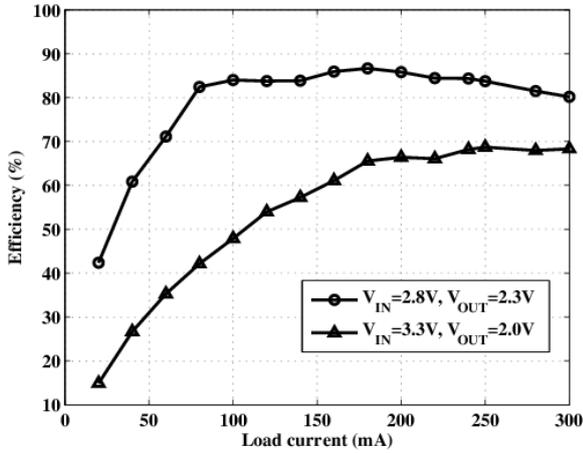


그림 9. 측정된 효율

Fig. 9. Measured efficiency results.

칩의 입력 전압 범위는 2.5-3.3 V, 스위칭 주파수는 50 MHz, 최대 허용 전류는 300 mA이다. 소모된 전체 실리콘 면적은 약 10 mm²이다.

표 2는 제안된 컨버터와 이전에 발표된 온-칩 컨버터들의 성능 비교를 나타낸 것이다. [6]은 DC-DC 컨버터의 출력 필터의 크기를 줄이기 위해 높은 스위칭 주파수를 이용하였고, 패키지 위에 오프-칩 에어-코어 인덕터를 사용하였다. 반면에 [8~11]은 높은 스위칭 주파수와 온-칩 나선형 인덕터를 이용하여 완전 집적화를 이루었다. 대부분의 컨버터들은 입·출력 변환 대비 비슷한 효율 및 부하 전류 범위를 가졌다. 본 논문에서는 완전 집적화를 위해 50 MHz의 높은 스위칭 주파수와 패키지에 존재하는 기생 인덕턴스와 MIM 커패시터를

표 1. DC-DC 벅 컨버터 성능

Table 1. Performance of the DC-DC buck converter.

면적	3.6 X 2.8 mm ²
공정	0.13- μ m CMOS
스위칭 주파수	50 MHz
효율	86.6% @V _{IN} =2.8, V _{OUT} =2.3V, I _O =180mA
	68.7% @V _{IN} =3.3, V _{OUT} =2.0V, I _O =180mA
입력 전압 범위	2.5 - 3.3 V
인덕터	19.9 nH
출력 커패시터	3.4 nF
부하 전류 범위	0 - 300mA
출력 리플 전압	300 mV
Load regulation	0.046%/V
	@ I _O =100mA to 300mA, V _{IN} =2.8V
Line regulation	7.14%/mA
	@ V _{IN} = 2.8V to 3.3V, I _O =50mA

이용하였다. 제안된 컨버터는 온-칩 나선형 인덕터에 비해 높은 Q 인자를 가지는 패키징 인덕터의 이용으로 [7~11]과 비교 시 상대적으로 높은 변환 효율을 가짐을 알 수 있다.

IV. 결론

본 논문에서는 DC-DC 컨버터를 완전 집적화를 하는데 있어 가장 문제가 되었던 인덕터의 온-칩에 대한 새로운 방법으로 패키징 인덕터의 사용법을 제안하였다.

표 2. 제작된 컨버터와 이전 결과물과의 성능 비교

Table 2. Performance comparison of this design with previously reported works.

	[7]	[8]	[9]	[10]	[11]	This work	
Process	90nm CMOS	0.13 μ m CMOS	0.18 μ m RF BiCMOS	0.18 μ m SiGe BiCMOS	0.18 μ m CMOS	0.13 μ m CMOS	
F _{sw} (MHz)	233	170	45	200	660	50	
L (nH)	6.8	2	11	2.14	4.38	19.34	
C _{OUT} (nF)	2.5	5.2	6	8.22	1.1	3.4	
I _{OUT} (mA)	400	190	200	500	40	180	
V _{IN} (V)	1.4	1.2	2.8	-	1.56	3.3	2.8
V _{OUT} (V)	1.1	0.9	1.8	-	1	2.0	2.3
Eff. (%)	84	77.9	64	64	31	68.7	86.6
V _{ripple} (mV)	25	-	250	40	-	300	
Implementation of inductor	External inductor	On-chip inductor	On-chip inductor	On-chip inductor	On-chip inductor	Packaging inductor	

이 기술은 인덕터를 만들기 위해 특별한 기술을 필요로 하지 않는다. 그리고 본 논문에서는 높은 스위칭 동작을 하는 컨버터에 효율적인 데드-타임 지연을 제공할 수 있는 새로운 게이트 드라이버도 제안하였다.

제안된 완전 집적화된 DC-DC 벡 컨버터는 실험을 통해 그 성능이 검증이 되었다. 제안된 접근 방법은 매우 작고 얇은 PCB 솔루션을 요구하는 모바일 전자 기기에 매우 매력적인 기술이 될 것이다.

참 고 문 헌

- [1] 이민우, 김형중, 노정진, "SoC 전원관리를 위한 인덕터와 커패시터 내장형 100MHz DC-DC 부스트 변환기", *대한전자공학회 논문지*, 제 46권, 8호, 31-40쪽, 2009년.
- [2] 김영재, 남현석, 안영국, 노정진, "Stacked Interleaved 방식의 50MHz 스위칭 주파수의 벡 변환기", *전자공학회 논문지*, 제 46권, SD편, 6호, 466-473쪽, 2009년 6월.
- [3] M. Ludwig, M. Duffy, T. O'Donnell, P. McCloskey and S. C. Ó. Mathúna "PCB integrated inductors for low power DC-DC converter", *IEEE Trans. Power Electron.*, vol. 18, pp. 937-945, July 2003.
- [4] E. McShane and K. Shenai, "A CMOS monolithic 5MHz, 5 V, 250 mA, 56% efficiency switch-mode boost converter with dynamic PWM for embedded power management," in *Proc. Conf. Record Industry Applications Society Annu. Conf.*, 2001, pp. 653 - 657.
- [5] A. Abedinpour, A. Trivedi, and K. Shenai, "DC-DC power converter for monolithic implementation," in *Proc. Conf. IEEE Industry Applications Soc Annu. Meeting*, 2000, pp. 2471 - 2475.
- [6] J. Zou, J. Chen, C. Liu, and J. Schutt-Aine, "Plastic Deformation Magnetic Assembly(PDMA) of out-of-plane microstructures: technology and application," *J. Microelectromech. Syst.*, vol. 10, no. 2, pp. 302 - 309, Jun. 2001.
- [7] P. Hazucha, G. Schrom, J. Hahn, B. A. Bloechel, P. Hack, G. E. Dermer, S. Narendra, D. Gardner, T. Karnik, V. De, and S. Borkar, "A 233 MHz 80% - 87% efficient four-phase DC-DC converter utilizing air-core inductors on package," *IEEE J. Solid-State Circuits*, vol. 40, no. 4, pp. 838 - 845, Apr. 2005.
- [8] J. Wibben and R. Harjani, "A High-efficiency DC-DC Converter Using 2nH Integrated Inductors," *IEEE J. Solid-State Circuits*, vol. 43, no. 4, pp. 844-854, Apr. 2008.
- [9] S. Abedinpour, B. Bakkaloglu, and S. Kiaei, "A multi-stage interleaved synchronous buck converter with integrated output filter in 0.18 um SiGe process," *IEEE Trans. Power Electron.*, vol. 22, pp. 2164-2175, Nov. 2007.
- [10] J. Sun, D. Giuliano, S. Devarajan, J. Lu, T. P. Chow, and R. J. Gutmann, "Fully monolithic cellular buck converter design for 3-D power delivery," *IEEE Trans. Very large Scale Integr. (VLSI) Syst.*, vol. 17, no. 3, Mar. 2009.
- [11] M. Alimadadi, S. Sheikhaei, G. Lemieux, S. Mirabbasi, W. G. Dunford, and P. R. Palmer, "A fully integrated 660MHz low-swing energy-recycling dc-dc converter," *IEEE Trans. Power Electron.*, vol. 24, pp. 1475-1485, June 2009.
- [12] H. Khatri, P. S. Cudem, and L. E. Larson, "Integrated RF interference suppression filter design using bond-wire inductors," *IEEE Trans. Microw. Theory Tech.*, vol. 56, no. 5 pp. 1024-1034, May 2008.
- [13] Bond Wire Modeling Standard, EIA/JEDEC Standard EIA/JESD59, Jun. 1997.
- [14] Wens, M. Steyaert, "A fully-integrated 0.18um CMOS DC-DC step-down converter, using a bondwire spiral inductor," *IEEE Custom Integr. Circuits Conf. (CICC)*, 2008, pp. 17-20.
- [15] P. J. Sullivan, B. A. Xavier, and W. H. Ku, "An integrated CMOS distributed amplifier utilizing packaging inductance", *IEEE Trans. Microwave Theory Tech.*, vol. 45, pp. 1969 - 1975, Oct. 1997.
- [16] MQFP data sheet. [Online]. Available: <http://www.amkor.com>
- [17] C.-T. Tsai, "Package inductance characterization at high frequencies", *IEEE Trans. Comp., Packag., Manufact. Technol. B*, vol. 17, no. 2, pp. 175 - 181, May 1994.
- [18] N. C. Li, G. L. Haviland, and A. A. Tuszynski, "CMOS tapered buffer", *IEEE J. Solid-State Circuits*, vol. 25, pp.1005 - 1008 , 1990.
- [19] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, New York: Holt Rinehart and Winston, 1987.
- [20] M. D. Mulligan, B. Broach, and T. H. Lee, "A constant-frequency method for improving light-load efficiency in synchronous buck

converters," *IEEE Trans. Power Electron. Lett.*,
vol. 3, no. 1, pp. 24-29, Mar. 2005.

— 저 자 소 개 —



안 영 국(학생회원)
2006년 경상대학교 전자공학과
학사 졸업
2007년~현재 한양대학교 전자.
전기.제어.계측 공학과
석·박사 통합 과정

<주관심분야 : System IC design, DC-DC
converters 설계>



전 인 호(학생회원)
2012년 한양대학교 전자컴퓨터공
학부 학사 졸업
2012년~현재 한양대학교 전자
통신공학과 석·박사
통합과정

<주관심분야 : System IC design, DC-DC
converters 설계>



노 정 진(정회원)
1990년 한양대학교 전기공학과
학사 졸업
1996년 삼성전자 선임 연구원
1998년 미국 Pennsylvania State
University 전기공학 석사
졸업

2001년 University of Texas at Austin.
컴퓨터공학 박사.

2001년 Intel. USA, senior design engineer

2001년~현재 한양대학교 에리카캠퍼스 전자통신
공학과 교수

<주관심분야 : CMOS DC-DC converters 설계,
Over-sampling delta-sigma data converters 설
계>