
게이트 길이와 게이트 폭에 따른 InGaZnO 박막 트랜지스터의 소자 특성 저하

이재기* · 박종태**

Device Degradation with Gate Lengths and Gate Widths in InGaZnO Thin Film Transistors

Jae-Ki Lee* · Jong-Tae Park**

요 약

게이트 길이와 폭이 다른 InGaZnO 박막 트랜지스터를 제작하고 소자의 크기에 따른 문턱전압과 음의 게이트 전압 스트레스 후의 소자 특성 저하에 관한 연구를 수행하였다. 게이트 길이가 짧은 소자는 문턱전압과 문턱전압 아래의 기울기 역수가 감소하였고 채널 폭이 작은 소자는 문턱전압이 증가 하였다. 음의 게이트 전압 스트레스 후에는 전달특성 곡선이 왼쪽으로 이동하였고 문턱전압은 감소하였으며 문턱전압 아래의 기울기 역수는 변화가 거의 없었다. 이러한 결과는 게이트 유전체에 포획된 홀 때문으로 사료된다. 게이트에 음의 스트레스 전압을 인가한 후에 게이트 길이가 짧을수록 그리고 게이트 폭이 증가할수록 문턱전압의 변화가 적은 것은 홀 주입이 적기 때문으로 사료된다.

ABSTRACT

An InGaZnO thin film transistor with different gate lengths and widths have been fabricated and their device degradations with device sizes have been also performed after negative gate bias stress. The threshold voltage and subthreshold swing have been decreased with decrease of gate length. However, the threshold voltages were increased with the decrease of gate lengths. The transfer curves were negatively shifted after negative gate stress and the threshold voltage was decreased. However, the subthreshold swing was not changed after negative gate stress. This is due to the hole trapping in the gate dielectric materials. The decreases of the threshold voltage variation with the decrease of gate length and the increase of gate width were believed due to the less hole injection into gate dielectrics after a negative gate stress.

키워드

InGaZnO 박막 트랜지스터, 소자 특성 저하, 홀 포획

Key word

InGaZnO thin film transistor, device degradation, hole trapping

* 정희원 : 가천대학교 전자공학과 교수

접수일자 : 2012. 04. 30

** 정희원 : 인천대학교 전자공학과 교수 (교신저자, jtpark@incheon.ac.kr)

심사완료일자 : 2012. 05. 16

Open Access <http://dx.doi.org/10.6109/jkiice.2012.16.6.1266>

© This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서 론

InGaZnO 박막트랜지스터는 비교적 큰 이동도와 큰 ON/OFF 전류비가의 등의 전지적 특성이 우수하고 투명한 특성을 갖고 있으므로 AMOLED 등의 디스플레이 소자의 구동 트랜지스터로 유망하여 최근에 많은 연구가 진행되고 있다. 박막 트랜지스터의 성능을 개선하기 위한 InGaZnO 박막의 증착 공정 방법과 게이트 유전체의 종류와 공정 기술에 관한 연구 등이 활발하게 진행되고 있다[1]. 특히 유전상수가 큰 게이트 유전체를 사용하므로 소자의 전기적 특성을 개선하기 위한 연구가 활발하다[2-3]. 산화물 트랜지스터를 실제로 디스플레이 소자에 적용하기 위해서는 소자의 성능 개선과 더불어 소자의 신뢰도를 개선하는 것이 중요한 연구과제이다. 게이트에 양과 음의 스트레스 전압을 인가하므로 소자 특성 저하 되는 현상과 이를 개선하기 위한 연구가 많이 되고 있다. 게이트에 양의 스트레스 전압 (PBS: Positive Bias Stress)을 인가하면 InGaZnO 박막에서 전자들이 게이트 유전체로 주입되어 포획되므로 스트레스 후에는 문턱전압이 증가하고 드레인 전류는 감소하게 된다[4-5]. 그러나 채널에 전자의 주입으로 인한 acceptor-like의 계면전하 생성으로 문턱전압이 증가한다는 연구결과도 보고되고 있다[6]. 게이트에 음의 스트레스 전압 (NBS: Negative Bias Stress)을 인가하면 채널의 홀이 게이트 유전체로 주입되어 포획되므로 스트레스 후에는 문턱전압이 감소하고 드레인 전류가 약간 증가하는 현상이 나타난다[7-8]. 이 또한 홀 포획과 donor-like의 계면전하 생성에 의한 것으로 설명되고 있다[9].

최근에는 게이트와 드레인에 높은 전압을 인가하므로 hot carrier에 의한 소자 특성 저하에 관한 연구 결과도 보고되고 있다[10]. 디스플레이 소자는 ON 상태에서는 빛이 인가되므로 약 60도의 고온과 빛을 비춘 상태에서 소자 특성 저하를 측정 분석한 연구결과도 많이 발표되고 있다[3,11]. 게이트의 길이가 nm크기의 산화물 반도체 소자의 특성에 관한 연구가 발표되고 있지만 게이트 길이와 게이트 폭에 따른 문턱전압을 비롯한 소자의 전기적 특성 분석과 소자 특성 저하에 관한 연구는 구체적으로 발표된 것이 없다[12].

본 연구에서는 하부게이트 구조의 InGaZnO 박막트

랜지스터를 제작하여 게이트 길이와 게이트 폭에 따른 소자의 전기적 특성 분석과 NBS에서 소자 특성 저하를 측정 분석하였다.

II. 소자제작 및 측정

그림 1과 같은 구조의 하부게이트 구조 InGaZnO 박막 트랜지스터를 제작하였다. 유리 기판위에 게이트 전극으로 Mo를 증착하였고 그 위에 PECVD 방법으로 게이트 유전체인 Si₃N₄를 두께 200 nm 증착하였다. 그리고 물비가 In₂O₃:Ga₂O₃:ZnO =1: 1: 1인 스퍼터링 타겟을 사용하여 RF 스퍼터링 방법으로 두께 50 nm의 InGaZnO 산화물 반도체 층을 증착하였다.

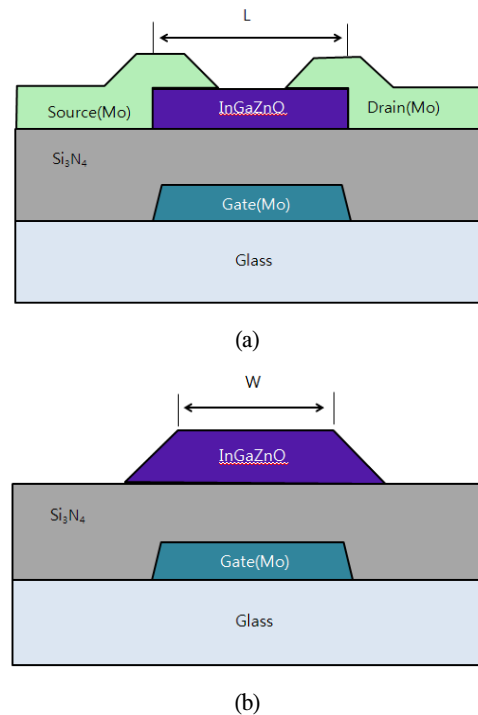


그림 1. 제작된 InGaZnO 박막 트랜지스터 구조
(a) 게이트 길이방향 (b) 게이트 폭 방향
Fig. 1 Device structure of fabricated InGaZnO thin film transistor with gate length direction (a) and width direction (b)

사진식각 방법으로 채널 영역을 정의한 후에 습식에 청으로 채널외의 InGaZnO를 식각 하고 스퍼터링으로 두께 150 nm의 Mo층을 소스 및 드레인 전극으로 증착하였다. 그리고 사진식각 방법으로 전극 영역을 정의한 후에 lift-off 방법으로 다른 부분의 Mo층을 식각하였다. 전기적 특성 분석은 Agilent B1500A 반도체 파라미터 분석기를 사용하였고 NBS 측정 시에는 소스와 드레인은 접지를 하고 게이트에 -22 V의 전압을 인가하면서 측정 시간 마다 스트레스를 중지하고 드레인 전류를 측정하였다. 측정에 사용된 소자는 게이트 폭이 10 μm 로 일정하고 게이트 길이가 4 nm부터 25 μm 인 것과 게이트 길이가 10 nm로 일정하고 게이트 폭이 10 μm 부터 104 μm 인 것이다.

III. 결과 및 토의

그림 2는 $V_{DS}=2.0\text{ V}$, 상온에서 게이트 폭은 10 μm 로 동일하면서 게이트 길이가 4 μm 및 25 μm 인 소자의 전달 특성 곡선을 나타낸 것이다. 게이트 길이가 4 μm 소자의 드레인 전류가 25 μm 소자보다 큰 것을 알 수 있다. 누설 전류는 두 소자가 비슷하고 ON/OFF 전류비는 약 10^6 정도로 비교적 큰 것을 알 수 있다. 그림으로부터 문턱전압 아래의 기울기 역수인 SS(Subthreshold Swing)는 4 μm 소자가 0.43 V/dec로 게이트 길이 25 μm 의 0.54 V/dec 보다 작음을 알 수 있다. 문턱전압 아래 특성은 게이트 길이가 짧은 소자가 더 좋음을 알 수 있다.

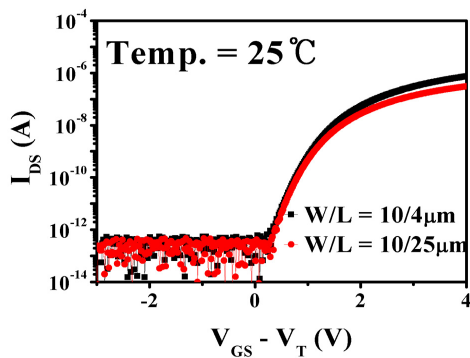


그림 2. 게이트 길이가 다른 소자의 전달특성 곡선 비교
Fig. 2 Comparison of transfer curves with different gate lengths

그림 3은 $V_{DS}=2.0\text{V}$, 상온에서 게이트 길이는 10 μm 로 동일하면서 게이트 폭이 4 μm 및 104 μm 인 소자의 전달 특성 곡선을 나타낸 것이다. 게이트 폭이 104 μm 소자의 드레인 전류가 8 μm 소자보다 큰 것을 알 수 있다. 누설 전류는 두 소자가 비슷하고 ON/OFF 전류비는 게이트 폭 8 μm 소자는 약 10^6 정도이고 104 μm 소자는 약 10^7 정도로 비교적 큰 것을 알 수 있다. 그림으로부터 문턱전압 아래의 기울기 역수인 SS는 8 μm 소자가 0.38 V/dec로 게이트 길이 104 μm 의 0.28 V/dec 보다 큰 것을 알 수 있다. 문턱전압 아래 특성은 게이트 폭이 큰 소자가 더 좋음을 알 수 있다.

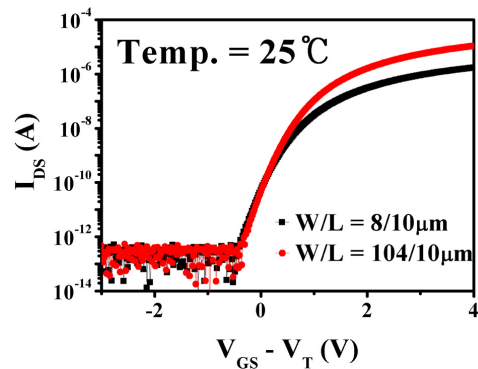


그림 3. 게이트 폭이 다른 소자의 전달특성 곡선 비교
Fig. 3 Comparison of transfer curves with different gate widths

그림 4는 $V_{DS}=2.0\text{ V}$ 에서 게이트 폭이 10 μm 인 소자의 게이트 길이에 따른 문턱전압과 SS 특성을 나타낸 것이다. 문턱전압은 일정한 드레인 전류 즉 $0.1 \times W/L (\mu\text{A})$ 되는 게이트 전압과 CMOS 소자에서 많이 사용되는 dg_m/dV_G 의 최대가 되는 게이트 전압으로 정의하여 추출하였고 문턱전압은 비슷하였다. 그림으로부터 CMOS의 단채널 현상과 유사하게 게이트 길이가 짧을수록 문턱전압이 낮은 것을 알 수 있다.

이런 단채널 현상이 일어나는 것은 CMOS와는 메카니즘이 다르다. InGaZnO 박막트랜지스터는 소스-채널-드레인이 메탈-반도체-메탈 구조로 소스와 드레인은 전극 Mo 사이에 Schottky 전위장벽이 존재하게 된다[13]. 문턱전압 측정 시 소스를 접지하고 드레인에 2.0 V의 전압을 인가하면 소스 쪽 Schottky 접촉은 순방향이 되고 드레인쪽은 역방향으로 전압이 인가하게 된다. 게이트

전압에 의해서 소스 쪽 Schottky 전위 장벽이 낮아지므로 열전자방출이 증가하게 되고 채널 쪽으로 주입된 전자는 드레인 전압에 의해서 드리프트 되므로 드레인 전류가 흐르게 된다. 게이트 전압이 일정한 경우 게이트 길이가 짧아지면 소스 쪽의 Schottky 전위 장벽 높이가 낮아지게 되므로 드레인 전류가 증가하게 되고 문턱전압이 감소하게 된다.

이런 현상은 MOSFET의 DIBL(Drain Induced Barrier Lowering) 현상과 유사한 결과로 게이트 길이가 감소하면 문턱전압이 감소하게 된다. 이는 그림 4의 게이트 길이에 따른 SS 특성으로부터도 확인할 수 있다. 게이트 길이가 감소하므로 Schottky 전위 장벽이 낮게 되므로 게이트 길이가 감소할수록 SS가 작게 되는 것이다.

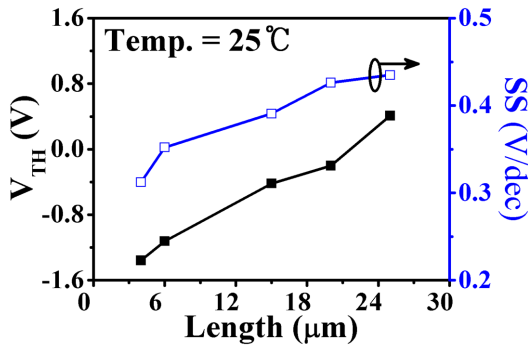


그림 4. 게이트 길이에 따른 문턱전압 및 SS 특성
Fig. 4 Threshold voltage and subthreshold swing as a function of gate lengths

그림 5는 $V_{DS}=2.0V$ 에서 게이트 길이가 $10 \mu m$ 인 소자의 게이트 폭에 따른 문턱전압과 SS 특성을 나타낸 것이다. 게이트 폭이 감소할수록 문턱전압과 SS가 증가하는 것을 알 수 있다. Unpassivated 소자에서는 공기 중의 산소 원자가 InGaZnO의 뒷면이나 stagger 층에 흡수된 후 전도대의 전자를 포획하여 O_2^- 또는 O^- 형태로 존재하므로 ZnO를 기반으로 하는 산화 반도체의 표면 밑에 공핍층을 형성할 수 있다는 연구결과가 보고되었다[14].

즉 stagger 면에 존재하는 O^2- 또는 O^- 로 인해 채널의 전자 수가 감소하게 되므로 문턱전압이 증가하게 된다. 본 연구에서 제작된 소자 구조는 그림 1에서와 같이 stagger 구조이므로 게이트 폭이 짧을수록 stagger 면적

이 차지하는 비중이 증가하게 된다. 그 결과 게이트 폭이 짧을수록 문턱전압이 증가하고 SS도 증가하는 것으로 사료된다.

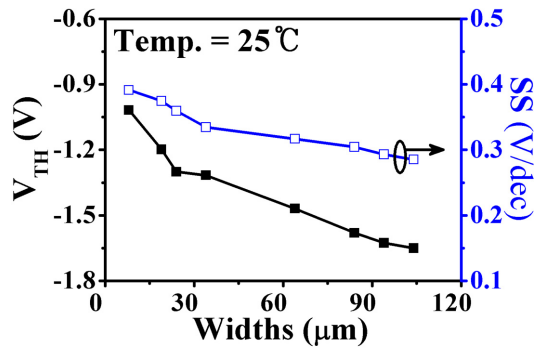


그림 5. 게이트 폭에 따른 문턱전압 및 SS 특성
Fig. 5 Threshold voltage and subthreshold swing as a function of gate widths

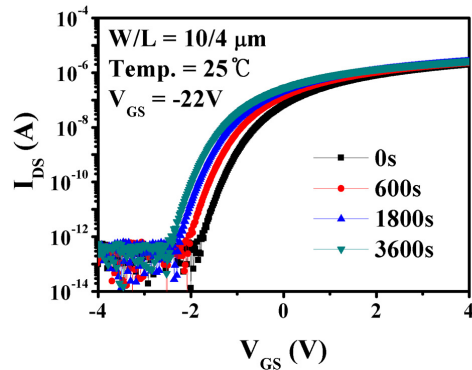


그림 6. 스트레스 시간에 따른 NBS 후의 전달특성 곡선 변화
Fig. 6 Transfer curve as a function of stress time after NBS

그림 6은 게이트에 $-22V$ 의 전압을 인가한 후 스트레스 시간에 따른 전달특성 곡선을 나타낸 것이다. 소자의 게이트 길이와 폭은 각각 $4 \mu m$ 와 $10 \mu m$ 이며 측정 드레인 전압은 $V_{DS}=2.0 V$ 이다. 그림으로부터 스트레스 시간이 증가할수록 전달 특성 곡선은 왼쪽으로 이동하는 것을 알 수 있다.

그 결과 문턱전압은 감소하게 되나 드레인 전류 변화는 거의 없는 것을 알 수 있다. 그리고 SS는 스트레스 시

간에 따라 변하지 않고 거의 일정한 것을 확인할 수 있다. 이런 NBS 후의 문턱전압의 감소는 채널 홀이 게이트 유전체에 포획되어 양전하가 되기 때문이다[8]. 특히 스트레스 후에 SS 변화가 없는 것으로부터 계면전하 생성보다는 홀의 포획으로 인해 문턱전압이 증가한 것으로 사료된다.

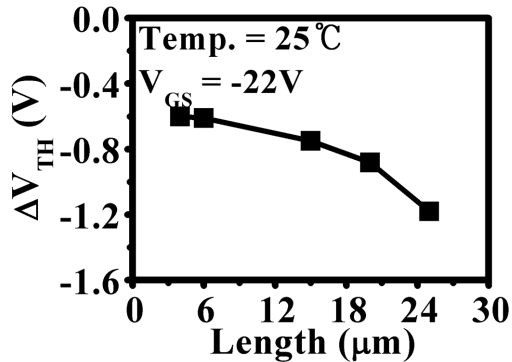


그림 7. 게이트 길이에 따른 문턱전압 변화
Fig. 7 Threshold voltage variation as a function of gate lengths

그림 7은 게이트 폭이 10 μm인 소자를 1시간의 NBS 인가 후 게이트 길이에 따른 문턱전압의 변화 ΔV_{TH} (V_{TH}(T_S=3600s)-V_{TH}(T_S=0))를 나타낸 것이다. 그림으로부터 게이트 길이가 증가할수록 문턱전압의 변화가 심한 것을 알 수 있다. NBS 후의 문턱전압 변화는 게이트 유전체에 포획된 채널 홀에 의한 것이므로 그림 4에서 게이트 길이가 감소할수록 문턱전압이 증가로 설명할 수 있다. 게이트 길이가 짧은 소자는 소스 쪽의 Schottky 전위장벽 높이의 저하로 채널의 전자 수가 증가하므로 홀수는 감소하게 된다. 그 결과 동일한 게이트 전압에서 게이트 유전체로 주입되는 홀수는 감소하게 되므로 문턱전압의 변화가 심하지 않는 것으로 사료된다.

그림 8은 1시간의 NBS 후에 게이트 폭에 따른 문턱전압의 변화를 나타낸 것이다. 그림으로부터 게이트 폭이 감소할수록 문턱전압의 변화가 심한 것을 알 수 있다. Hot carrier에 의한 소자 특성 저하는 게이트 폭이 증가할수록 심하게 되는 것으로 보고되었으나 NBS에서는 반대 현상을 관측할 수 있었다[15]. 이는 일반적인 MOS-FET의 NBTI에 의한 소자 특성 저하와 같은

결과이다. 게이트 폭이 증가할수록 stagger 면적으로 인한 전자 공핍현상이 상대적으로 적게 되므로 게이트 폭이 짧은 소자에 비해 채널의 전자 수는 많고 홀수는 감소하게 된다. 그 결과로 게이트 폭이 증가할수록 홀 주입이 감소하여 문턱전압의 변화가 적은 것으로 사료된다.

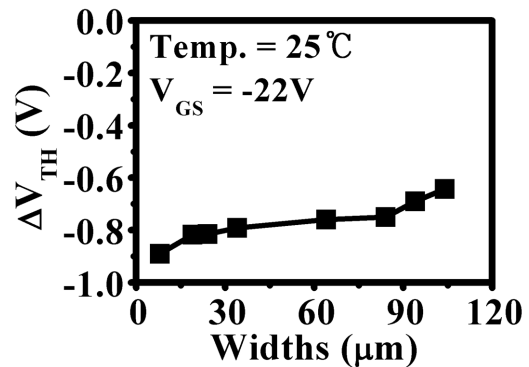


그림 8. 게이트 폭에 따른 문턱전압 변화
Fig. 8 Threshold voltage variation as a function of gate widths

IV. 결론

소스 쪽 Schottky 전위장벽 저하 현상으로 게이트 길이가 짧을수록 문턱전압과 문턱전압 아래의 기율기 역수가 감소하였고 채널 폭이 작은 소자는 stagger 면에서 산소 원자 흡수에 의한 채널 전자의 공핍현상으로 문턱전압이 증가하였다. 음의 게이트 전압 스트레스 후에는 전달특성 곡선이 왼쪽으로 이동하였고 문턱전압은 감소하였으며 문턱전압 아래의 기율기 역수는 변화가 거의 없었다. 이는 게이트 유전체에 포획된 홀 때문으로 사료된다. 게이트에 음의 스트레스 전압을 인가한 후에 게이트 길이가 짧을수록 그리고 게이트 폭이 증가할수록 문턱전압의 변화가 적은 것은 홀 주입이 적기 때문으로 사료된다.

참고문헌

- [1] K.S. Son, J.S. Jung, K.H. Lee, T.S. Kim, J.S. Park, K.C. Park, J.Y. Kwon, B. Koo, and S.Y. Lee, "Highly stable double gate Ga-In-Zn-O thin film transistor," IEEE Electron Device Lett. vol. 31, no. 8, pp. 812-814, 2010
- [2] J.S. Park, T.S. Kim, K.S. Son, J.S. Jung, K.H. Lee, J.Y. Kwon, B. Koo, and S. Lee, "Influence of illumination on the negative-bias stability of transparent hafnium-indium-zinc oxide thin-film transistors," IEEE Electron Device Lett. vol. 31, no. 5, pp. 440-442, 2010
- [3] K.H. Ji, J.I. Kim, Y.G. Mo, J.H. Jeong, S. Yang, C.S. Hwang, S.H. Park, M.K. Ryu, S.Y. Lee, and J.K. Jeong, "Comparative study on light-induced bias stress instability of IGZO transistors with SiNx and SiO2 gate dielectrics," IEEE Electron Device Lett. vol.31, no.12, pp.1404-1406, 2010
- [4] J.M. Lee, I.T. Cho, J.H. Lee, and H.I. Kwon, "Bias stress induced stretched exponential time dependence of threshold voltage shift in InGaZnO thin film transistors," Appl. Phys. Lett. vol. 93, p.093504, 2008
- [5] M.E. Lopes, H.L. Gomes, M.C.R. Medeiros, P. Barquinha, L. Pereira, E. Fortunato, R. Martins, and I. Ferreira, "Gate-bias stress in amorphous oxide semiconductor thin-film transistors," Appl. Phys. Lett. vol.95, p.063502, 2009
- [6] K. Nomura, T. Kamiya, M. Hirano, and H. Hosono, "Origin of threshold voltage shifts in room temperature deposited and annealed a-In-Ga-Zn-O thin film transistors," Appl. Phys. Lett. vol. 95, p. 013502, 2009
- [7] A. Suresh and J.F. Muth, "Bias stress stability of indium gallium zinc oxide channel based transparent thin film transistors," Appl. Phys. Lett. vol. 92, p.033502, 2008
- [8] C.T. Tsai, T.C. Chang, S.C. Chen, I. Lo, S.W. Tsao, M.C. Hung, J.J. Chang, C.Y. Huang, and C.Y. Huang, "Influence of positive bias stress on N2O plasma improved InGaZnO thin film transistor," Appl. Phys. Lett. vol. 96, p. 242105, 2010
- [9] T.C. Fung, C.S. Chung, C. Chen, K. Abe, R. Cottle, M. Townsend, H. Kumomi, and J. Kanicki, "Two-dimensional numerical simulation of radio frequency sputter amorphous In-Ga-Zn-O thin film transistors," J. of Applied Physics, vol. 106, p. 084511, 2009
- [10] S.M.Lee, C.G. Yu, W.J. Cho, and J.T. Park, "Hot carrier degradation of InGa-ZnO thin film transistor under light illumination at elevated temperature," Solid-state Electronics, 예정
- [11] D.W. Kwon, J.H. Kim, J.S. Chang, S.W. Kim, M.C. Sun, G. Kim, H.W. Kim, J.C. Park, I.S. Song, C.J. Kim, U.I. Jung, and B.G. Park, "Charge injection from gate electrode by simultaneous stress of optical and electrical bias in HfInZnO amorphous oxide thin film transistors," Appl. Phys. Lett. vol. 97, p. 193504, 2010
- [12] I. Song, S. Kim, H. Yin, C. Kim, J. Park, S. Kim, H. Choi, E. Lee, and Y. Park, "Short channel characteristics of Gallium-Indium-Zinc-Oxide thin film transistors for three dimensional stacking memory," IEEE Electron Device Lett. vol. 29, no. 6, pp. 549-551, 2008
- [13] S. Lee, J. Park, K. Jeon, S. Kim, Y. Jeon, A. Kim, D.M. Kim, J.C. Park, and C. J. Kim, "Modeling and characterization of metal-semiconductor-based source-drain contacts in amorphous InGa-ZnO thin film transistors, Appl. Phys. Lett. vol. 96, p. 113506, 2010
- [14] J.K. Jeong, H.W. Yang, J.H. Jeong, Y.G. Mo, and H.D. Kim, "Origin of threshold voltage instability in indium-gallium-zinc-oxide thin film transistors," Appl. Phys. Lett. vol. 93, p. 123508, 2008
- [15] S.H. Choi, and M.K. Han, "Effects of channel width on negative shift of threshold voltage, including stress-induced hump phenomenon in InGaZnO thin film transistor under high-gate and drain bias stress," Appl. Phys. Lett. vol. 100, p. 043503, 2012

저자소개



이재기(Jae-Ki Lee)

1987년 서울산업대학교
전자공학과 학사
1990년 인천대학교 전자공학과
공학석사

2002년 인천대학교 전자공학과 공학박사
1992.2~현재 가천대학교 전자공학과 교수
※ 관심분야 : CMOS Reliability, SOI/MOSFET



박종태(Jong-Tae Park)

1981년 경북대학교 전자공학과
학사
1983년 연세대학교 전자공학과
공학석사

1987년 연세대학교 전자공학과 공학박사
1983.8~1985.8 금성반도체(주)연구소 연구원
1991.1~1991.12 MIT Post Doc.
2000.7~2001.8 UC Davis 방문교수
1987.3~현재 인천대학교 전자공학과 교수
※ 관심분야 : CMOS Reliability, Nano-scale CMOS,
SOI/MOSFET, RF-CMOS