
마이크로 전력의 축차근사형 아날로그-디지털 변환기를 위한 시간 도메인 비교기

어지훈* · 김상훈* · 장영찬**

A Time-Domain Comparator for Micro-Powered Successive Approximation ADC

Ji-Hun Eo* · Sang-Hun Kim* · Young-Chan Jang**

본 연구는 금오공과대학교 학술연구비의 지원을 받아 연구를 수행함.

요 약

본 논문에서는 저전압 고해상도 축차근사형 아날로그-디지털 변환기를 위한 시간-도메인 비교기를 제안한다. 제안하는 시간-도메인 비교기는 클럭 피드-스루 보상회로를 포함한 전압제어지연 변환기, 시간 증폭기, 그리고 바이너리 위상 검출기로 구성된다. 제안하는 시간-도메인 비교기는 작은 입력 부하 캐패시턴스를 가지며, 클럭 피드-스루 노이즈를 보상한다. 시간-도메인 비교기의 특성을 분석하기 위해 다른 시간-도메인 비교기를 가지는 두 개의 1V 10-bit 200-kS/s 축차근사형 아날로그-디지털 변환기가 0.18- μm 1-poly 6-metal CMOS 공정에서 구현된다. 11.1 kHz의 아날로그 입력신호에 대해 측정된 SNDR은 56.27 dB이며, 제안된 시간-도메인 비교기의 클럭 피드-스루 보상회로와 시간 증폭기가 약 6 dB의 SNDR을 향상시킨다. 구현된 10-bit 200-kS/s 축차근사형 아날로그-디지털 변환기의 전력소모와 면적은 각각 10.39 μW 와 0.126 mm²이다.

ABSTRACT

In this paper, a time-domain comparator is proposed for a successive approximation (SA) analog-to-digital converter (ADC) with a low power and high resolution. The proposed time-domain comparator consists of a voltage-controlled delay converter with a clock feed-through compensation circuit, a time amplifier, and binary phase detector. It has a small input capacitance and compensates the clock feed-through noise. To analyze the performance of the proposed time-domain comparator, two 1V 10-bit 200-kS/s SA ADCs with a different time-domain comparator are implemented by using 0.18- μm 1-poly 6-metal CMOS process. The measured SNDR of the implemented SA ADC is 56.27 dB for the analog input signal of 11.1 kHz, and the clock feed-through compensation circuit and time amplifier of the proposed time-domain comparator enhance the SNDR of about 6 dB. The power consumption and area of the implemented SA ADC are 10.39 μW and 0.126 mm², respectively.

키워드

시간-도메인 비교기, 전압제어지연 변환기, 축차근사형 아날로그-디지털 변환기

Key word

time-domain comparator, voltage-controlled delay converter, successive approximation analog-to-digital converter

* 준회원 : 금오공과대학교 전자공학과 석사과정

** 정회원 : 금오공과대학교 전자공학부 교수 (교신저자, ycjang@kumoh.ac.kr)

접수일자 : 2012. 02. 02

심사완료일자 : 2012. 03. 06

I. 서 론

최근 무선 센서, 휴대용 진단장치, 그리고 energy harvest 시스템과 같은 저전력의 특성을 요구하는 응용 분야를 위해 8~12-bit, 100-kS/s 정도의 샘플링 속도를 가지는 아날로그-디지털 변환기의 연구가 활발히 이루어지고 있다. 아날로그-디지털 변환기의 구조 중 축차 근사형 구조는 최소의 아날로그 블록을 사용함으로써 소면적, 저전력 응용 분야에 적합한 구조이다[1-3]. 특히 최소의 아날로그 블록을 이용하는 축차근사형 아날로그-디지털 변환기(SA ADC)의 구현에서 전력소모를 최소화하기 위한 최적의 방법으로 공급전압을 낮추는 것이다. 하지만 rail-to-rail의 입력 범위를 가지는 축차근사형 아날로그-디지털 변환기의 경우 공급전압이 낮아짐에 따라 점차 비교기의 해상도는 향상되어야 한다. 이에 전압 비교기 대신 시간-도메인 비교기(time-domain comparator)가 저전압 및 저전력에 적합한 구조이다.

그림 1(a)은 전압제어지연 라인(VCDL)구조와 바이너리 위상 검출기(binary PD)로 구성된 시간-도메인 비교기를 나타낸다. 전압제어지연 라인 구조는 전압 비교기의 프리앰프, 바이너리 위상 검출기는 래치와 동일한 역할을 수행한다. 그림 1(b)은 NMOS와 PMOS-gated current starved delay cell로 구성된 전압제어지연 라인 회로를 나타낸다. 이는 전압 비교기보다 정적 전력 소모를 최소화 할 수 있으며, 디지털 로직 동작을 위한 최소한의 요구되는 레벨만큼 공급전압을 낮출 수 있다. 또한 노이즈 및 입력에서 발생하는 오프셋의 영향이 전압 비교기보다 전압제어지연 라인 구조를 이용한 시간-도메인 비교기가 작은 장점을 가진다.

하지만 n-stage의 delay cell로 구성된 전압제어지연 라인 회로에 의해 입력 부하 캐패시터가 증가한다. 이는 DAC의 loading effect를 증가시킨다. 왜냐하면 DAC의 출력이 n-stage delay cell의 트랜지스터 게이트에 인가되기 때문이다. 그리고 DAC의 출력이 n-stage의 delay cell로 구성된 전압제어지연 라인의 트랜지스터 게이트로 인가되면 클럭 피드-스루 노이즈(clock feed-through noise) 보상의 어려움을 가진다. 이는 클럭 피드-스루 보상 회로를 DAC의 출력이 인가되는 트랜지스터 모두에 설계하는데 어려움을 가지기 때문이다. 또한 n-stage의 delay cell로 구성된 전압제어지연 라인

회로를 사용하는 시간-도메인 비교기는 면적의 증가가 불가피하다[4].

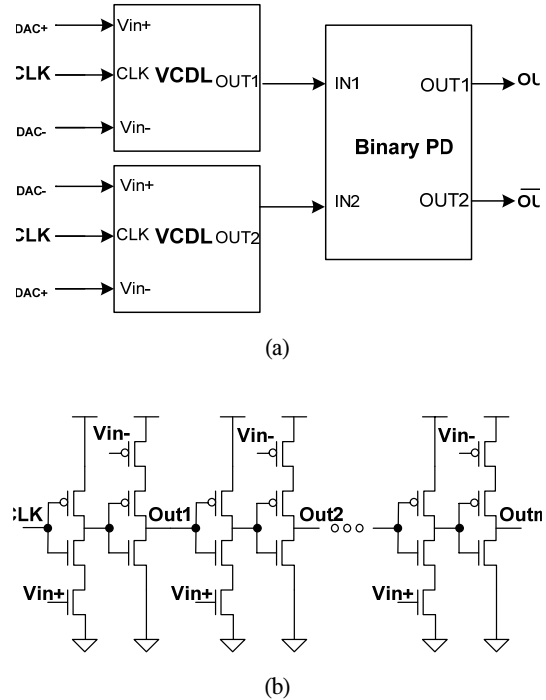


그림 1. (a) 전압제어지연 라인과 바이너리 위상 검출기로 구성된 시간-도메인 비교기의 블록도 (b) n-stage delay cell로 구성된 전압제어지연 라인
Fig. 1 (a) Block diagram of time-domain comparator composed of voltage-controlled delay line and binary-PD (b) VCDL composed of n-stage delay cell

따라서 본 논문에서는 전압제어지연 라인 구조를 이용한 시간-도메인 비교기 대신에 DAC의 출력이 두 개의 트랜지스터에만 인가되어 DAC의 loading effect를 감소시킬 수 있고, 클럭 피드-스루 노이즈 보상을 간단히 할 수 있으며, 전압제어지연 라인 구조보다 면적을 줄일 수 있는 전압제어지연 변환기(VCDC)를 사용한 시간-도메인 비교기를 제안한다. 그리고 클럭 피드-스루 노이즈 보상을 위한 replica 회로를 포함한 전압제어지연 비교기, 시간 증폭기(TA), 그리고 바이너리 위상 검출기로 구현된 시간-도메인 비교기와 replica 회로를 포함하지 않는 전압제어지연 변환기 회로와 바이너리

위상 검출기로만 구현된 시간-도메인 비교기 두 가지 구조를 설계한다.

이에 시간-도메인 비교기의 성능을 파악하기 위해 1V 10-bit 200-kS/s 축차근사형 아날로그-디지털 변환기가 제안된다. 축차근사형 아날로그-디지털 변환기 구조는 sprit capacitor-DAC (SC-DAC)와 시간-도메인 비교기, 축차근사 레지스터 로직 (SAR logic)으로 구성된다. 또한 제안하는 축차근사형 아날로그-디지털 변환기는 더미 캐패시터(dummy capacitor)와 부스트랩 아날로그 스위치 (bootstrapped analog switch)를 사용하여 향상된 선형성을 가지는 SC-DAC를 소개한다. 제 2장에서는 시간-도메인 비교기를 설명한다. 제 3장에서는 시간-도메인 비교기의 성능을 파악하기 위해 제안된 축차근사형 아날로그-디지털 변환기의 회로에 대해 설명한다. 제 4장은 칩 제작 및 측정 결과를 설명한다. 제 5장은 결론을 나타낸다.

II. 시간-도메인 비교기

2.1. 시간-도메인 비교기 구조

그림 2는 두 가지 구조의 시간-도메인 비교기를 나타낸다. 그림 2(a)는 replica circuit 회로를 포함하지 않는 전압제어지연 변환기와 바이너리 위상 검출기로만 구성된 시간-도메인 비교기를 나타내며, 그림 2(b)는 클럭 피드-스루 보상을 위한 replica 회로를 포함한 전압제어지연 변환기, 시간 증폭기, 그리고 바이너리 위상 검출기로 구성된 시간-도메인 비교기를 나타낸다.

그림 2(a), (b)의 전압제어지연 변환기 회로는 V_{DAC+} , V_{DAC-} 인 아날로그 차동 입력을 시간 지연차이 (time-delay difference)로 변환한다. 그리고 시간 증폭기는 전압제어지연 변환기 회로에서 출력되는 두 출력 노드의 시간 지연 차이를 증폭시킨다[5]. 마지막으로 바이너리 위상 검출기는 그림에 나타난 전압제어지연 변환기 회로 또는 시간 증폭기 회로에서 출력되는 두 출력 노드의 시간 지연 차이를 입력으로 받아 극성을 센싱한다. 이를 통해 시간-도메인 비교기는 전압을 입력으로 인가받아 시간 축으로 변환하여 극성을 센싱하는 것이다.

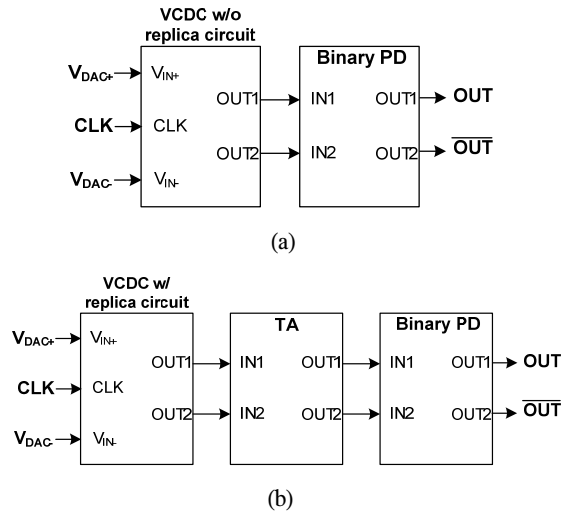


그림 2. (a) Replica 회로와 시간 증폭기를 포함하지 않는 시간-도메인 비교기 (b) Replica 회로와 시간 증폭기를 포함하는 시간-도메인 비교기

Fig. 2 (a) Time-domain comparator without replica circuit and TA (b) Time-domain comparator with replica circuit and TA

2.2. 전압제어지연 변환기

SC-DAC의 차동 출력 신호는 그림 2(a), (b)에서 나타난 시간-도메인 비교기의 첫 단인 전압제어지연 변환기의 두 트랜지스터에 인가된다. 이는 SC-DAC의 캐패시터와 부하 캐패시터 사이에서 전하 공유에 의해 발생된 에러전압을 줄인다. 게다가 아날로그 입력 신호에 의해 발생하는 클럭 피드-스루 현상을 replica 회로를 포함하는 전압제어지연 변환기 회로를 통해 간단하게 보상할 수 있다. 하지만 전압제어지연 라인 구조는 SC-DAC의 차동 출력 신호가 여러 개의 트랜지스터에 연결되어 전압제어지연 변환기 회로보다 큰 에러전압이 발생하며 클럭 피드-스루 노이즈 보상의 어려움을 가진다.

그림 3(a)은 클럭 피드-스루 보상을 위한 replica 회로를 포함하지 않는 전압제어지연 변환기 회로를 나타내며, 그림 3(b)은 클럭 피드-스루 노이즈 보상을 위해 replica 회로를 포함한 전압제어지연 변환기 회로를 나타낸다. 그림 3(a)과 (b)의 전압제어지연 변환기 회로의 동작은 동일하다. CLK이 low 일 때, P_1 , P_2 의 노드는 VDD로 충전된다. 그리고 전압제어지연 변환기 회로의 두 출

력은 인버터에 의해 low를 유지한다. CLK이 high 일 때, P₁, P₂ 노드는 ground로 방전되고 차동 아날로그 입력 전압을 시간 지연 차이로 변환한다.

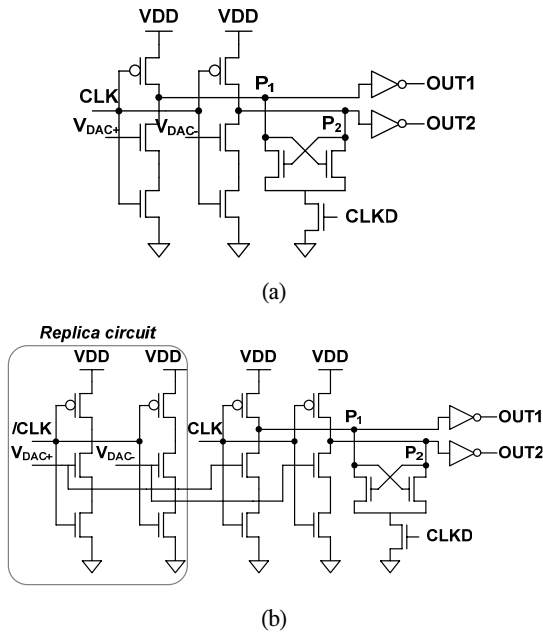


그림 3. (a) Replica 회로를 포함하지 않는 전압제어지연 변환기 (b) Replica 회로를 포함하는 전압제어지연 변환기
Fig. 3 (a) Circuit of VCDC without replica circuit (b) Circuit of VCDC with replica circuit

또한 CLK의 delay 신호인 CLKD는 전압제어지연 변환기의 metal-stability 현상을 제거하기 위해 사용된다. /CLK 신호는 CLK 신호에 의해 발생된 입력 단의 클럭 피드-스루 노이즈를 보상하기 위해 replica 회로에 공급된다. 이를 통해 클럭 피드-스루 노이즈를 보상한다. 전압제어지연 변환기 구조는 cross-coupled NMOS를 사용함으로써 차동 동작을 구현한다. 하지만 전압제어지연 라인 구조는 두 개의 전압제어지연 라인 구조를 사용함으로써 차동 동작을 구현할 수 없다.

그림 4는 그림 1과 2에 나타낸 세 가지 구조의 시간-도메인 비교기의 시간 지연 차이 시뮬레이션 결과를 나타낸다. 이는 차동 입력 (V_{DAC+}, V_{DAC-})이 1 mV 차이 일 때, 전압제어지연 변환기와 전압제어지연 라인 회로의 입력 단에 인가되어 출력의 시간 지연 차이를 나타낸다.

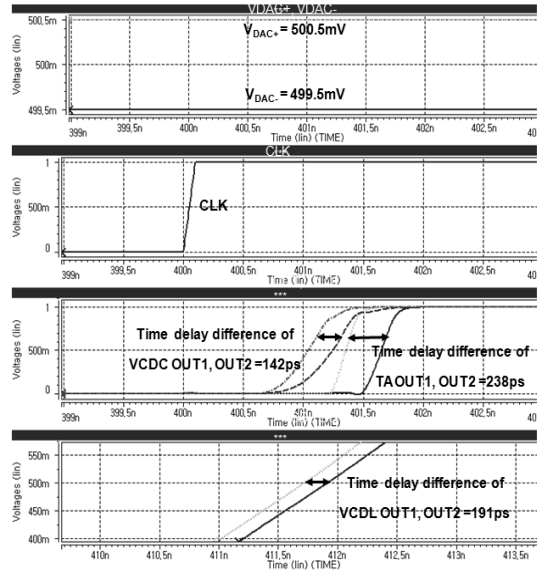


그림 4. 시간-도메인 비교기의 시간 지연 차이 시뮬레이션
Fig. 4 Simulation of time-delay difference of time-domain comparator

그림 4를 통해 전압제어지연 변환기의 시간 지연 차이는 142 ps를 가지며 시간 증폭기 회로의 시간 지연 차이는 238 ps를 가진다. 그리고 전압제어지연 라인 구조는 전압제어지연 변환기 회로와 동일한 면적을 가질 때, 시간 지연 차이를 나타낸 것이며 이는 191 ps이다. 시간 증폭기를 통해 증폭된 시간 지연 차이는 전압제어지연 변환기의 시간 지연 차이보다 약 100 ps, 전압제어지연 라인 보다는 약 80 ps 크다. 만약 전압제어지연 변환기 회로의 차동 입력 차이가 작을수록 시간 지연 차이의 값은 작아지며 이를 입력으로 받아 극성을 센싱해야 되는 바이너리 위상 검출기 회로는 부담이 커진다. 하지만 시간 증폭기를 통해 추가적으로 증폭된 시간 지연 차이는 바이너리 위상 검출기가 극성을 센싱하는데 부담을 덜 수 있다. 시간-도메인 비교기는 시간 증폭기를 사용함으로써 시간 증폭기를 사용하지 않은 비교기보다 차동 아날로그 입력의 차이가 작아도 정확한 결과 값을 가질 수 있으며 이는 시간-도메인 비교기의 해상도를 향상시킨다.

그림 5는 클럭 피드-스루 노이즈 보상을 위한 replica 회로를 포함하는 전압제어지연 변환기 회로와 replica 회

로를 포함하지 않는 전압제어지연 변환기 및 전압제어지연 라인 회로를 가지는 시간-도메인 비교기의 클럭 피드-스루 보상 시뮬레이션 결과를 나타낸다. 그림을 통해 replica 회로는 SC-DAC의 출력에 발생하는 클럭 피드-스루 현상을 보상한다.

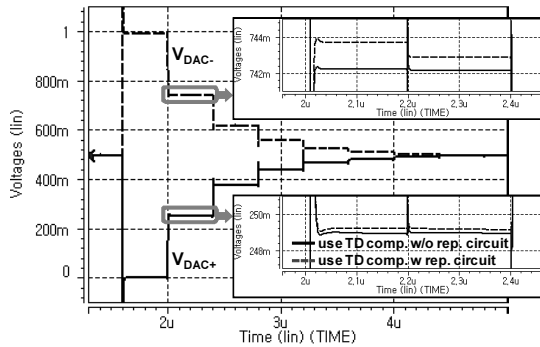


그림 5. SC-DAC와 replica 회로를 포함한 시간-도메인 비교기와 replica 회로를 포함하지 않는 시간-도메인 비교기의 시뮬레이션 결과
Fig. 5 Simulation results of the SC-DAC and time-domain comparator with replica circuit and without replica circuit

표 1은 그림 1(a)과 그림 2(b)의 시간-도메인 비교기가 동일한 시간 지연 차이를 가질 때, 각 블록에서 사용되는 트랜지스터 개수와 채널 폭에 따라 전체 시간 도메인 비교기의 채널 폭을 나타낸다. 표를 통해 그림 2(b)는 그림 1(a)에 비해 전체 채널 폭을 대략 50% 정도 감소시킨다.

표 1. 시간-도메인 비교기 전체 채널 폭 비교
Table. 1 Comparison of total width of time-domain comparator

비교기	트랜지스터 개수	전체 채널 폭
그림 1(a)	VCDL nmos 30개 pmos 30개	VCDL: 132 μm 바이너리 위상 검출기 : 44 μm
그림 2(b)	전압제어지연변환기 nmos 15개 pmos 9개 시간 증폭기 nmos 10개 pmos 4개	전압제어지연변환기 : 132 μm 시간 증폭기 : 36 μm 바이너리 위상 검출기 : 44 μm

이처럼 세 가지의 시간-도메인 비교기를 비교함으로써 그림 2(b)는 그림 1(a)에 비해 전체 채널 폭을 약 50% 감소시키며, replica 회로를 통해 SC-DAC에서 발생하는 클럭 피드-스루 노이즈를 보상한다. 또한 시간 증폭기를 통해 시간-도메인 비교기의 해상도를 향상시킨다.

III. 축차근사형 아날로그-디지털 변환기

3.1. 축차근사형 아날로그-디지털 변환기 구조

제안된 축차근사형 아날로그-디지털 변환기는 rail-to-rail 입력 범위를 가지며 그림 6(a)에 나타난 SC-DAC, 시간-도메인 비교기, 그리고 축차근사 레지스터 로직으로 구성된다.

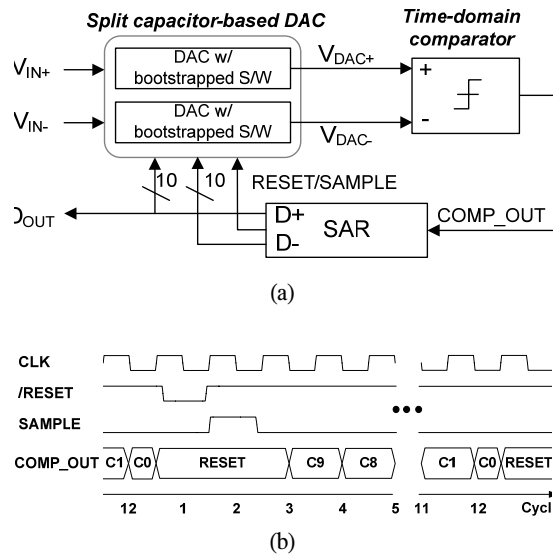


그림 6. (a) 제안된 축차근사형 아날로그-디지털 변환기 블록도 (b) 타이밍도

Fig. 6 (a) Block diagram of proposed SA ADC (b) timing diagram

SC-DAC는 축차근사 레지스터 로직의 출력 신호들에 의해 제어된다. 그리고 SC-DAC와 시간-도메인 비교기의 차동 구조를 통해 노이즈 면역력을 증가시킨다. 그림 6(b)은 제안된 축차근사형 아날로그-디지털 변환기의 타이밍 도를 나타낸다.

데이터 변환을 위해서 총 12 클럭 주기가 필요하다. 먼저 첫 번째 클럭 주기 동안 리셋 모드로 SC-DAC의 커패시터에 저장된 모든 데이터를 초기화한다. 그리고 두 번째 클럭 주기 동안 차동 입력 전압(V_{IN+} , V_{IN-})을 샘플한다. 마지막으로 데이터 변환은 10번의 클럭 주기 동안 SC-DAC의 출력은 $V_{DD}/2$ 로 수렴한다.

3.2. Split-capacitor based DAC

소면적, 저전력 그리고 높은 노이즈 면역력을 가지기 위해, 차동 구조의 SC-DAC를 제안한다. 그림 7(a)은 SC-DAC 회로를 나타낸다.

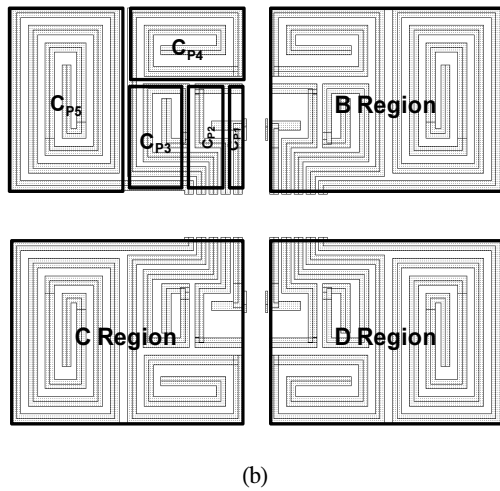
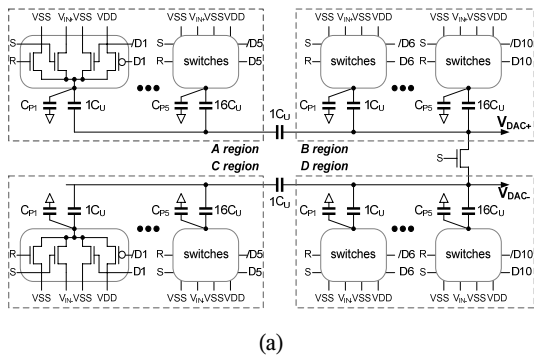


그림 7. (a) 더미 캐패시터를 이용한 SC-DAC (b) 더미 캐패시터의 layout
Fig. 7 (a) Circuit of SC-DAC with dummy capacitors (b) layout for implementation of dummy capacitors

유닛 캐패시터 (C_U)의 기생 캐패시터 성분을 줄이기 위해 metal-5와 metal-6 사이의 metal-insulator-metal (MIM) 캐패시터를 사용한다. 그리고 SC-DAC의 스위치 트랜지스터는 스위칭 동작 동안 발생하는 아날로그 노이즈를 줄이기 위해 작은 사이즈로 설계되었다. 게다가 더미 캐패시터 (C_{P1} , ..., C_{P5})는 스위치 트랜지스터의 차지 인젝션과 클럭 피드-스루에 의한 아날로그 노이즈를 줄이기 위해 스위치 트랜지스터의 드레인 노드에 각각 추가된다.

각 더미 캐패시터는 SC-DAC의 각 노드의 캐패시터의 크기에 비례한 값을 가진다. 이는 차지 인젝션에 따라 MSB의 캐패시터의 노드에서 발생하는 아날로그 노이즈가 다른 노드에서 발생하는 것보다 SC-DAC의 출력 노드에 더 큰 영향을 끼친다.

더미 캐패시터는 각 라우팅의 길이를 통해 설계된다. 그림 7(b)은 더미 캐패시터의 layout을 나타내며, 이는 각 노드의 캐패시터 밑의 metal-3 layer를 통해 이루어진다. 그러므로 더미 캐패시터는 추가적인 면적 증가 없이 이루어진다.

그림 8은 축차근사형 아날로그-디지털 변환기의 차동 아날로그 입력이 +1 V 일 때, 제안된 SC-DAC의 동작을 나타낸다. 신호 라우팅 길이를 사용한 더미 캐패시터를 통해 SC-DAC의 성능은 향상된다. 게다가 차동 아날로그 입력 신호에 부스트랩 아날로그 스위치를 사용하여 SC-DAC의 선형성을 향상시킨다[6].

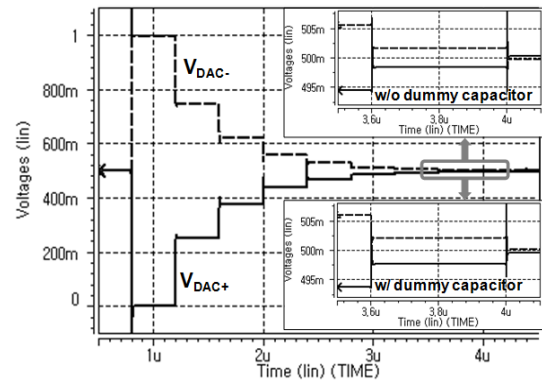


그림 8. Split capacitor-based DAC (SC-DAC)의 시뮬레이션 결과
Fig. 8 Simulation results of split capacitor-based DAC (SC-DAC)

3.3. 축차근사 레지스터 로직

그림 9(a)는 축차근사 레지스터 로직의 블록 도를 나타내었다. 축차근사 레지스터 로직은 기본적으로 10번에 걸쳐 순차적으로 출력되는 시간-도메인 비교기의 출력 값을 저장하기 위한 10개의 플립-플롭의 memory 블록과 reset, sample, 그리고 conversion mode를 제어하기 위한 shift register 블록으로 구성된다. 이를 위해 축차근사 레지스터 로직은 F/F(1)부터 F/F(12)까지 12 클럭 주기를 한주기로 reset, sample, conversion 신호를 만들며, 이는 SC-DAC의 스위치 트랜지스터를 reset, sample, conversion 신호에 맞춰 스위칭 시킨다. 그리고 F/F(3)년부터 F/F(12)까지 연결된 플립-플롭은 비교기의 출력 값을 입력으로 받아 SC-DAC의 10-bit 변환 값을 출력으로 내보낸다. 그림 9(b)는 축차근사 레지스터 로직에 사용되는 출력의 유효구간을 반으로 줄인 D F/F를 나타낸다. 이 플립-플롭을 사용함으로써 각 모드사이의 비 중첩을 위한 별도의 회로를 사용하지 않아도 됨으로 전력소모와 하드웨어를 줄인다.

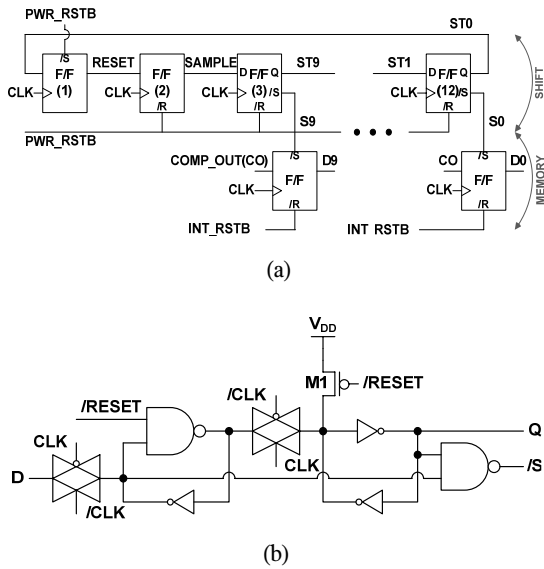


그림 9. (a) 축차근사 레지스터 로직의 전체 블록도
 (b) 축차근사 레지스터 로직에 사용된 플립-플롭
 Fig. 9 (a) Block diagram of SAR logic
 (b) Flip-flop used SAR logic

IV. 칩 제작 및 측정 결과

제안된 10-bit 200-kS/s 축차근사형 아날로그-디지털 변환기는 1V 공급 전압을 가지는 0.18-um 1-poly 6-metal CMOS 공정을 사용한다. 200-kS/s의 sampling rate를 사용하기 위해서 2.4 MHz의 클럭 주파수를 가진다. 그림 10(a)의 SA ADC1은 replica 회로 및 시간 증폭기를 포함하지 않는 시간-도메인 비교기를 가진 축차근사형 아날로그-디지털 변환기를 나타내며 SA ADC2는 replica 회로 및 시간 증폭기를 포함한 시간-도메인 비교기를 가지는 축차근사형 아날로그-디지털 변환기의 칩 사진을 나타낸다.

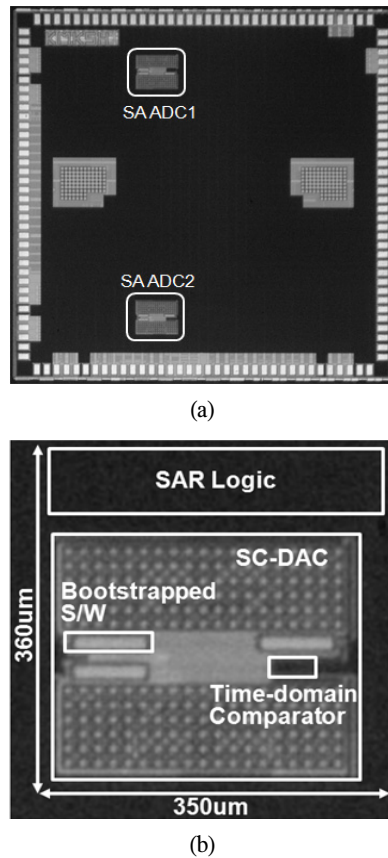


그림 10. (a) 두 가지의 축차근사형 아날로그-디지털 변환기의 칩 사진 (b) 축차근사형 아날로그-디지털 변환기 칩 확대 사진
 Fig. 10 (a) Microphotograph of SA ADC of two type
 (b) enlarged microphotograph of SA ADC

그림 10(b)은 축차근사형 아날로그-디지털 변환기의 칩을 확대한 사진이며, SC-DAC는 MIM 구조의 150 fF의 유닛 캐패시터를 사용하여 설계하였다. 그리고 축차근사 레지스터 로직으로부터의 노이즈 유입을 막기 위해 10- μ m 이상의 가드링을 이용하여 SC-DAC의 블록을 보호 하였다. 축차근사형 아날로그-디지털 변환기의 칩 면적과 전력소모는 각각 $350 \times 360 \mu\text{m}^2$ 와 10.39 μW 를 가진다. 두 개의 축차근사형 아날로그-디지털 변환기의 면적은 동일하다.

그림 11은 두 가지의 축차근사형 아날로그-디지털 변환기 칩 측정을 위한 테스트 보드를 나타낸다. 이는 6층 기판으로 구성된 PCB를 가지고 설계하였다.

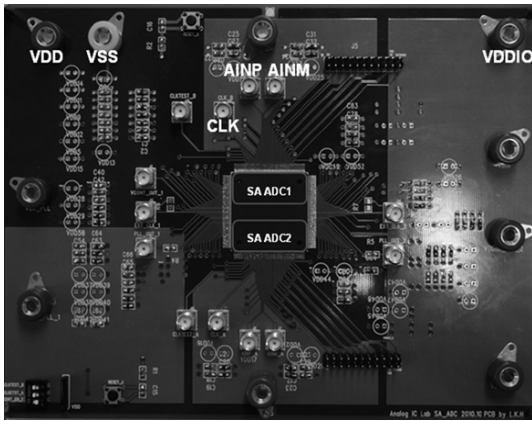
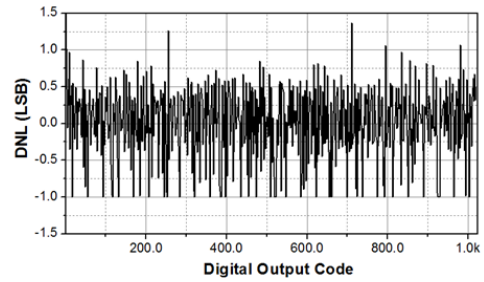
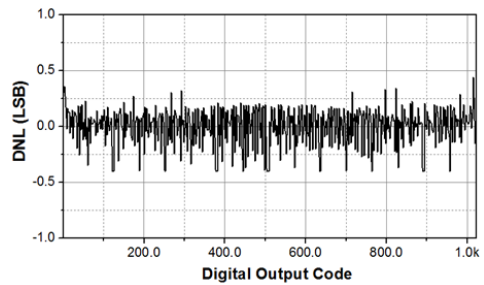


그림 11. 축차근사형 아날로그-디지털 변환기 측정을 위한 테스트 보드
Fig. 11 Test board to measure SA ADC

그림 12(a)는 SA ADC1의 DNL를 나타내며, 그림 12(b)는 SA ADC2의 DNL을 나타낸다. 그리고 그림 13(a)은 SA ADC1의 INL를 나타내며, 그림 13(b)은 SA ADC2의 INL를 나타낸다. SA ADC1의 DNL와 INL은 +1.36/-1.0 LSB와 +1.45/-1.5 LSB를 나타낸다. SA ADC2의 DNL와 INL은 각각 +0.44/-0.4 LSB와 +0.71/-0.62 LSB를 나타낸다. 이는 replica 회로와 시간 증폭기 블록이 시간-도메인 비교기의 해상도와 아날로그 노이즈에 대한 면역력에 영향을 미쳐 DNL와 INL의 차이가 나타남을 비교를 통해 확인 된다.

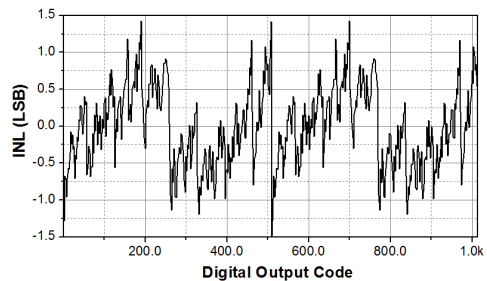


(a)

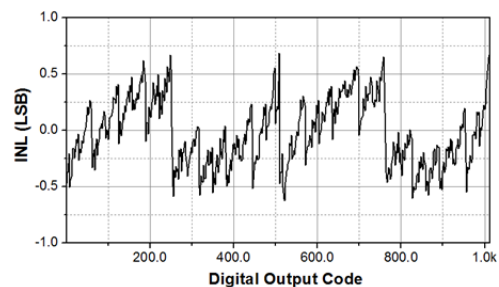


(b)

그림 12. (a) SA ADC1의 DNL (b) SA ADC2의 DNL
Fig. 12 (a) DNL of SA ADC1 (b) DNL of SA ADC2



(a)



(b)

그림 13. (a) SA ADC1의 INL (b) SA ADC2의 INL
Fig. 13 (a) INL of SA ADC1 (b) INL of SA ADC2

그림 14는 두 가지의 축차근사형 아날로그-디지털 변환기를 200-kS/s의 sampling rate에서 SNDR와 ENOB를 나타낸다. SA ADC1과 SA ADC2는 약 6 dB의 SNDR 차이가 나타남을 확인 할 수 있다. 이를 통해 대략 1-bit의 ENOB 차이를 보인다. 이는 시간-도메인 비교기의 해상도와 클럭 피드-스루 노이즈의 보상에 따라 축차근사형 아날로그-디지털 변환기의 해상도에 미치는 영향을 확인 할 수 있다. 아날로그 입력이 11.1 kHz 일 때, replica 회로와 시간 증폭기를 포함한 SA ADC2의 측정된 SNDR는 56.27 dB를 나타내며 결과적으로 9.05-bits의 ENOB를 가진다. 99.01 kHz의 주파수에서 측정된 SNDR와 ENOB는 55.43 dB와 8.91 bits를 가진다. 즉, Nyquist 주파수 근처에서는 대략 0.8 dB의 SNDR이 감소한다. 그리고 figure of merit (FoM)는 98 fJ/conversion-step을 나타낸다.

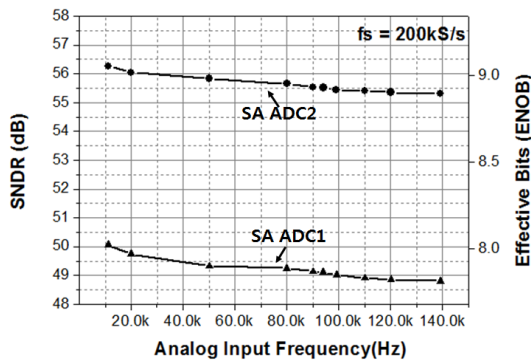


그림 14. 측정된 SA ADC1, 2의 SNDR
Fig. 14 SNDR of measured SA ADC1, 2

V. 결론

세 가지의 시간-도메인 비교기의 각 특성을 비교하였으며, 시간-도메인 비교기의 성능을 확인하기 위해 rail-to-rail 입력 전압 범위를 가지는 10-bit 200-kS/s 축차근사형 아날로그-디지털 변환기가 제안되었다. SC-DAC는 더미 캐패시터와 부스트랩 아날로그 스위치를 사용하여 선형성을 향상시켰다. 그리고 replica 회로와 시간 증폭기를 포함하는 비교기와 이를 포함하지 않는 비교기에 따라 축차근사형 아날로그-디지털 변환

기의 해상도는 대략 6 dB의 차이를 나타낸다. 제안된 축차근사형 아날로그-디지털 변환기는 1V 공급 전압을 가지는 0.18-um 1-poly 6-metal CMOS 공정을 사용하여 설계하였다. 전력 소모와 코어면적은 각각 10.39 uW와 0.126 mm²를 가진다.

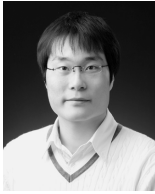
감사의 글

본 연구는 금오공과대학교 학술연구비의 지원을 받아 연구를 수행함.

참고문헌

- [1] N. Verma, A. P. Chandrakasan, "An ultra low energy 12-bit rate-resolution scalable SAR ADC for wireless sensor nodes," *IEEE J. Solid- State Circuits*, vol.42, no.42, pp.1196-1205, Jun.2007
- [2] H.-C. Hong, G.-M. Lee, "A 65-fJ/Conversion-Step 0.9-V 200-kS/s Rail-to-Rail 8-bit Successive Approximation ADC," *IEEE J. Solid-State Circuits*, vol.42, no.10, pp.2161-2168, Oct.2007.
- [3] A. Agnes, E. Bonizzoni, P. Malcovati, and F. Maloberti, "A 9.4-ENOB 1V 3.8uW 100kS/s SAR ADC with Time-Domain Comparator", in *IEEE Int. Solid- State Circuits Conf. Dig. Tech. Papers*, pp.246-247, Feb.,2008
- [4] S.-K. Lee, S.-J. Park, Y. Suh, H.-J. Park, and J.-Y. Sim, "A 1.3uW 0.6V 8.7-ENOB Successive Approximation ADC in a 0.18um CMOS," in *Proc. IEEE VLSI Circuit Symp*, pp.242-243, Jun.,2009.
- [5] S.-K. Lee, Y.-H. Seo, Y. Suh, H.-J. Park, J.-Y. Sim, "A 1GHz ADPLL with a 1.25ps Minimum-Resolution Sub-Exponent TDC in 0.18um CMOS," in *IEEE Int. Solid- State Circuits Conf. Dig. Tech. Papers*, pp.482-483, Feb.2010
- [6] S.-h. KIM, Y.-H. Lee, H.-J. Chung, and Y.-C. Jang, "A Bootstrapped Analog Switch with Constant On-Resistance," *IEICE TRANSACTIONS on Electronics*, vol.E94-C, no. 6, pp. 1069-1071, Jun. 2011.

저자소개



어지훈 (Ji-Hun Eo)

2010년 금오공과대학교
전자공학부(공학사)
2010년~현재 금오공과대학교
대학원 석사과정

※ 관심분야 : Mixed-mode circuit design



김상훈 (Sang-Hun Kim)

2010년 금오공과대학교
전자공학부(공학사)
2010년~현재 금오공과대학교
대학원 석사과정

※ 관심분야 : Mixed-mode circuit design



장영찬 (Young-Chan Jang)

1995.2 경북대학교 전자전기
공학부 (공학사)
2001.2 포항공과대학교
전자전기공학과 공학석사

2005.2 포항공과대학교 전자전기공학과 공학박사
2005.3 ~ 2009.8 삼성전자 반도체총괄 책임연구원
2009.8 ~ 현재 금오공과대학교 전자공학부 조교수

※ 관심분야 : High-speed I/O interface, Data converter 및
Mixed mode analog IC design