
웨이퍼 레벨 패키지를 적용한 저가격 고성능 FBAR 듀플렉서 모듈

배현철* · 김성찬**

Cost-effective and High-performance FBAR Duplexer Module
with Wafer Level Packaging

Hyun-Cheol Bae* · Sung-Chan Kim**

요 약

본 논문에서는 US-PCS(US-personal communications services)를 위해 사용이 가능한 저가격 고성능 FBAR (film bulk acoustic resonator) 듀플렉서(duplexer) 모듈(module)을 제시하였다. FBAR 소자는 일반적인 실리콘(Si) 기반의 공정보다 가격경쟁력이 우수한 유리(glass) 웨이퍼 기반의 패키지를 개발하여 적용하였다. FBAR 듀플렉서 모듈의 전송단(Tx)과 수신단(Rx)에서 얻어진 최대 삽입손실 특성은 각각 1.9 dB와 2.4 dB이다. 전송단 및 수신단 FBAR 소자와 본딩(bonding)된 유리 기반의 웨이퍼 및 PCB 기판과 몰딩(molding) 물질을 모두 포함하는 FBAR 듀플렉서 모듈의 전체 두께는 1.2 mm이다.

ABSTRACT

This paper presents a cost-effective and high-performance film bulk acoustic resonator (FBAR) duplexer module for US-PCS handset applications. The FBAR device uses a glass wafer level packaging process, which is a more cost-effective alternative to the typical silicon capping process. The maximum insertion losses of the FBAR duplexer at the Tx and Rx bands are of 1.9 and 2.4 dB, respectively. The total thickness of the duplexer module is 1.2 mm, including the glass-wafer bonded Tx/Rx FBAR devices, PCB board, and transfer molding material.

키워드

FBAR, 듀플렉서, 웨이퍼 레벨 패키지, 유리기반 웨이퍼

Key word

FBAR, duplexer, wafer level packaging, glass-wafer

* 정회원 : 한국전자통신연구원 패키지연구팀

** 정회원 : 국립한밭대학교 전자·제어공학과 (교신저자, sckim@hanbat.ac.kr)

접수일자 : 2012. 03. 27

심사완료일자 : 2012. 05. 01

I. 서 론

무선통신 산업의 성장에 따라 고성능 모바일 통신시스템의 개발 필요성이 갈수록 확대되고 있다. 특히, 휴대성과 이동성을 중시하는 모바일 단말기는 소형화 및 경량화가 꾸준히 진행되고 있다. 모바일 단말기의 RF 프론트 앤드 모듈(front-end module)은 다중 기능과 다중 밴드 작업을 포함하는 우수한 성능 및 크기와 두께의 감소, 비용효율의 극대화를 요구한다. 이에 대한 해결책의 하나로서 MEMS (micro electro mechanical system) 관련 기술들이 꾸준히 연구되고 있으며, 최근에는 MEMS 관련 연구의 초점이 중전의 시스템의 성능향상에서 벗어나 시스템 집적, 패키지 및 신뢰성으로 확대되고 있다.

패키지는 시스템의 크기, 안정성 및 비용효율을 결정한다^[1-2]. MEMS 기반 구조물들은 칩 단위의 패키지가 일반적이었지만 대량 생산시 설비 투자 및 생산 수율 저하 등이 문제점으로 대두되어, 여러 칩들이 어레이(array) 되어 있는 웨이퍼 단위의 패키지를 통하여 비용을 절감시키기 위한 기술 개발 노력이 지속적으로 일어나고 있다. 국내 시장에서 CMOS 이미지 센서나 메모리 소자의 경우 웨이퍼 레벨 패키지 공정이 많이 적용이 되고 있으나 마이크로폰 및 다른 MEMS 공정을 이용한 소자들은 여전히 칩 레벨의 패키지 혹은 메탈 패키지가 적용이 되고 있는 것이 현실이다. 기존의 FBAR 소자를 이용한 MEMS 패키지는 고가의 고저항 실리콘 기판을 이용하여 캡(cap) 웨이퍼를 제작 후 웨이퍼 레벨 본딩을 이용한 제작이 이루어지고 있다^[3-6].

따라서 본 논문에서는 MEMS 소자를 포함하는 전체 반도체 소자들을 한번에 패키지 가능하도록 웨이퍼 레벨의 패키지 기술, 특히 고가의 고저항 실리콘 기반의 공정보다 가격경쟁력이 우수한 유리 웨이퍼 기반의 패키지 기술을 개발하였다. 이를 이용하여 US-PCS (personal communications services) 핸드셋을 위해 사용이 가능한 우수한 성능의 FBAR 듀플렉서(duplexer) 모듈(module)을 제시하였다. 전송단 및 수신단 FBAR 필터(filters), PCB 인덕터(inductor)와 위상천이기(phase shifter), 몰딩(molding) 재료를 포함하는 듀플렉서 모듈의 전체 두께는 1.2 mm이다.

II. FBAR 소자와 유리-캡 웨이퍼의 제작

FBAR 소자는 기판 손실을 최소화하기 위해 높은 기판 저항을 갖는 실리콘 기판을 기반으로 제작하였다. 가장 간단한 형태의 FBAR는 두개의 전도체와 전도체 사이의 얇은 압전 필름으로 구성된다. 상단과 하단의 전극 재료는 몰리브덴(Mo)이며 전극 사이의 압전 필름은 알루미늄 질화물(AIN)을 사용하였다. 두 전극 사이의 알루미늄 질화물은 드라이 에칭(dry etching) 공정에 의해 패터닝되며, 하단 전극 영역에 공기층의 동공(cavity)이 희생층 제거 공정을 통하여 형성된다.

FBAR 소자는 소자 보호 및 전기적인 상호 연결을 위한 캡 웨이퍼가 필요하다. 캡 웨이퍼는 일반적으로 실리콘 웨이퍼가 많이 사용되나 소형화 및 비용효율을 높이기 위하여 유리기반의 웨이퍼를 사용하였다.

그림 1에 유리-캡 웨이퍼의 제조 공정을 나타내었다. 웨이퍼 전면을 위한 드라이 필름 레지스트(dry film resist) 패터닝과 샌딩(sanding) 공정, 후면을 위한 씨엠피(chemical mechanical polishing) 공정을 통하여 웨이퍼 상단의 구경이 100 μm, 하단의 구경이 50 μm, 높이가 270 μm 인 비아-홀(via-hole)을 형성하였다. 유리-캡 웨이퍼를 FBAR 소자와 본딩하기 위하여 주석(Sn)-금(Au)을 사용하는 금속층을 적층하고 리프트-오프 공정을 통하여 전극을 형성하였다. 그림 2에 제작된 4인치 유리-캡 웨이퍼를 나타내었다.

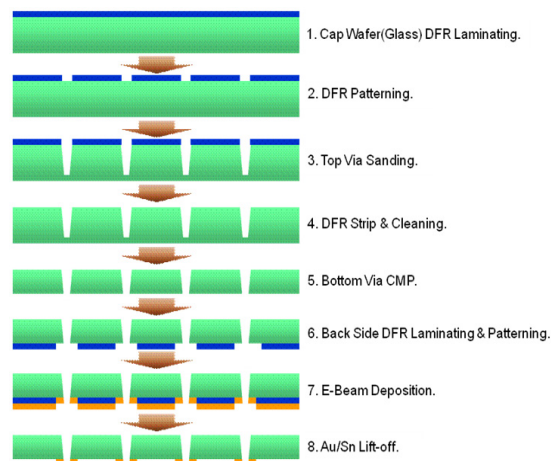


그림 1. 유리-캡 웨이퍼의 제작순서
Fig. 1 Fabrication flow of the glass-cap wafer

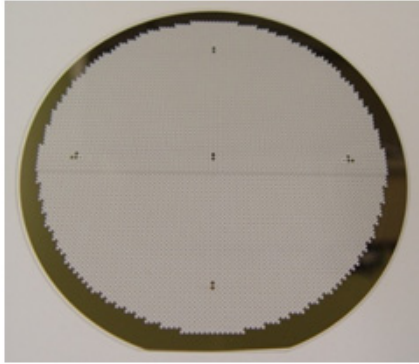


그림 2. 제작된 유리-캡 웨이퍼
Fig. 2 Photograph of the fabricated glass-cap wafer

III. FBAR의 웨이퍼 레벨 패키지

MEMS 기반 구조물들은 칩 단위의 패키지가 일반적이지만 대량생산 시 수율저하 등의 약점으로 인하여 접점 웨이퍼 레벨 패키지가 주목받고 있다. FBAR 패키지는 FBAR 소자 구조의 기계적 변형을 최소화하도록 설계되어야 하며, 이런 변형은 주로 패키지 재료와 소자간의 열팽창 특성 불일치에 의해 야기된다^[7]. 그러므로 저온 접합에 의한 웨이퍼 레벨 패키지 기술이 주목받고 있다. 웨이퍼 레벨 패키지 과정을 적용하면 본딩 공정이 단순화되어 긴 공정시간을 줄일 수 있다.

그림 3에 주석-금 유테틱(eutectic) 본딩에 의한 웨이퍼 레벨 패키지 나타내었다. 듀플렉서의 전송단 및 수신단을 위한 웨이퍼 레벨 본딩은 7600 N의 압력 및 290 °C의 온도 조건으로 15분간 수행되었다. 전송단 및 수신단 FBAR 소자는 전기도금 공정을 통하여 유리-캡 웨이퍼의 비아-홀을 거쳐 전극과 연결된다. 본딩되어진 웨이퍼는 PCB 기판의 두께 및 와이어 본딩 높이를 고려하여 300 μm 이하 두께로 양면 폴리싱(polishing)된다. 드라이 필름 레지스터 패터닝 공정을 사용하여 유리-캡 웨이퍼에 형성된 금속전극은 향후 PCB 기판의 인덕터와 위상 천이기와 연결된다.

웨이퍼간 본딩된 FBAR 웨이퍼를 그림 4에 나타내었다. 유리-캡 웨이퍼 덕분에 웨이퍼 레벨로 본딩된 FBAR 소자들을 명확하게 확인가능하다.

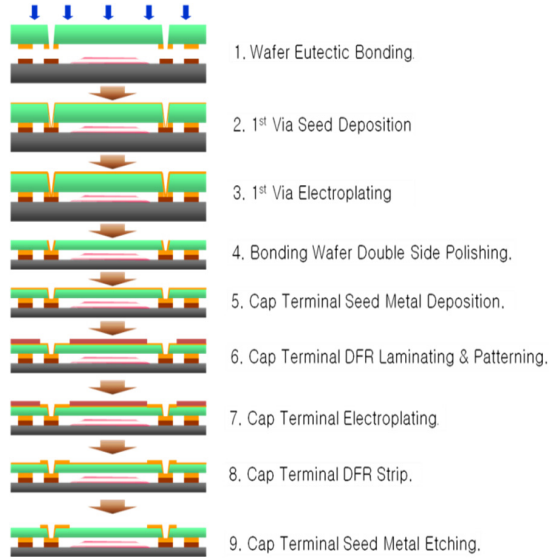


그림 3. FBAR 웨이퍼 레벨 패키지의 제작순서
Fig. 3 Fabrication flow of the FBAR WLP

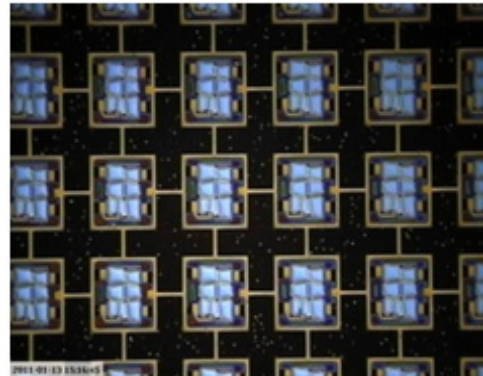


그림 4. 웨이퍼간 본딩된 FBAR 웨이퍼(전송단) 사진
Fig. 4 Photograph of the wafer-to-wafer bonded FBAR wafers(Tx)

IV. FBAR 듀플렉서 모듈

웨이퍼 레벨 패키지된 FBAR 소자의 특성을 검증하기 위하여 US-PCS를 위해 사용이 가능한 FBAR 듀플렉서 모듈을 전자기 설계 툴인 3D 전자기 시뮬레이션

틀(HFSS)과 RF 회로 설계 틀(ADS)을 사용하여 설계하였다.

FBAR 듀플렉서 모듈은 웨이퍼 레벨 패키지 공정이 적용된 두 개의 FBAR 필터와 한 개의 위상천이기 및 매칭을 위한 여러 개의 PCB 인덕터로 구성되어진다. 전송단 및 수신단 FBAR 필터들은 제작된 FBAR 소자의 S-파라미터(S-parameters)를 측정하고 Butterworth-VanDyke 모델을 사용하여 추출한 변수들을 사용하여 설계하였다.

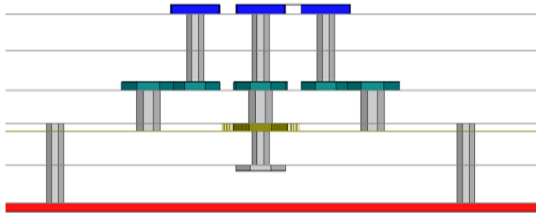


그림 5. PCB 기판의 단면도
Fig. 5 Cross-sectional view of the PCB substrate

PCB 인덕터는 다층 PCB 기판에 적용되어 제작되었다. 다층 PCB 기판은 6층으로 이루어져있으며 4.2의 상대유전율(relative dielectric constant)과 0.016의 손실탄젠트(loss tangent) 특성을 갖는다. PCB 인덕터는 1층면과 2층면에 위치하며, 위상천이기는 5층면에 위치한다. 4층면과 6층면은 접지로 사용되며 1층면과 3층면은 레이저 비아 공정을 이용하여 연결되며 적층형 비아의 형태로 연결된다. 레이저 비아의 지름은 $100\ \mu\text{m}$ 으로 만들어지고 내부 비아는 $110\ \mu\text{m}$ 의 지름으로 제작된다. 그림 5에 PCB 기판의 단면도를 나타내었다.

FBAR 듀플렉서의 개략도를 그림 6에 나타내었다. 전송단 필터는 4개의 직렬 FABR 공진기와 2개의 병렬 공진기로 구성되며 수신단 필터는 3개의 직렬 FABR 공진기와 4개의 병렬 공진기로 구성된다. 위상천이기는 전송단 및 수신단 필터사이에 위치하여 두 신호를 격리한다.

설계된 위상천이기는 전송단 및 수신단의 동작주파수에서 0.3 dB의 삽입손실과 89° 의 위상특성을 나타내었다. 위상천이기의 레이아웃과 설계특성을 그림 7과 그림 8에 각각 나타내었다.

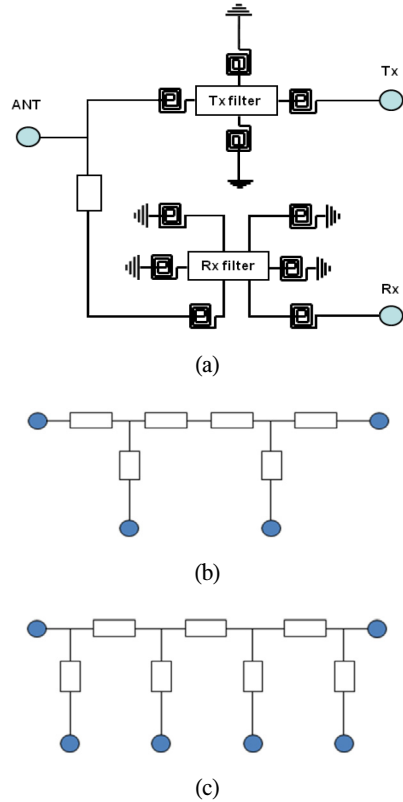


그림 6. FBAR 듀플렉서의 개략도
(a) 전체회로 (b) 전송단 필터 (c) 수신단 필터
Fig. 6 Schematic of the FBAR duplexer
(a) total circuit (b) Tx filter (c) Rx filter

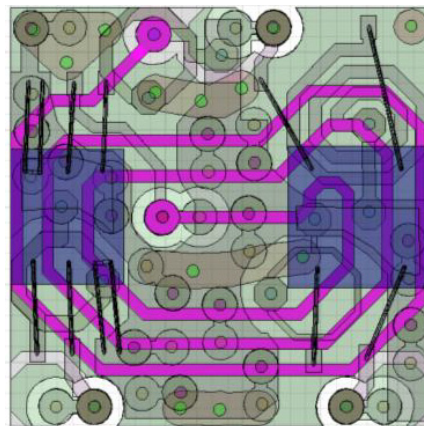


그림 7. 위상천이기의 레이아웃
Fig. 7 Layout of phase shifter

그림 9에 FBAR 듀플렉서 모듈의 개략도를 나타내었다. FBAR 듀플렉서 모듈은 실제 제작된 FBAR 전송단 및 수신단 필터와 인덕터 및 위상천이기의 측정값을 사용하여 설계하였으며 3D 전자기 시뮬레이션을 통하여 검증하였다.

3D 전자기 설계는 PCB 기판의 유전율, 다층 PCB 기판의 비아홀, 암코(Amkor)사의 몰딩 재료정보와 본딩 와이어 공정 정보를 모두 포함하여 실시하였다. 시뮬레이션 결과, 전송단 필터는 1850 ~ 1910 MHz의 통과대역에서 최고 1.9 dB의 삽입손실특성을 나타내었으며 수신단 필터는 1930 ~ 1990 MHz의 통과대역에서 최고 2.4 dB의 삽입손실 특성을 얻었다. 패키징된 전체 에프바 듀플렉서 모듈의 크기는 3.0 mm × 3.0 mm × 1.2 mm이다.

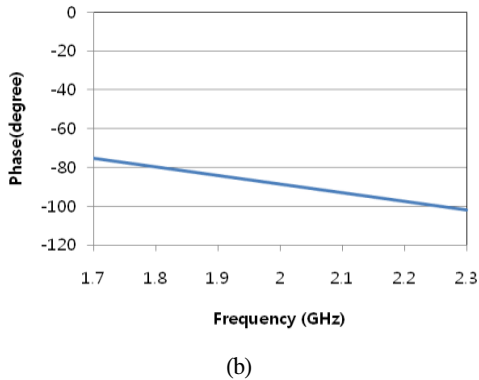
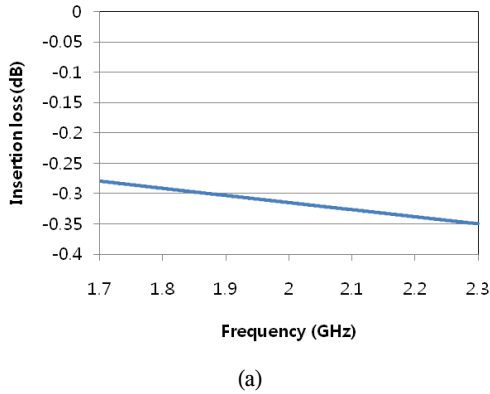


그림 8. 위상천이기의 시뮬레이션 특성
(a) 삽입손실특성 (b) 위상특성

Fig. 8 Simulated results of the phase shifter
(a) insertion loss characteristic (c) phase characteristic

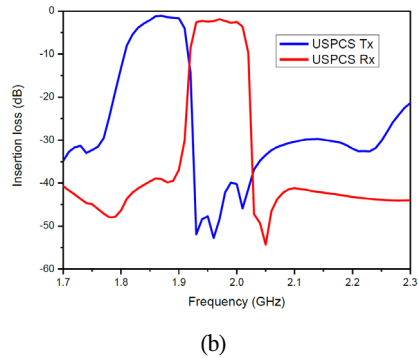
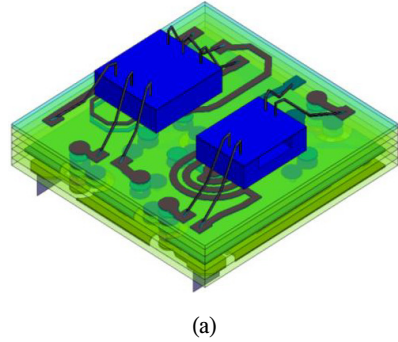


그림 9. (a) FBAR 듀플렉서 모듈 개략도
(b) 삽입손실 특성

Fig. 9 (a) schematic of the FBAR duplexer module
(b) insertion loss characteristics

V. 결 론

본 논문에서는 FBAR 소자와 유리-캡 웨이퍼를 제작하고, 제작된 유리-캡 웨이퍼를 사용하여 기존의 실리콘 기반 기술과 비교하여 가격경쟁력이 우수한 유리 기반 웨이퍼 레벨 패키지 기술을 성공적으로 개발하였다.

이를 검증하기 위하여 패키징된 FBAR 소자의 측정 결과를 바탕으로 US-PCS를 위해 사용 가능한 FBAR 듀플렉서 모듈을 설계하였다. 전송단 및 수신단에서 얻어진 최대 삽입손실특성은 각각 1.9 dB와 2.4 dB를 나타내어 실제 다양한 응용에서 사용 가능할 것으로 판단된다. 전체 모듈의 크기는 3.0 mm × 3.0 mm × 1.2 mm이었다.

본 연구에서 개발된 유리 기반의 웨이퍼 레벨 패키지 기술은 가격경쟁력은 물론 다양한 반도체 부품의 신뢰성 및 수명 향상에 기여할 수 있을 것으로 판단된다.

참고문헌

- [1] P. Wilkerson, M. Kranz, A. Przekwas, T. Hudson, "Flip-chip hermetic packaging of RF MEMS," *IEEE Micro electro mechanical Systems Conf.*, pp. 91-94, 2001.
- [2] Lih-Tyng Hwang, Li Li, J. Drye, Shun-Meen Kuo, "Performance evaluation of RF MEMS packages," *IEEE Electronic Components and Technology Conf.*, pp. 1032-1036, 2002.
- [3] Suk-Jin Ham, Byung-Gil Jeong, Ji-Hyuk Lim, Kyu-Dong Jung, Kae-Dong Baek, Woon-Bae Kim, Chang-Youl Moon, "Characterization and Reliability Verification of Wafer-Level Hermetic Package with Nano-Liter Cavity for RF-MEMS Applications," *IEEE Electronic Components and Technology Conf.*, pp. 1127-1134, 2007
- [4] P. Bradley, R. Ruby, J. D. III Larson, Y. Oshmyansky, D. Figueredo, "A film bulk acoustic resonator (FBAR) Duplexer for USPCS handset applications," *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 367-370, 2001.
- [5] R. Ruby, P. Bradley, D. Clark, D. Feld, T. Jamneala, W. Kun, "Acoustic FBAR for filters, duplexers and front end modules," *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 931-934, 2004
- [6] Yun-Kwon Park, Kuang-Woo Nam, Seok-Chool Yun, Byeoung-Ju Ha, Seog-Woo Hong, Chul-Soo Kim, Jea-Shik Shin, In-Sang Song, "Fabrication of monolithic 1-Chip FBAR duplexer for W-CDMA handsets," *IEEE Micro electro mechanical Systems Conf.*, pp. 803-806, 2007.
- [7] G. Li, A. A. Tseng, "Low stress packaging of a micromachined accelerometer," *IEEE Trans. Electron. Packaging Manufacturing*, vol. 24, pp. 18-25, 2001.

저자소개



배현철(Hyun-Cheol Bae)

1999년 동국대학교
전자공학과 공학사
2001년 동국대학교
전자공학과 공학석사

2009년 충남대학교 전자공학과 공학박사
2001년 ~ 현재 한국전자통신연구원 패키지연구팀
선임연구원
※주관심분야: IPD, 3DIC 및 MEMS 소자 패키지 설계
및 공정



김성찬(Sung-Chan Kim)

1999년 동국대학교
전자공학과 공학사
2001년 동국대학교
전자공학과 공학석사

2006년 동국대학교 전자공학과 공학박사
2006년 ~ 2007년 동국대학교 밀리미터파 신기술연구
센터 박사후연구원
2007년 ~ 현재 국립한밭대학교 전자공학과 교수
※주관심분야: 밀리미터파 소자 및 회로 설계, 제작