
펨토 패럿 측정을 위한 비율형 커패시턴스 측정 회로

정재웅* · 정인영**

Ratio-type Capacitance Measurement Circuit for femto-Farad Resolution

Jae-Woong Chung* · In-Young Chung**

이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 도약연구 지원을 받아 수행된 연구(2011-0020461)이며 반도체설계교육센터(IDECE)에서 CAD tool을 지원받았음.

요 약

본 논문에서는 매우 작은 절대 값을 갖는 펨토 패럿 단위의 커패시턴스를 측정 할 수 있는 비율형 커패시턴스 측정 회로를 제안하였다. 제안한 측정 회로는 스위치 커패시터 적분기와 비교기 그리고 스위치를 제어하는 논리 회로와 카운터로 구성되어 있으며, 측정하고자 하는 커패시턴스와 이미 값이 알려진 온-칩 커패시터간의 비율을 측정하고 그 값을 디지털 신호로 출력한다. 그리고 이 비율 값을 통해 오차가 상당부분 제거된 펨토 패럿 단위의 커패시턴스를 구해낼 수 있다. 제안한 커패시턴스 측정 회로는 표준 CMOS 0.18 μm 공정을 사용하여 설계되었으며, HSpice 시뮬레이션에서 5fF 이하의 아주 작은 커패시턴스를 오차율 $\pm 0.3\%$ 이내에서 측정이 가능함을 보였다.

ABSTRACT

A ratio type of capacitance measurement circuit is proposed to measure an extremely small value of the fF capacitance on this paper. This measurement circuit is formed with a switched-capacitor integrator, a comparator, and logic circuit blocks to control the switches. It converts the measured ratio value between the known value of on-chip capacitor and the unknown value of capacitor to the digital signal. The fF capacitance with minimized error can be obtained by calculating this ratio. This proposed circuit is designed with standard CMOS 0.18 μm process, and various HSpice simulations prove that this capacitance measurement circuit is able to measure the capacitance under 5fF with less than $\pm 0.3\%$ error rate.

키워드

커패시턴스, 펨토, 측정, 센서

Key word

capacitance, femto, measurement, sensor

* 준회원 : 광운대학교 전자통신공학과 석사과정 (getooman@kw.ac.kr)

접수일자 : 2012. 03. 27

** 정회원 : 광운대학교 전자통신공학과 교수 (교신저자)

심사완료일자 : 2012. 04. 27

Open Access <http://dx.doi.org/10.6109/jkiice.2012.16.5.989>

© This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서 론

C-V변환기는 자동차를 비롯하여 의료, 산업계측, 환경, 우주항공 그리고 군수 등 산업전반에 걸쳐 응용되는 센서 기술에 사용되어 진다. 이러한 센서들은 전류, 전압, 커패시턴스 등의 전기적 물리량으로 출력을 발생한다. 이 중 전류나 전압의 경우에는 ADC등을 통해서 비교적 쉽게 디지털 데이터로 변환이 가능하지만, 커패시턴스의 경우에는 간단하지 않다. 더욱이 측정하고자 하는 커패시턴스의 값이 수 펨토 패럿 단위의 작은 값일 경우 측정은 더욱 힘들어 진다. 또한 정전용량 감지회로 시스템을 PCB보드 상에 개별소자로 구현할 경우, 소자 및 배선 사이에서 발생할 수 있는 기생 정전 용량이 측정의 정밀성에 부정적인 영향을 줄 수 있다.

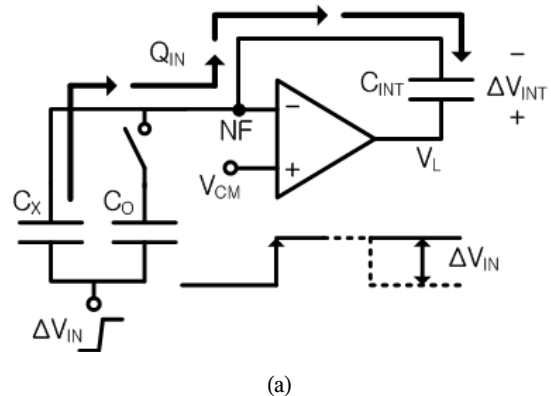
최근 몇 년 동안 발표된 논문들을 통해 제안되었던 정전 용량 감지 회로들은 어떤 절대 값의 커패시턴스를 측정하는 것이 아니라 이미 값을 알고 있는 두 커패시터 중 하나 혹은 두개 전부를 외부 변화에 노출시킬 때 발생하는 물리적 변화량의 차이를 통해 커패시턴스를 측정하는 차동 비교 방식을 채택하였다[1] -[4]. 하지만 이 방법의 경우, 측정하고자 하는 커패시턴스의 값과 비슷한 커패시터를 구비하기 어려운 상황, 혹은 펨토 패럿 단위의 어떤 절대적인 커패시턴스 값을 구하려고 할 때에는 정확한 측정이 어렵다. 이와 관련된 예로는 MOS 트랜지스터의 각종 기생 커패시턴스 측정이 있다. 이는 매우 작은 값을 갖는 MOS 트랜지스터의 커패시턴스를 측정하기 위한 방법으로, 무수히 많은 트랜지스터를 병렬로 연결된 네트워크를 구성하여 측정하는 방법이 제안한 바 있다[5]. 그러나 이를 위해서는 미리 큰 면적을 차지하는 측정패턴이 준비되어 있어야 하며, 개별적인 소자의 커패시턴스 분포를 알기도 어렵다.

하지만 본 논문에서는 과거 제안된 여러 커패시턴스 측정 방식들과는 다르게 이미 알려진 큰 값을 갖는 커패시터와 측정하고자 하는 작은 값을 갖는 커패시터와의 비율을 산정하여 그 값을 알아내는 새로운 알고리즘을 적용한 측정 회로를 제안한다. 이로 인해서 사전에 준비된 측정 패턴 없이도, 펨토 패럿 수준의 커패시턴스까지도 작은 오차 범위 이내에서 측정이 가능하도록 하였다. 또한 이를 다양한 디지털 어플리케이션에서 사용 가능하도록 하기 위해서 측정 결과를 직접 디지털 신호로 출

력하도록 회로를 설계하였다. 이에 더하여 대부분의 시스템을 온-칩으로 설계함으로써 PCB보드에 개별 소자들로 시스템을 구현 했을 때 보다 펨토 패럿 단위의 커패시턴스 측정 시에 시스템의 정밀도를 감소시키는 기생 정전 용량으로 인한 문제를 최소화 하였고, 면적을 대폭 감소 시켜 휴대용 어플리케이션에 대한 적합성을 극대화 시켰다.

II. 제안하는 커패시턴스 측정 방식

본 논문에서 제안하는 커패시턴스의 측정 방식은 그 값이 알려진 비교적 큰 커패시턴스 값과 측정하고자 하는 작은 커패시턴스 값 간의 비율을 파악하고 이를 통해 작은 커패시턴스 값을 정확하게 측정하는 방식이다. 측정 알고리즘을 자세히 살펴보면 다음과 같다. 측정 회로는 캘리브레이션을 거쳐서 그 값이 파악된 온-칩 커패시터 C_O 와 측정을 통해서 알고자 하는 C_X 를 갖고 있으며, 이 두 커패시터의 한쪽 단자에 펄스를 인가하여 C_{INT} 에 각각의 커패시턴스 값에 비례하는 전하를 누적시킨다. 즉, 그림 1의 (a)처럼 펄스의 상승 에지에 의해서 C_X 는 $Q_{IN} = \Delta V_{IN} \times C_X$ 에 해당하는 전하를 C_{INT} 에 누적하고, 그림 1의 (b)처럼 C_O 에 인가되는 펄스의 하강 에지에 의해 C_{INT} 로부터 $Q_{OUT} = \Delta V_{IN} \times C_O$ 에 해당하는 전하를 유출시킨다.



(a)

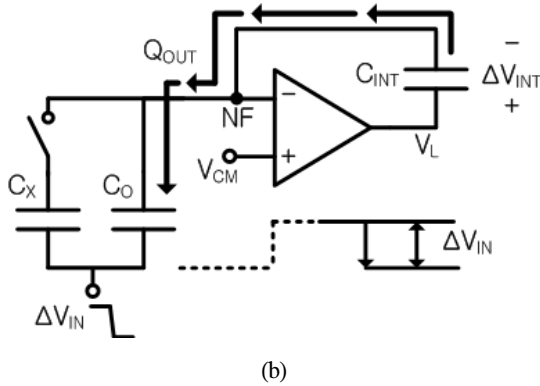


그림 1. 입력 펄스의 각 에지에서 회로 동작
 (a) 펄스 상승 에지에서 C_X에 의한 전하 유출
 (b) 펄스 하강 에지에서 C_O에 의한 전하 유출
 Fig. 1 Circuit operation at each edge of input pulse
 (a) Charge leakage by C_X at rising edge of pulse
 (b) Charge leakage by C_O at falling edge of pulse

본 회로에서는 C_{INT}에 누적되는 전하의 총량 Q_{INT}가 0이 되도록 이러한 C_X에 의한 커플링 횟수와 C_O에 의한 커플링 횟수의 비를 조정하여 그 비율로부터 두 커패시턴스의 비를 구하게 된다. 예를 들어, C_O=1pF 이고, ΔV=10mV 이며, 처음 C_O커플링에 의해 -Q_{OUT}의 전하를 C_{INT}에 축적한 다음, C_X에 의해 총 201번의 전하 누적이 일어난 후 V_L의 부호가 바뀌었다면, 측정하고자 하는 커패시턴스 C_X는 5fF보다는 작고 4.975fF보다는 크다는 것을 알 수 있다. 이후 다시 C_O에 의한 -Q_{OUT} 누적 후, 200번의 커플링에 의해 V_L의 부호가 바뀌었다면, C_X는 5fF보다는 작고 4.988fF보다는 크다는 것을 알 수 있다. 이와 같이 커플링에 의한 전하누적 횟수(N)가 증가할수록 정확한 C_X값을 얻을 수 있다. 따라서 이러한 측정방식으로 발생하는 최대 측정오차는 다음 식과 같이 계산될 수 있다.

$$C_{ERR.MAX} = \left(\frac{D}{N-1} - \frac{D}{N}\right)C_X = \frac{D \cdot C_X}{N(N-1)} \approx \left(\frac{C_X}{C_O}\right) \frac{C_X}{N} \quad (1)$$

여기서 D는 V_L의 부호가 반전된 횟수, 즉 C_O커플링 횟수이며, N은 마지막으로 V_L의 부호를 반전시켰을 때의 C_X커플링 횟수이다. 따라서 이론적으로는 커플링 횟수인 D와 N을 증가시키므로써 측정오차를 0으로 수렴시킬 수 있게 된다.

III. 회로 구성

제안한 비율 비교형 커패시턴스 측정 회로의 전체 블록도를 그림 2에 나타냈다. 여기서 전체 회로는 크게 아날로그 회로 블록과 디지털 회로 블록으로 나눌 수 있으며, 아날로그 회로 블록에는 core라 표기한 연산증폭기와 스위치 회로 그리고 비교기로 구성되어있고, 디지털 회로 블록은 논리 회로 블록과 카운터 회로 블록으로 구성되어 있다. 또한, C_{INT}와 C_O는 값이 대략 파악된 온-칩 커패시터이며, C_X는 측정하고자 하는 커패시턴스를 나타낸다. φ₁ ~ φ₄는 스위치 S₁, S₂, S₃, 그리고 S₄를 제어하기 위한 신호로, 모두 기본 클럭 신호를 여러 위상을 갖도록 분주하여 논리적 합성을 통해 생성한 것이다. 또한 펄스 V_{IN}을 인가하는 입력 단은 C_X 혹은 C_O에 원하는 진폭으로 조정 가능한 펄스를 인가할 수 있도록 설계 하였으며, 이를 통해 보다 정확한 커패시턴스 측정을 위해서 작은 진폭의 펄스를 인가할 수 있도록 하였다.

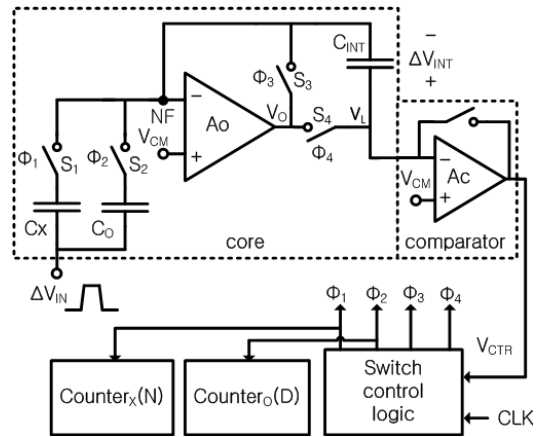


그림 2. 제안된 커패시턴스 측정 회로
 Fig. 2 Proposed capacitance measurement circuit

먼저 core부분 회로의 동작을 그림 3을 바탕으로 설명하면 다음과 같다. 큰 값의 C_O커플링으로 V_L>0을 가정하자. 이 경우에는 C_X에 의한 상승 에지 커플링으로 V_L을 감소시킬 수 있도록 스위치가 작동해야 한다. 따라서 이 조건에서는 S₁은 항상 연결되어 있으며, S₂는 꺼져 있

게 된다. phase1에서 S_3 가 켜져 NF 노드의 값을 V_{CM} 으로 초기화시킨다. 이후 상승 에지를 포함하는 phase2에서는 S_3 가 꺼지고 S_4 가 켜짐으로서 커플링 전하를 C_{INT} 에 축적하도록 한다. phase3에서는 Phase1과 마찬가지로 S_4 가 꺼지고 S_3 가 켜짐으로써 C_{INT} 의 전하를 보전함과 동시에 NF 노드 전압을 다시 초기화시킨다. phase4에서는 C_X 에 작용하는 하강 에지에 의한 커플링 전하가 C_{INT} 를 우회하도록 여전히 S_3 는 켜지고 S_4 는 꺼진 상태를 유지한다.

만약 $\Delta V_{INT} < 0$ 인 조건이라면 C_0 의 하강 에지 커플링을 받아야 하므로 S_1 대신 S_2 가 켜져 있고, phase4에서만 S_4 가 켜지고 S_3 는 꺼진 상태를 갖게 된다.

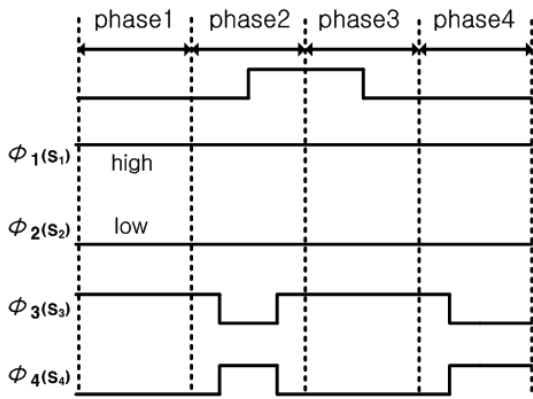


그림 3. V_{IN} 의 각 phase별 스위치 동작 타이밍도 ($V_L > 0$ 인 경우)

Fig. 3 Timing diagram of switch operation at each phase of V_{IN} (when $V_L > 0$)

제한한 측정회로는 C_0 와 C_X 의 비율을 바탕으로 커패시턴스 값을 계산하므로 정확한 C_0 값을 파악하는 것이 선행되어야 한다. C_0 의 측정은 2장에서 설명한 바와 동일하게 이루어지되, 큰 커패시턴스 값을 가지는 외부 커패시터를 C_X 로 삼아 C_0 의 값을 구하게 된다. 즉, 알려진 외부 커패시턴스 값과 C_0 값의 비율로부터 C_0 값을 측정해낸다. 다만 이 경우에는 두 커패시턴스 값이 매우 커지므로 커플링 전하를 누적하는 C_{INT} 값도 커져야 하므로 C_{INT} 에 큰 값을 갖는 온-칩 커패시터를 병렬 연결한다. 또한 초기에 한번만 시행하면 되므로 낮은 주파수로 비교적 긴 시간에 걸쳐 정확하게 측정한다.

제한한 회로에서는 C_X 와 C_0 는 각각 하나의 펄스에지만을 활용하여 커패시턴스의 비율을 측정하는데, 이것에 의해 발생할 수도 있는 에러를 보정하기 위해서 forward와 reverse의 두 가지 동작모드를 순차적으로 실시하게 된다. 즉, 2장에서 C_X 는 펄스의 상승에지에서 커플링 동작으로 C_{INT} 에 전하를 축적하고 C_0 는 펄스의 하강에지에 커플링 동작으로 전하를 유출하는 방식으로 설명하였는데 (forward모드), 이 경우 펄스의 특성이나 고정패턴의 잡음에 의하여 측정된 두 커패시턴스의 비율에 왜곡이 발생할 소지가 있다. 이를 보정하기 위하여 forward모드의 측정이 완료된 후, 자동적으로 커플링 동작이 발생하는 펄스 에지를 뒤바꾼 reverse모드를 시행하게 된다. 즉, 펄스의 상승에지에 C_0 커플링으로 C_{INT} 에 전하를 주입하며, 하강에지에 C_X 커플링으로 C_{INT} 로부터 전하를 유출하는 방식으로 C_X 와 C_0 의 비율 값을 다시 한번 구하게 된다. forward모드에 의해 측정된 비율 값과 reverse모드로 측정된 비율 값을 각각 외부로 출력하며, 외부에서는 이 두 데이터 값의 적절한 평균값으로부터 에러를 제거한 결과를 얻을 수 있다.

정확한 커패시턴스 비율 값을 구하기 위해서는 C_{INT} 에 저장된 Q_{INT} 의 초기 값이 명확하게 정의될 수 있도록 해야 한다. 즉, 최종적으로 비교기의 출력(V_{CTR})을 반전시키는 V_L 값과 같은 V_L 초기 값을 갖도록 V_L 과 Q_{INT} 를 초기화해야 하는데, 이를 위해서는 forward와 reverse모드의 각각의 측정이 시작되기 전 리셋모드를 두고 V_{CTR} 이 반전되는 시점을 찾는 동작을 하도록 설계하였다.

IV. 오차 발생 요인과 대응 방안

이 장에서는 본 논문에서 제안한 회로의 주된 오차 발생 요인들과 그에 대한 대응 방안들을 다루고자 한다. 주된 오차 발생 요인들로는 MOS 스위치들의 채널 전하 주입으로 인한 오차와 연산증폭기의 유한한 이득으로 인한 오차가 있다.

4.1. 채널 전하 주입으로 인한 오차 발생과 대응방안

채널 전하 주입 효과는 스위치로 사용한 MOS 트랜지스터가 턴-온에서 턴-오프로 상태 변화가 있을 때, 반전

층에서 채널을 형성하고 있던 전하가 드레인과 소스 터미널을 통해서 빠져나와서 인근의 노드로 흘러 들어가는 현상을 의미한다.

실제로 그림 2의 모든 스위치가 회로 동작에 영향을 미치지만 특히 연산증폭기의 출력 노드에 연결된 S₃과 S₄스위치들의 채널 전하 주입 현상이 결과에 미치는 영향이 가장 크다. 이러한 현상이 회로 동작에 있어 문제가 되는 이유는 정확한 측정 결과를 위해서는 C_x혹은 C₀에 인가되는 펄스로 인하여 발생하는 전하량만이 C_{INT}에 주입되어 V_L값을 결정해야한다. 하지만 S₃과 S₄의 채널로부터 빠져나가는 전하가 직접적으로 C_{INT}로 주입됨으로 인해서 V_L값에 오차가 발생하게 된다. 특히 측정하고자 하는 커패시턴스가 수 펄스 패킷 혹은 그 이하인 경우에서 이러한 오차는 더욱 치명적으로 작용한다. 그림 4에 2-위상 비중첩 클럭 신호로 동작하는 MOS 트랜지스터 스위치 S₃와 S₄가 온 상태에서 오프 상태로 바뀔 때, 발생하는 채널 전하 주입 현상을 도식화 하였다.

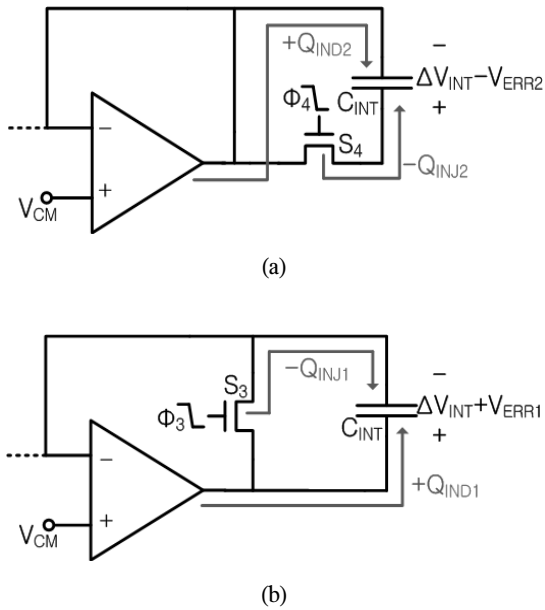


그림 4. 채널 전하 주입 효과 (a) S₃로 인한 채널 전하 주입 (b) S₄로 인한 채널 전하 주입
Fig. 4 The channel charge injection effect (a) Charge injection by S₃ (b) Charge injection by S₄

각 트랜지스터 스위치의 채널에서 빠져나와 C_{INT}로 주입되는 전하를 Q_{INJ}라 표기하고, 그로인해 커패시터의 반대편 판에 유도되는 반대 극성의 전하를 Q_{IND}라 표기 하였다. 또한 S₃과 S₄가 턴-오프 될 때, 발생하는 채널 전하 주입 효과로 인해 V_L에 오차 전압이 포함되게 되는데, 이를 각각 ΔV_{INT}+V_{ERR1}과 ΔV_{INT}-V_{ERR2}로 표기하였다. 여기서 만약 C_{INT}에 주입되는 전하 Q_{INJ1}과 Q_{INJ2}의 양이 같다면 서로 상쇄되어 오차를 발생시키지 않겠지만, 주입되는 채널전하량은 게이트-소스 전압에 따라 달라지므로 정확히 상쇄되지는 않는다. 즉, S₃ 트랜지스터는 항상 소스 전압이 V_{CM}이지만 S₄ 트랜지스터의 소스 단자는 V_L로서 그림 5와 같이 최대 ΔV_{L,MAX}=ΔV_{IN}×C₀/C_{INT} 만큼 V_{CM}과 차이가 나게 된다.

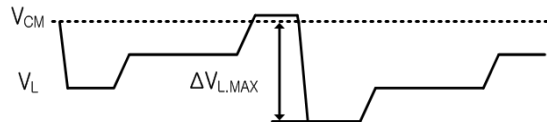


그림 5. V_{CM}과 V_L간의 최대 전압 차
Fig. 5 Maximum voltage difference between V_{CM} and V_L

따라서 게이트-소스 전압에 따른 채널주입 전하량의 미스매치를 줄이려면 가급적 C_{INT}를 증가시키고 ΔV_{IN}는 작게 하여 ΔV_{L,MAX}를 줄이는 것이 좋다. 하지만 이러한 방법을 적용하더라도 채널 전하 주입 현상은 완전히 억제되지 않기 때문에 추가적인 조치가 필요하다.

4.1.1. 더미 스위치를 이용한 전하 주입 소거

이러한 채널 전하 주입에 의한 오차를 최소화하는 방법으로는 CMOS 상보 스위치를 사용하거나 더미 스위치를 삽입하는 방법이 흔히 사용되고 있다. CMOS 상보 스위치 적용 방법은 NMOS 트랜지스터 스위치에 PMOS 트랜지스터 스위치를 병렬연결하고 두 트랜지스터가 같은 타이밍에 턴-오프 되도록 하여 각각의 채널에서 빠져나가는 반대 극성인 전하들이 서로 상쇄하도록 하여 채널 전하 주입 효과를 억제하는 것이다.

하지만 이 방법은 서로 다른 타입의 채널을 가진 트랜지스터의 사용으로 인해 완벽한 소자간의 매칭이 어려운 문제를 가지고 있으며 두 트랜지스터의 턴-오프

타이밍을 정확하게 제어하지 못하면 오히려 오차율을 대폭 증가시키는 문제를 갖고 있어 본 회로에 적용하기에는 어려움이 있다.

더미 스위치 방식은 그림 6에서와 같이 채널전하가 주입되는 노드에 주 스위치 NMOS의 절반크기를 갖는 더미 NMOS를 삽입하고 주 스위치 클럭(ϕ_3 또는 ϕ_4)의 반전위상을 갖는 클럭($\bar{\phi}_3$ 또는 $\bar{\phi}_4$)을 인가하여 주 스위치가 발생시키는 전하를 흡수하는 방식이다. 이 방식은 더미 스위치 클럭의 위상이 주 스위치 클럭의 위상과 정확히 반대가 될 필요가 없으며, 약간의 지연시간을 가지는 것이 오히려 바람직하다.

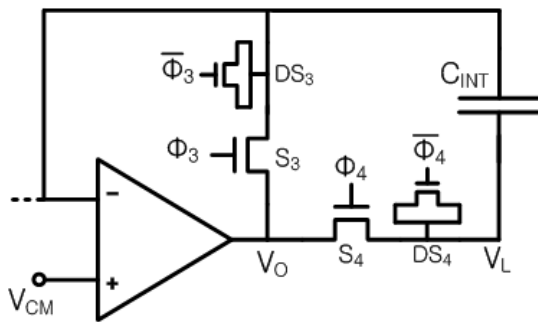


그림 6. 더미 스위치 적용 회로
Fig. 6 Circuit applying dummy switch

본 회로에서 DS₃와 DS₄는 주 스위치 S₃와 S₄의 더미 스위치이며 주 스위치가 턴-오프 될 때 C_{INT}측으로 주입되는 전하량을 상쇄할 수 있도록 width가 주 스위치 NMOS의 1/2이 되도록 하였다. 이 경우, 주 스위치 NMOS는 최소 설계 사이즈를 사용할 수 없게 되어 전체적인 채널 전하량이 많아지는 측면이 있으나, 그럼에도 같은 NMOS 트랜지스터를 사용하여 소자간의 매칭에 좋은 특성을 보이는 점, 그리고 두 트랜지스터가 턴-오프 되는 타이밍을 정확하게 제어하지 않더라도 대체적으로 안정적으로 채널 전하 주입 현상을 억제한다는 점 때문에 본 논문에서 제안한 회로에서는 더미 스위치를 이용하였다.

4.2. 연산증폭기의 유한 이득으로 인한 오차

V_L은 (forward모드라 가정할 때) phase2(그림 3 참조)에서 V_{CM}+ΔV_{INT}로 변하게 되고 이때 NF 노드의 전압은

유한 연산증폭기의 전압 이득 A₀에 의해 V_{CM}-ΔV_O/A₀이 되며, ΔQ=-C_P×ΔV_O/A₀ 만큼의 전하가 C_{INT}로부터 유출된다. 이후 phase3에서 해당 전하는 C_{INT}로 복귀하지 않고 S₃에 의해서 소멸된다. 따라서 이는 오차의 한 요인이 된다. 이와 같은 현상을 그림 7으로 도식화 하였다. C_P는 NF 노드에 존재하는 기생 커패시턴스를 의미하며 C_X에 연결되는 패드를 포함하고 있으므로 상당히 큰 값을 갖는다.

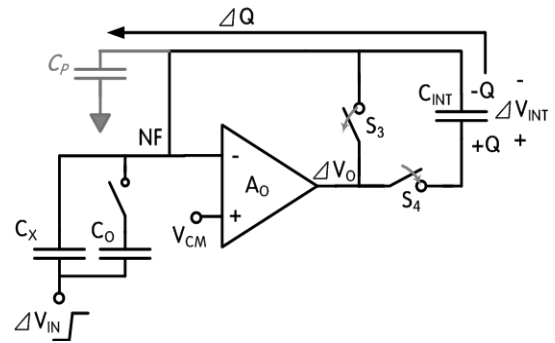


그림 7. phase2 에서 증폭기 유한이득으로 인한 전하 유출
Fig. 7 Charge leakage caused by finite gain of operational amplifier at phase2

이와 같이 C_{INT}로부터 유출되는 ΔQ를 감소시키기 위해서는 ΔV_O 혹은 C_P를 줄이거나 연산증폭기의 이득인 A₀를 증가 시켜야 한다. 이 중 C_P는 설계를 진행하며 감소시킬 수 있는 정도에 한계가 있으며 ΔV_O를 줄이기 위한 방법으로는 앞서 설명한 바와 같이 작은 스윙 폭을 갖는 클럭을 펄스 입력 단에 인가할 수 있도록 설계 및 적용 하였다. 그리고 유출 전하 ΔQ를 감소시키기 위한 가장 효과적으로 방법으로 높은 이득을 갖는 폴딩드 캐스코드 방식의 연산증폭기를 설계하여 본 논문에서 제안한 회로에 적용하였다. 설계된 폴딩드 캐스코드 연산증폭기는 81dB의 DC전압 이득과 76도의 위상 마진 그리고 130MHz의 단위 이득 주파수를 갖는다. 연산증폭기의 AC시뮬레이션 파형을 그림 8에 나타내었다.

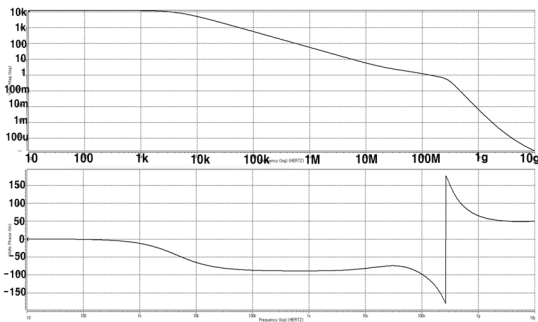
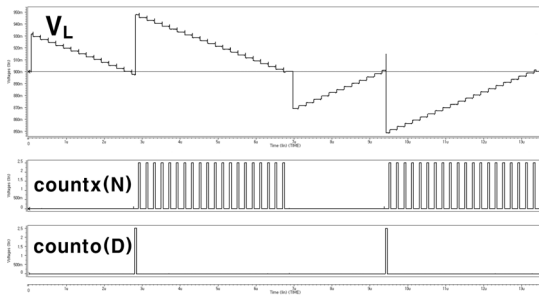


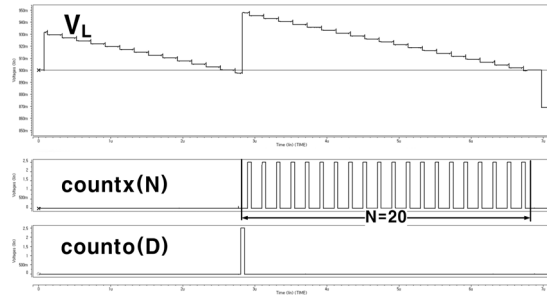
그림 8. 연산증폭기의 AC시뮬레이션 파형
Fig. 8 AC Simulation waveform of OP-AMP

V. 시뮬레이션 및 구현

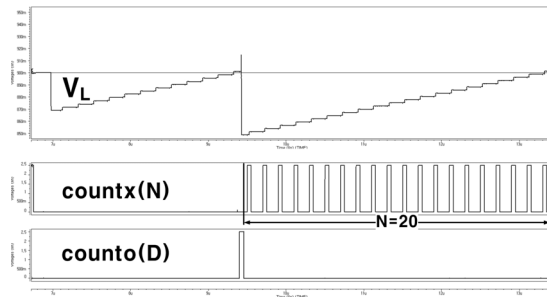
제한한 커패시턴스 측정 회로는 표준 CMOS 0.18 μ m 공정을 사용하여 설계하고 검증하였다. 회로의 성능을 측정하기 위해서 HSpice를 사용하여 시뮬레이션을 수행하였으며 전원전압은 2.5V를 인가하였다. 시뮬레이션을 위해 외부에서 인가하는 클럭 신호는 duty비가 50%이고 주파수가 20MHz인 펄스를 사용하였다. 또한 그림 7에서 나타낸 C_p 는 2pF로 예측하여 회로에 적용하고 시뮬레이션을 수행하였다. 시뮬레이션 파형은 그림 9와 그림 10에 나타내었다.



(a)



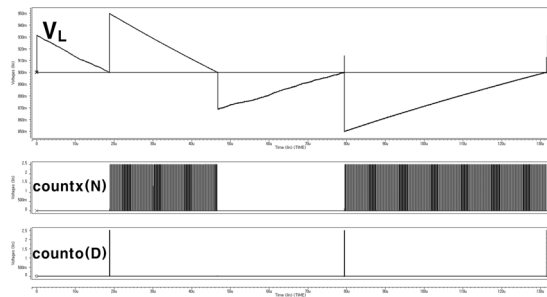
(b)



(c)

그림 9. 10fF의 시뮬레이션 파형
(a) 10fF의 시뮬레이션 결과 (b) forward모드에서의 측정 결과 (c) reverse모드에서의 측정 결과

Fig. 9 Simulation waveform of 10fF
(a) Simulation result of 10fF (b) Simulation result at forward mode (c) Simulation result at reverse mode



(a)

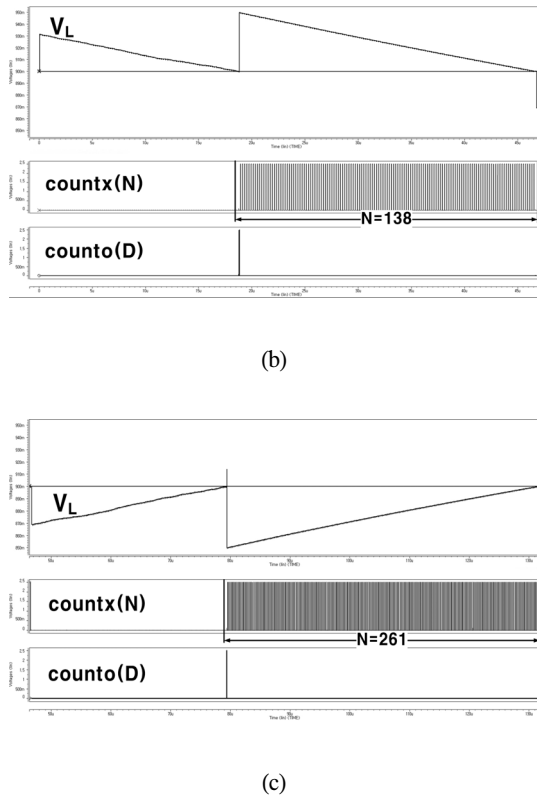


그림 10. 1fF의 시뮬레이션 파형
 (a) 1fF의 시뮬레이션 결과 (b) forward모드에서의 측정 결과 (c) reverse모드에서의 측정 결과
 Fig. 10 Simulation waveform of 1fF
 (a) Simulation result of 1fF (b) Simulation result at forward mode (c) The simulation result at reverse mode

시뮬레이션 결과에는 C_{INT} 에 축적되는 전하량 Q_{INT} 에 따른 V_L 의 파형, C_x 의 커플링 횟수 N 을 측정된 $countx$, 그리고 C_o 의 커플링 횟수 D 를 측정된 $counto$ 의 파형이 포함되어 있다.

그림 9와 그림 10은 측정하고자 하는 커패시턴스인 C_x 에 임의의 값으로 각각 10fF과 1fF을 입력한 경우에 대해서 제안한 회로를 HSpice로 시뮬레이션 하여 얻은 출력 파형이다. 10fF에 대한 시뮬레이션 결과를 살펴보면 200fF인 C_o 의 커플링 횟수 D 와 10fF으로 입력한 C_x 의 커플링 횟수 N 의 비가 forward와 reverse모드에서 모두 1:20으로 측정 되었으며 이 결과 값은 C_o 와 C_x 간의 크기 비와 일치하기 때문에 C_x 가 정확히 측정 됐음을 알 수

있다. 다음으로 1fF에 대한 경우, forward모드에서는 D 와 N 의 비가 1:138이므로 C_x 는 1.4492fF이며, reverse모드에서는 D 와 N 의 비가 1:261이므로 C_x 는 0.7662fF인 측정 결과를 얻었다. 이는 각 모드에서의 측정 결과 값이 임의로 입력한 커패시턴스 C_x 에 대해 44.928%와 -23.372%의 오차를 갖고 있다는 것을 보여주며 이를 통해 측정하고자 하는 커패시턴스의 스케일이 작아짐에 따라 고정 패턴의 잡음과 펄스의 특성이 끼치는 부정적인 영향은 증가한다는 것을 알 수 있다.

하지만 3장에서 설명한 바와 같이 forward와 reverse모드에서 얻은 두 커패시터의 비율 값의 적절한 평균값을 구하는 방법을 사용하면 에러가 대폭 제거된 결과 값을 얻을 수 있다. 즉, 이 두 모드에서 측정된 비율로 구한 결과 값 1.4492fF과 0.7662fF간의 조화 평균으로 측정하고자 하는 커패시턴스 C_x 를 다시 구하게 되면 그 값은 1.0025fF이며 이는 임의로 입력한 1fF의 C_x 에 대해서 두 모드 중에 한 모드에서만 측정된 결과보다 월등히 적은 0.251%의 오차를 갖는 다는 것을 보여준다. C_x 는 C_o 와의 비율관계에 의해 그 값이 계산되므로 조화평균을 취함으로써 동일한 오차요인을 서로 상쇄할 수 있다. 실제 측정에 있어서 측정 경험과 데이터 누적에 따라 사용자가 forward와 reverse모드에서의 결과를 다양한 형태로 활용할 수 있을 것이다.

본 설계에서는 이론적으로는 0.1fF 이하의 값을 측정할 수 있도록 N카운터, D카운터를 15 비트로 설계하였다. S_4 스위치 저항과 C_{INT} 에 의한 R-C 지연시간에 의해 C_o 의 전하가 모두 C_{INT} 로 옮겨가는데 소요되는 시간은 1ns 정도이며 이는 펄스에지 이후 S_4 가 켜져 있는 구간, 즉 전체 펄스주기의 1/8 이내에 완료되어야 하므로 V_{IN} 노드에 인가될 수 있는 펄스의 최대 주파수는 125MHz이다. 이에 따라 최대 15비트 해상도의 커패시턴스 데이터 측정 대역폭은 대략 2k sample/s이다. 제안한 측정 회로의 속도를 향상 시키려면 전하 전송이 이루어지는 노드에 위치한 스위치 트랜지스터의 width를 증가시켜 R-C지연시간을 줄여야한다. 하지만 트랜지스터에 종속된 커패시턴스와 채널 전하 주입 효과는 트랜지스터의 width 증가에 비례하므로 이는 측정 커패시턴스의 정확도를 떨어뜨릴 수 있다. 즉 데이터율과 정확도는 trade-off 관계에 있음을 알 수 있으며 채널선폭의 감소와 소자 성능 개선에 따라 전체적으로 개선될 수 있다.

제안한 회로는 표준 CMOS 0.18 μm 공정을 사용하여 설계하였으며, 그림 11은 해당 공정을 사용한 커패시턴스 측정 회로의 레이아웃이다. 칩의 우측은 연산증폭기를 포함한 아날로그 회로이며 좌측은 컨트롤 로직과 카운터 그리고 레지스터를 포함하고 있는 디지털 회로이다. 칩 코어의 면적은 270 \times 215 μm^2 이며, 칩은 현재 제작 중이다.

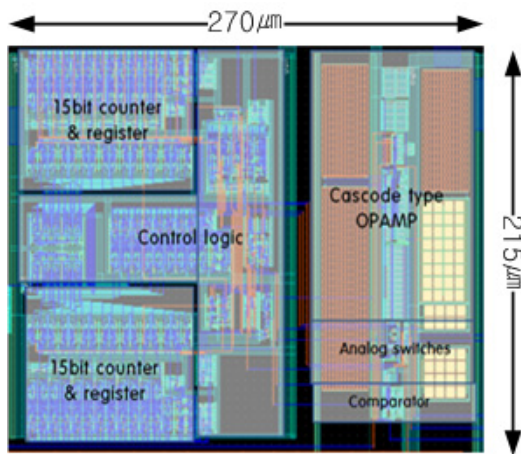


그림 11. 커패시턴스 측정 회로 레이아웃
Fig. 11 Layout of the capacitance measurement circuit

VI. 결 론

본 논문은 펄스 패럿 단위의 커패시턴스 측정을 위한 비울형 커패시턴스 측정 회로를 설계하고 평가하였다. 비울형 커패시턴스 측정 회로의 성능평가를 위한 HSpice 시뮬레이션에서 최대 5fF의 커패시턴스까지 정확한 측정이 가능하며, 그 보다 작은 1fF의 커패시턴스에 대해서는 $\pm 0.3\%$ 이내의 오차 범위에서 측정이 가능함을 검증하였다. 하지만 실제 기생성분 및 2차 효과가 온-칩 측정 회로의 정밀성에 미치는 영향에 대해서는 칩 제작 완료 후 실제 측정 실험의 결과를 토대로 추가적인 연구가 진행되어야 한다. 본 논문에서 제안한 비울형 커패시턴스 측정 회로는 기존에 제안된 측정 회로들과는 달리 복잡한 네트워크를 구성하지 않고도 아주

작은 절대 값을 갖는 펄스 패럿 단위의 커패시턴스를 작은 오차 범위 이내에서 측정해 낼 수 있는 장점을 가지고 있다.

감사의 글

이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 도약연구 지원(2011-0020461)과 반도체설계교육센터(IDEC)의 CAD tool 지원에 감사드립니다.

참고문헌

- [1] B. George, J. Kumar, "Novel Switched - Capacitor Dual Slope Capacitance to Digital Converter for Differential Capacitive Sensors," in Proc. I2MTC 2009 May. 2009
- [2] C. T. Chiang, C. S. Wang and Y. C. Huang, "A Monolithic CMOS Autocompensated Sensor Transducer for Capacitive Measuring Systems," in Proc. IEEE Transactions on instrumentation and measurement, vol. 57, NO. 11, November. 2008
- [3] N. M. Mohan, A. R. Shet, V. J. Kumar, "Digital Converter for Differential Capacitive Sensors," in Proc. IMTC 2006, April. 2006
- [4] D. S. Lee, K. C. Kim, H. D. Park, "Integral C-V Converter for a Fully Differential Capacitive Pressure Sensor," 전자공학회논문지 SD편 제38권 제9호 2002.9
- [5] P. Vitanov, T. Dimitova and I. Eisele, "Direct capacitance measurements of small geometry MOS transistor," Microelectronics Journal, Vol.22(1991), Nos. 7-8, pp.77-89.

저자소개



정재웅(Jae-Woong Chung)

2011년 광운대학교 전자통신
공학과 졸업 (공학사)
2011년~현재 광운대학교
전자통신공학과 석사과정

※ 관심분야: 바이오센서, ADC 설계, IT-SoC



정인영(In-Young Chung)

1994년 서울대학교 전자공학과
학사
1996년 서울대학교 전자공학과
석사

2000년 서울대학교 전기공학부 공학 박사
2000년~2004년 삼성전자 메모리 사업부
2004년~2008년 경상대학교 전기전자공학부 조교수
2008년~현재 광운대학교 전자통신공학과 부교수

※ 관심분야: 바이오센서, **Mixed-mode** 설계,
메모리소자 및 회로설계, 나노소자