

---

# DGMOSFET의 문턱전압과 스켈링 이론의 관계

정חק기\*

Relation of Threshold Voltage and Scaling Theory for Double Gate MOSFET

Hakkee Jung\*

## 요 약

본 연구에서는 이중게이트(Double Gate; DG) MOSFET에서 문턱전압과 스켈링 이론의 관계를 관찰하였다. 기존 MOSFET의 경우 채널크기에 스켈링 이론을 적용하여 전류 및 스위칭주파수를 해석하였다. 이에 본 연구에서는 이중게이트 MOSFET에서 문턱전압의 경우 스켈링 이론의 적용가능성을 관찰하기 위하여 문턱전압의 변화를 스켈링 인자에 따라 관찰하고 분석하였다. 이를 위하여 이미 검증된 포아송방정식의 해석학적 전위분포를 이용하였으며 이때 가우스함수의 진하분포를 사용하였다. 분석결과 문턱전압이 스켈링 인자에 따라 크게 변화하였으며 변화정도는 도핑농도의 스켈링에 따라 변화한다는 것을 관찰하였다. 특히 이중게이트의 특성상 채널두께 및 채널길이에 스켈링 이론을 적용할 때 가중치를 이용한 변형된 스켈링 이론을 적용함으로써 이중게이트 MOSFET에 가장 타당한 스켈링 이론에 대하여 설명할 것이다.

## ABSTRACT

This paper has presented the relation of scaling theory and threshold voltage of double gate(DG) MOSFET. In the case of conventional MOSFET, current and switching frequency have been analyzed based on scaling theory. To observe the possibility of application of scaling theory for threshold voltage of DGMOSFET, the change of threshold voltage has been observed and analyzed according to scaling theory. The analytical potential distribution of Poisson equation has been used, and this model has been already verified. To solve Poisson equation, charge distribution such as Gaussian function has been used. As a result, it has been observed that threshold voltage is greatly changed according to scaling factor and change rate of threshold voltages is traced for scaling of doping concentration in channel. This paper has explained for the best modified scaling theory reflected the influence of two gates as using weighting factor when scaling theory has been applied for channel length and channel thickness.

## 키워드

DGMOSFET, 스켈링 이론, 포아송방정식, 문턱전압, 단채널효과, 채널길이

## Keyword

DGMOSFET, scaling theory, Poisson equation, threshold voltage, short channel effect, channel length

---

\* 종신회원 : 군산대학교 (교신저자,hkjung@kunsan.ac.kr)

접수일자 : 2012. 02. 13

심사완료일자 : 2012. 03. 14

## I. 서 론

과거 수십년동안 반도체 산업의 가장 핵심적인 분야는 대규모 집적회로의 집적도 향상이었다. 집적도를 향상시키면 생산성이 증가하여 가격경쟁력이 증대하므로 반도체 시장에서 우위를 점할 수 있기 때문이다. 그러므로 메이저급 반도체사는 모든 역량을 집중하여 집적도 향상에 정진하고 있다. 집적도 향상은 단순히 트랜지스터를 작게 만들어 동일한 칩면적에 많은 트랜지스터를 제작하는 공정의 개발에 그치지 않는다. 트랜지스터의 크기 감소는 전기적 출력특성에 영향을 미칠 것이며 이로 인한 기생현상이 발생할 것이다. 그러므로 트랜지스터의 크기가 작아져도 전기적 특성을 유지하기 위하여 스켈링 이론이 적용되어야 한다. 스켈링 이론이란 채널길이, 채널 폭, 게이트산화막두께 등 채널 크기와 관계된 파라미터를 스켈링 인자  $S$  배로 감소시켰을 때 도핑농도는  $S^2$  배로 증가시켜야만 드레인전류가  $S$  배, 입력커패시턴스가  $1/S$  배, 스위칭주파수가  $S^2$  배 등 전기적 출력특성이 스켈링 인자  $S$  와 관계된다는 법칙이다.

그러나 트랜지스터의 크기를 줄이기 위하여  $S$  를 너무 크게 증가시키면 채널의 도핑이 매우 높아진다는 단점이 있다. 이와같이 채널크기 파라미터와 채널도핑과는 상호관련되어 있으므로 스켈링 이론을 적용하여 트랜지스터를 제작할 때 매우 주의하여야한다. 스켈링 이론의 적용은 전기적 출력특성에만 적용되지 않고 문턱전압이하의 기생현상에도 영향을 미친다. 이는 문턱전압이하 특성 역시 채널크기 및 채널도핑농도 등에 매우 큰 영향을 받으며 변화하기 때문이다[1].

트랜지스터가 작아지면 작아질수록 소위 2차현상으로 불리우는 기생현상이 증가하게 된다. 이 중 가장 문제가 되고 있는 기생현상은 단채널효과라고 하는 문턱전압이동 현상(threshold voltage roll-off), 문턱전압이하 스윙저하 현상(subthreshold swing degradation), 그리고 드레인유기장벽감소 현상(drain induced barrier lowering) 등이다.

이와같이 채널의 크기 감소에 따라 발생하는 단채널효과를 줄이기 위하여 여러 가지 구조를 개발하여 연구하고 있다. 이 중 가장 연구가 활발히 진행되고 있는 소자가 다중게이트 MOSFET이다. 여러 개의 게이트를 갖

도록 트랜지스터를 설계하여 이들 게이트에서 채널 내 캐리어들을 제어하므로 게이트의 전류제어 능력이 증가하여 동일한 크기의 MOSFET보다 우수한 전류제어 능력을 갖게 되므로 결국 채널의 크기가 상대적으로 감소하는 효과를 나타낼 수 있다.

다중게이트 구조 중에는 상하에 2개의 게이트를 가진 이중게이트(Double Gate; DG) MOSFET 소자[2]와 채널을 핀(Fin)형태로 제작하여 3개의 게이트를 가지도록 제작하는 FinFET 소자[3]가 대표적이다. 또한 최근 트랜지스터의 구조를 혁신적으로 개선하여 완전히 게이트로 채널을 둘러싸아 만드는 서라운드(Surrounding) MOSFET 소자[4] 등이 개발 중에 있다. 최근 공정개발로 인하여 나노소자 제작이 가능하게 되면서 궁극적으로 단채널효과를 제거할 수 있는 소자로 각광받으며 세계적으로 연구가 진행되고 있다. 이와 같은 구조 중, 본 연구에서는 가장 기본이 되는 이중게이트 MOSFET 소자를 이용하여 해석할 것이다.

DGMOSFET에 대한 이론적인 연구는 포아송방정식을 풀어 해석학적 전위분포모델 등을 구하고 이를 이용하여 단채널 효과를 해석하는데 집중하고 있다[5].

본 연구에서는 DGMOSFET의 단채널 효과 중 문턱전압의 변화를 스켈링 이론을 이용하여 분석, 고찰할 것이다. 포아송방정식을 풀 때 가우스함수를 이용한 Tiwari의 문턱전압 모델[6]을 이용할 것이며 특히 가우스함수의 파라미터인 이온주입범위 및 분포편차의 스켈링 이론 적용에 대해서도 고찰할 것이다. 즉, 포아송방정식의 검증된 전위분포모델[6]을 이용하여 구한 해석학적 문턱전압에 대하여 스켈링 이론을 적용할 것이다. 게이트가 두 개이므로 채널길이 및 채널두께 그리고 산화막두께에 대하여 스켈링 인자  $S$  에 가중치(weighting factor)를 적용하는 변형된 스켈링 이론을 DGMOSFET에 적용하므로써 문턱전압에 대하여 최적의 스켈링 이론을 유도하도록 분석하였다.

2장에서는 Tiwari의 문턱전압 모델 및 스켈링 이론에 대하여 설명할 것이며 3장에서 스켈링 이론을 적용했을 때 문턱전압의 변화를 소자 파라미터인 도핑강도와 채널길이 및 두께, 그리고 산화막두께 등에 대하여 분석할 것이다. 4장에서 결론 및 향후 개발방향을 제시할 것이다.

II. 문턱전압 모델과 스켈링 이론

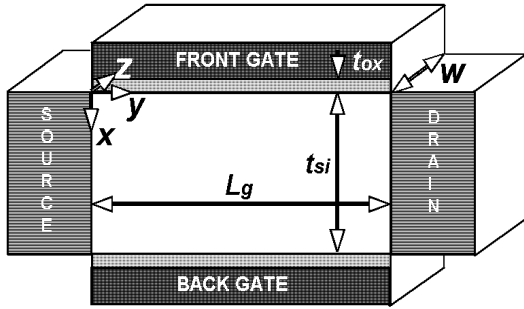


그림 1. DG MOSFET의 개략도  
Fig. 1 Schematic view of DG MOSFET

DG MOSFET는 그림 1과 같이 상하에 각각 게이트를 제작하는 구조이다. 대부분의 이론적 연구[7]에서 논의한 바와 같이  $x, y$  방향에 대해서만 전위분포를 구할 것이다. 즉, 채널폭 방향인  $z$  방향으로의 전위분포는 거의 일정하므로  $x, y$  방향의 2차원 전위분포만을 다음과 같은 포아송방정식을 이용하여 구한다.

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = \frac{qn(x)}{\epsilon_{si}} \quad (1)$$

$$n(x) = N_p \exp\left(-\left\{\frac{x - R_p}{\sqrt{2}\sigma_p}\right\}^2\right) \quad (2)$$

여기서  $N_p$ 는 이온주입시 도즈량에 의하여 결정되는 최대 도핑분포값이며  $R_p$ 와  $\sigma_p$ 는 각각 이온주입의 범위 및 분포편차를 나타낸다. 식 (1)과 (2)를 풀기 위하여 다음과 같은 경계조건과 Tiwari 등의 전개방법을 이용하면 전위분포를 구할 수 있다.

$$\begin{aligned} \phi(x, y) \Big|_{x=0} &= \phi_s(y) \\ \frac{\epsilon_{ox}}{t_{ox}} [V_G - V_{fb} - \phi(0, y)] &= -\epsilon_{si} \frac{\partial \phi}{\partial x} \Big|_{x=0} \quad (3) \\ \phi(0, 0) &= V_{bi} \\ \phi(0, L_g) &= V_{bi} + V_D \end{aligned}$$

여기서  $\phi_s$ 는 표면전위이며  $V_{fb}$ 는 평탄전위,  $V_{bi}$ 는 전위장벽을 나타내며  $V_G$ 와  $V_D$ 는 각각 게이트 및 드레인 전압이다. 이미 발표한 논문에서 전위분포 관련식의 타당성에 관하여 검증하였다[8]. 이렇게 구한 전위분포 중, 게이트산화막과 반도체와의 계면에서 표면전위를 구하고 이의 최소값을 구하면 문턱전압을 구할 수 있다. 즉, 문턱전압의 정의를 이용하면 표면전위의 최소값이 페르미전위  $\phi_f$ 의 2배가 될 때 게이트전압을 구하여 문턱전압으로 정한다. 정의를 이용하여 구한 문턱전압은 다음과 같다.

$$V_{th} = \frac{R - \{R^2 - 4(4HK - 1) \times (4NP - Q^2)\}^{1/2}}{8HK - 2} \quad (4)$$

$$Q = V_{fb} + 2\phi_f + \lambda^2 q N_p \exp(-B^2) / \epsilon_{si}$$

$$\begin{aligned} R = 2Q - 4HK &[(M - V_D / (\exp(L_g / \lambda) - 1)) \\ &+ (M - V_D / (\exp(-L_g / \lambda) - 1))] \end{aligned}$$

여기서  $H, K, M, \lambda, N, P$ 는 참고문헌[8]에 표시되어 있다. 식(4)에서  $\phi_f$ 는 페르미전위,  $\epsilon_{si}$ 는 실리콘의 유전율,  $V_D$ 는 드레인 전압이다. 식 (4)에서 알 수 있듯이 문턱전압은 드레인 전압에 따라 변화하므로 0.1V로 고정하여 관찰하였다. 생산성 향상을 위하여 트랜지스터 크기의 감소는 필연적이다. 이 때 채널길이 감소에 따라 발생할 수 있는 역효과를 보상하여야 한다. 채널길이 감소에 따라 발생할 수 있는 현상중 하나는 드레인 전계가 직접 소스로부터 전자를 잡아당기는 현상이며 이 현상을 감소시키기 위하여 기판도핑을 증가시켜 드레인전계가 기판으로 통과하는 거리를 단축시켜야 한다. 그러나 증가된 기판 도핑농도는 몸체인자(body effect)를 증가시키며 결과적으로 문턱전압을 증가시킨다. 문턱전압을 낮게 유지하기 위하여 게이트산화막의 두께를 감소시킬 필요가 있다.

이는 입력 커패시턴스를 증가시키기 때문에 이를 보상하기 위하여 채널폭을 감소시켜야 한다. 이와 같은 일반적인 스켈링 이론에 따라 전기적 출력특성을 유지하기 위하여 채널길이, 채널두께, 게이트산화막두께, 채널폭 등을 스켈링 인자  $S$ 배 만큼 감소시켰을 때 채널도핑농도는  $S^2$ 배만큼 증가시켜야 한다.

DGMOSFET의 경우 게이트단자가 2개 존재하므로 상기에서 언급한 스켈링 이론의 타당성 여부를 고찰해야만 한다. 그러므로 본 연구에서는 스켈링 이론의 타당성 여부를 문턱전압을 이용하여 고찰할 것이다. 또한 이온주입범위 및 분포편차의 스켈링에 대해서도 고찰할 것이다.

### III. 스켈링이론에 따른 문턱전압의 변화

먼저 이온주입범위 및 분포편차를 스켈링 인자에 따라 스켈링하였을 때와 고정하였을 때 문턱전압의 변화를 그림 2에 도시하였다.

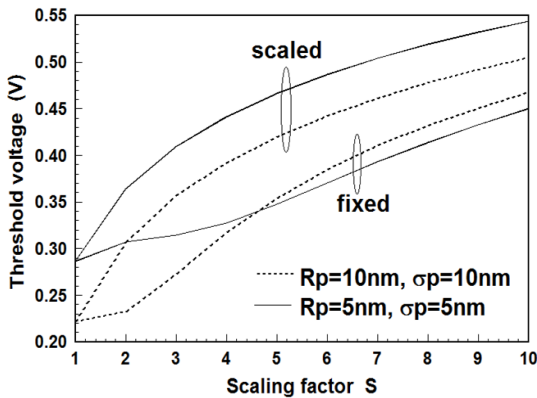


그림 2. 이온주입범위 및 분포편차의 스켈링 유무에 따른 문턱전압의 변화  
Fig. 2 Threshold voltage deviation for existence of scaling for projected range and standard projected deviation

본 연구에서 초기 파라미터는 채널길이 100nm, 채널 두께 50nm, 게이트산화막두께 10nm, 그리고 채널도핑 농도는  $10^{15} / cm^3$ 를 사용하였다. 스켈링 인자가 증가할수록 즉, 채널크기가 감소하고 채널도핑농도가 증가할수록 문턱전압이 증가하는 것을 알 수 있다. 그러나 이온주입범위 및 분포편차를 고정하였을 때는 증가율이 일정치 않으며 이온주입범위 및 분포편차의 값에 따라서 증가율에 변화를 보였다. 이온주입범위 및 분포편차를 동일하게 스켈링하였을 때는 증가율이 거의

일정하며 이온주입범위 및 분포편차의 변화에 따라서 증가율이 일정하다는 것을 관찰할 수 있었다. 그러므로 이온주입범위 및 분포편차도 동일하게 스켈링하여야 할 것이다.

이온주입범위 및 분포편차의 효과를 좀 더 자세히 고찰하기 위하여 그림 3에 이온주입범위 및 분포편차를 변화시키면서 스켈링 인자에 대한 문턱전압의 변화를 도시하였다. 분포편차를 일정하게 유지하고 이온주입범위가 증가하면 문턱전압이 감소하는 것을 알 수 있다. 그러나 증가율은 동일하게 유지하고 있다는 것을 관찰할 수 있다.

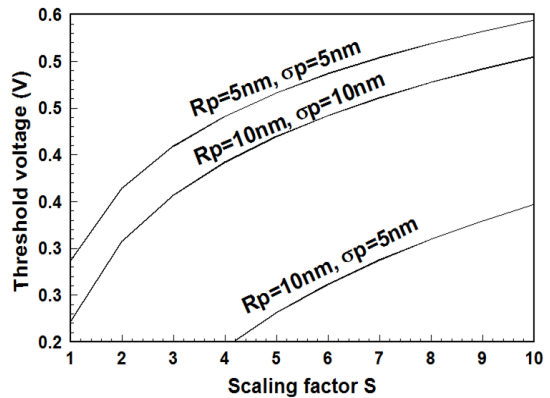


그림 3. 이온주입범위 및 분포편차의 크기에 따른 문턱전압의 변화  
Fig. 3 Threshold voltage deviation for values of projected range and standard projected deviation

또한 이온주입범위를 고정하고 분포편차를 증가시키면 문턱전압도 증가하면서 스켈링 인자에 대한 증가율은 계속 유지하고 있다는 것을 알 수 있다. 이와같이 이온주입범위 및 분포편차의 크기에 따라 문턱전압값은 변화하나 증가율은 거의 일정하게 유지하고 있다는 것을 알 수 있다.

DGMOSFET의 경우 두 개의 게이트 단자를 가지므로 일반적인 스켈링 이론과 달리 채널두께 및 채널길이 그리고 게이트산화막의 두께변화에 가중치를 두어 문턱전압을 관찰하였다. 먼저 그림 4에 채널두께 및 게이트산화막 두께에 대해서만 가중치를 적용하여 구한 문턱전압을 도시하였다. 그림에서 알 수 있듯이 가중치가 증가할수록 문턱전압이 증가하고 있다는 것을 알 수 있

다. 그러나 증가율의 형태는 거의 일정하다는 것을 관찰할 수 있다. 또한 가중치가 증가할수록 문턱전압의 증가율은 급격히 감소하여 가중치가 4 정도 이상에서는 문턱전압이 거의 일정하게 유지될 수 있다는 것을 알 수 있다. 가중치의 증가는 채널길이에 비교하여 채널두께 및 게이트산화막 두께를 현저하게 감소시켜야 하므로 가중치를 계속 증가시키면 제작공정이 난이해질 수 있다는 단점이 있다.

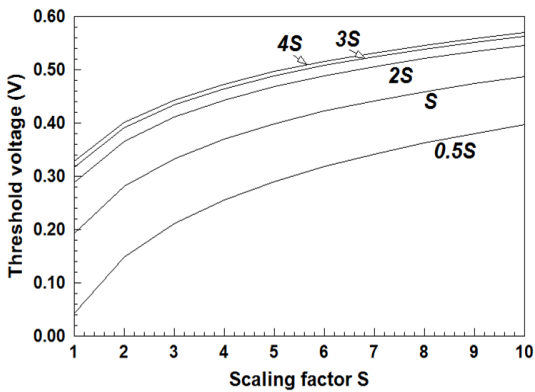


그림 4. 채널두께 및 게이트산화막두께의 가중치 변화에 따른 문턱전압의 변화

Fig. 4 Threshold voltage deviation for change of weighting factor for channel thickness and gate oxide thickness

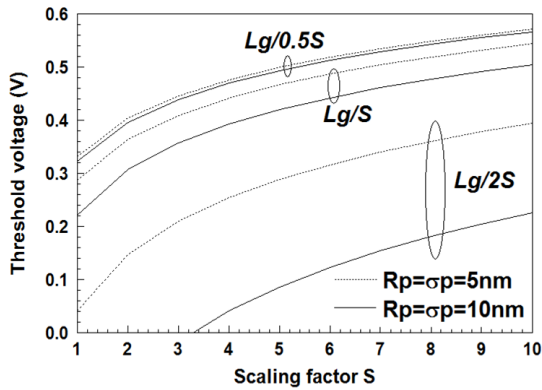


그림 5. 채널길이에 가중치를 적용했을 경우 문턱전압의 변화

Fig. 5 Threshold voltage deviation in case of applying weighting factor for channel length

가중치를 0.5로 하면 문턱전압을 감소시킬 수 있다. 그러나 문턱전압을 감소시키면 문턱전압이하 전류 즉, 차단전류가 증가하는 문제를 야기한다. 채널길이에 대하여 가중치를 적용했을 때 문턱전압의 변화를 이온주입범위 및 분포편차를 파라미터로하여 그림 5에 도시하였다. 그림에서 알 수 있듯이 가중치를 0.5로 하였을 때 증가율을 유지하면서 문턱전압은 증가한다. 그림 3과 비교해 보면 알 수 있듯이 이온주입범위와 분포편차가 10nm일 때는 5nm일 때보다 문턱전압이 감소한다.

이때 가중치가 0.5로 주어지면 이온주입범위 및 분포편차의 변화에 거의 영향을 받지않고 일정한 문턱전압을 유지하고 있다는 것을 알 수 있다. 그러나 가중치가 2로 증가하면 이온주입범위 및 분포편차의 변화에 매우 민감하게 변화하고 있다는 것을 알 수 있다. 가중치가 2로 증가하면 문턱전압을 감소시키는 효과가 있으나 전술한 바와같이 차단전류를 증가시키며 채널 길이를 더욱 작게 제작하여야 한다는 문제를 야기시킨다.

그림 4와 그림 5를 비교해 보면 채널두께 및 게이트산화막두께에 대해선 가중치를 증가시켰을 때의 문턱전압이 증가하며, 채널길이에 대해선 가중치를 감소시켰을 때 문턱전압이 증가하는 것을 알 수 있다. 또한 이온주입범위 및 분포편차가 감소하면 가중치에 따른 문턱전압의 변화가 감소하고 있다.

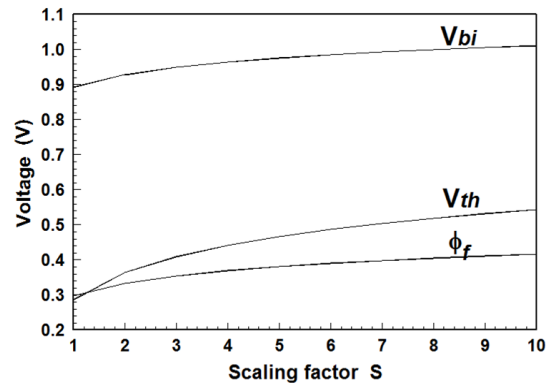


그림 6. 전위장벽 및 페르미전위의 스캘링 인자에 따른 변화

Fig. 6 Barrier height and Fermi potential deviation for scaling factor

채널길이에 대해서 1이하의 가중치를 사용하는 것은 결국 채널두께를 증가시키는 효과가 있으므로 그림 4와 비교하면 유사한 결과를 나타내고 있다.

이미 언급한 그림에서 알 수 있듯이 스켈링 인자가 증가하면 문턱전압이 증가하는 것을 알 수 있다. 그 원인을 파악하기 위하여 문턱전압 식 (4)를 고찰해 보면 결과적으로 참고문헌[8]에서 알 수 있듯이  $H, K, M, \lambda, N, P$ 는 스켈링 인자와 관계없이 일정하다는 것을 알 수 있었다. 그러나 스켈링 이론에 의하면 채널도핑이  $S^2$ 로 증가한다. 그러므로 스켈링 인자  $S$ 가 증가하면 채널도핑이 매우 증가하며 결국 식 (4)에서 페르미 전위에 영향을 미친다. 또한 도핑농도와 관계된 변수를 살펴보면 경계조건 식 (3)의 전위장벽도 채널도핑농도에 영향을 받는다. 이와 같이 페르미전위와 전위장벽의 스켈링 인자에 대한 변화를 그림 6에 도시하였다. 예측한 바와같이 스켈링 인자에 따른 전위장벽 및 페르미전위의 변화가 문턱전압과 유사하다는 것을 알 수 있다. 그러므로 문턱전압의 변화와 스켈링 인자에 대한 변화는 대부분 도핑농도의 스켈링 인자에 좌우된다는 것을 알 수 있다. 그러므로 도핑농도를 스켈링 인자와 관계없이 일정하게 유지하면 문턱전압도 일정하게 유지될 수 있으나 이럴 경우 드레인 전류나 스위칭주파수 등 전기적 출력을 일정하게 유지할 수 없을 것이다.

#### IV. 결 론

본 연구에서는 이중게이트 MOSFET에서 문턱전압과 스켈링 이론의 관계를 관찰하였다. 이온주입범위 및 분포편차에 대한 스켈링 적용여부를 판단한 결과 스켈링 이론을 적용할 때 더욱 안정적인 문턱전압의 변화를 관찰하였다. 또한 스켈링된 이온주입범위 및 분포편차의 크기에 따른 문턱전압의 스켈링 인자에 대한 변화가 관찰되었다. 이중게이트 MOSFET의 경우 두 개의 게이트 단자를 가지므로 채널두께 및 채널길이 그리고 게이트 산화막의 두께변화에 가중치를 두어 문턱전압을 관찰하였다. 분석 결과 가중치에 따라 문턱전압을 크게 변화시킬 수 있다는 것을 알 수 있었다. 문턱전압의 감소는 차단전류의 증가를 야기시키므로 적절한 가중치를 사용하여야만 한다.

문턱전압은 스켈링 인자에 따라 증가하는 경향을 보이므로 그 원인을 분석한 결과, 도핑농도에 따라 변화하는 전위장벽 및 페르미전위의 스켈링 인자에 대한 변화율에 따라 문턱전압이 변화하는 것을 관찰하였다. 즉 문턱전압의 변화는 대부분 도핑농도의 스켈링 인자에 의한 변화 때문이다. 이와같은 결과는 향후 DGMOSFET의 문턱전압이하 특성을 분석하는 기본자료로 활용할 수 있다고 사료된다.

#### 참고문헌

- [1] U.Monga, T.A.Fjeldly, "Compact Sub-threshold Current Modeling of Short-Channel Nanoscale Double-Gate MOSFET," IEEE Trans. on Elec. Devices Vol.56, No.7, pp. 1533-1537, 2009.
- [2] Z.Ding, G.Hu, H.Gu, R.Liu, L.Wang and T.Ting, "An Analytical Model for the Subthreshold Swing of Double-Gate MOSFETs:," IWJT-2010, May 2010.
- [3] T.Dutta and S.Dasgupta, "Double Gate Underlap FinFET Device Optimization and Application in SRAM Design at 15nm," 2009 int'l conference on Emerging Trends in Electronic and Photonic Device & Systems, pp.66-69, 2009.
- [4] S.H.Oh, D.Monroe and J.M. Hergenrother, "Analytic Description of Short-Channel Effects in Fully-Depleted Double-Gate and Cylindrical, Surrounding-Gate MOSFETs," IEEE Electron Device Letters, Vol.21, No.9, pp.445-447, 2000.
- [5] M.A.Abdi, F.Djeffal, D.Arar and T.Bendib, "An analytical subthreshold swing model to study the scalability limits of double-gate MOSFETs including bulk traps effects," 2010 Int'l conference on Design & Technology of Integrated Systems in Nanoscales Era, pp.1-6, 2010.
- [6] P.K. Tiwari, S. Kumar, S. Mittal, V. Srivastava, U. Pandey and S. Jit, "A 2D Analytical Model of the Channel Potential and Threshold Voltage of Double-Gate(DG) MOSFETs with Vertical Gaussian Doping Profile," IMPACT-2009, pp.52-55, 2009.

- [7] A.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 53, no.4, pp.737-741, 2006.
- [8] H.K.Jung, "Analysis of Doping Profile Dependent Threshold Voltage for DGMOSFET Using Gaussian Function," International Journal of KIMICS, Vol.9, No.3, pp.310-314, 2011.

### 저자소개



#### 정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과  
B.S.

1985.3 연세대학교 전자공학과  
M.S.

1990.8 연세대학교 전자공학과 Ph.D

1995.8 일본 오사카대학 교환교수

2005.8 호주 그리피스대학 교환교수

1990.3-현재 군산대학교 전자공학과 교수

2011.1-현재 한국정보통신학회 총무부회장

※ 관심분야: 반도체소자 시뮬레이션, 몬테칼로  
시뮬레이션, 회로 및 시스템 해석 등