

논문 2012-07-34

매니코어 프로세서 상에서 이산 웨이블릿 변환을 위한 성능 평가 및 분석

(Performance Evaluation and Analysis for Discrete Wavelet Transform on Many-Core Processors)

박용훈, 김종면*

(Yong-Hun Park, Jong-Myon Kim)

Abstract : To meet the usage of discrete wavelet transform (DWT) on portable devices, this paper implements 2-level DWT using a reference many-core processor architecture and determine the optimal many-core processor. To explore the optimal many-core processor, we evaluate the impacts of a data-per-processing element ratio that is defined as the amount of data mapped directly to each processing element (PE) on system performance, energy efficiency, and area efficiency, respectively. This paper utilized five PE configurations (PEs=16, 64, 256, 1,024, and 4,096) that were implemented in 130nm CMOS technology with a 720MHz clock frequency. Experimental results indicated that maximum energy and area efficiencies were achieved at PEs=1,024. However, the system area must be limited 140mm² and the power should not exceed 3 watts in order to implement 2-level DWT on portable devices. When we consider these restrictions, the most reasonable energy and area efficiencies were achieved at PEs=256.

Keywords : Discrete wavelet transform, Many-core processor, Energy efficiency, Area efficiency

1. 서론

최근 영상 처리 및 통신 기술의 발달은 휴대용 기기에서도 멀티미디어 신호 처리를 가능하게 하였다. 하지만 멀티미디어 신호의 광대한 데이터로 인해 휴대용 기기에서 실시간 처리의 제약을 가지며, 실시간 처리를 만족시킨다 하더라도 많은 전력 소모를 야기하는 문제점을 발생시킨다. 이와 같은 이유로 최근 멀티미디어 신호의 압축을 위한 하드웨어 구현에 대한 연구가 많이 진행되고 있다 [1-4].

영상 압축은 데이터의 핵심이나 특징이 변질되지 않도록 화소를 압축하는 방법으로, JPEG과 MPEG이 대표적이다. JPEG과 MPEG은 8x8 화소 단위로 이산 코사인 변환(discrete cosine

transform)을 수행하여 영상을 압축하는데 압축률이 높아짐에 따라 8x8 화소 블록의 경계 부분에 영상의 열화 현상이 나타나는 단점이 있다. 반면, 이산 웨이블릿 변환(Discrete Wavelet Transform, DWT)은 영상 전체를 대상으로 주파수 변환을 수행함으로써 압축하여 영상의 열화 현상을 제거할 수 있어 JPEG2000의 표준으로 사용되고 있다. 하지만 DWT는 저대역/고대역 필터 연산의 반복을 통해 수행되기 때문에 많은 계산량이 요구된다 [5].

영상 처리를 위해 사용되는 고가의 프로세서들은 많은 계산량이 요구되는 DWT 연산을 실시간으로 수행할 수 있을 정도의 높은 성능을 제공한다. 하지만 휴대용 기기에서의 멀티미디어 영상 압축을 위해서는 고속 처리와 함께 저전력 소모를 만족하여야 하는데, 이를 위한 대안 가운데 하나로 SIMD(Single Instruction Multiple Data) 기반 매니코어 프로세서 아키텍처가 유망하다 [6, 7]. SIMD 기반 매니코어 프로세서는 여러 개의 저비용 프로세싱 엘리먼트(Processing Element, PE)를 이용하여 고성능을 추구하고 동시에 저장 장소와 데이터 통신 요구를 최소화하기 위해 PE와 데이터 입-출력

* 교신저자(Corresponding Author)

논문접수 : 2012. 06. 18., 수정일 : 2012. 07. 16.,
채택확정 : 2012. 08. 01.

박용훈, 김종면 : 울산대학교 전기공학부

※ 이 논문은 2012년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. 2012-0004962).

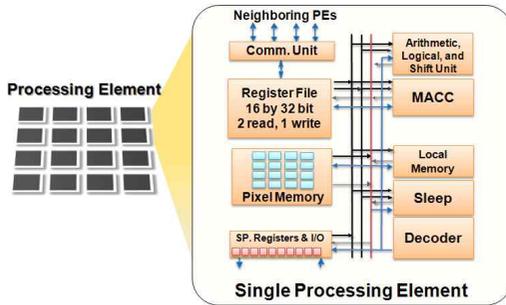


그림 1. SIMD 기반 매니코어 프로세서 아키텍처
Fig. 1. SIMD-based many-core processor architecture

을 동일 위치에 배치함으로써 저전력을 만족시킨다 [8]. 특히 지역성과 규칙성이 있는 2차원 영상이나 비디오 화소 연산은 SIMD 기반 매니코어 프로세서에 적합하다.

본 논문에서는 DWT 알고리즘을 SIMD 기반 매니코어 프로세서 상에서 수행 될 수 있도록 DWT 알고리즘을 병렬 구현한다. 또한 가장 효율적인 에너지 소비와 면적을 사용하는 최적의 PE 구조를 탐색하기 위해 PE당 합성하는 데이터 (data-per-processing element, DPE) 수를 변화시키는 실험을 통해 시스템 이용률, 에너지 효율 및 시스템 면적 효율을 측정한다. 실험은 동일한 130nm 테크놀로지와 720MHz의 동작 주파수를 사용하여 다섯 가지의 PE 구조(PEs=16, 64, 256, 1,024, 4,096)에 대해 수행된다.

본 논문의 구성은 다음과 같다. 2장에서는 SIMD 기반 매니코어 프로세서 아키텍처 구조, DWT의 동작 과정, 그리고 매니코어 프로세서 상에서 DWT의 병렬 구현 방법을 각각 설명한다. 3장에서는 성능 측정 방법론과 성능 평가 지표에 대해 소개하고, 4장에서는 각 PE 구조별 시스템 이용률, 에너지 효율, 면적 효율에 대해 성능을 분석한다. 마지막으로 5장에서 본 논문의 결론을 맺는다.

II. 실험 환경

1. SIMD 기반 매니코어 프로세서 아키텍처

그림 1은 SIMD 기반 매니코어 프로세서 아키텍처의 블록도이다. PE와 이를 제어하는 어레이 제어 유닛(Array Control Unit, ACU)으로 구성되어 있고, 데이터가 각각의 PE에 분배되면 PE들은 격자(mesh) 배열 구조에서 명령어들을 수행한다. PE는

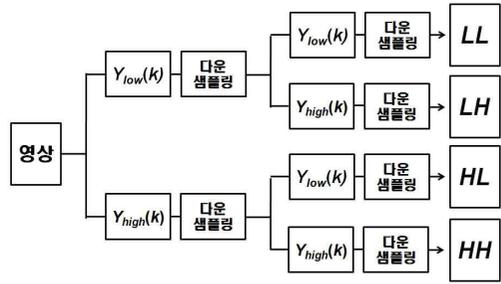


그림 2. 1단계 2차원 이산 웨이블릿 변환
Fig. 2. 1-level 2D discrete wavelet transform

다음과 같은 특징을 갖는다.

- 32비트 폭으로 구성된 로컬메모리
- 32비트 폭의 16개 3포트 범용 레지스터
- 기본적인 산술/논리 연산을 수행하는 ALU(arithmetic logic unit)
- 64비트 곱셈 및 누산기(multiplier and accumulator)
- 멀티 비트 산술/논리 시프트 연산을 수행하는 배럴 시프터(barrel shifter)
- 지역 정보를 이용해 각 PE들을 활성화 및 비활성 시키는 Sleep 유닛
- 이웃하는 PE들과 데이터 통신을 위한 NEWS(north-east-west-south) 네트워크 및 직렬 입·출력

2. 이산 웨이블릿 변환

그림 2는 영상의 1단계 2차원 DWT 수행 과정으로 1단계 2차원 DWT는 먼저 식 (1)과 같이 저대역/고대역 통과 필터를 이용하여 영상 신호를 열방향과 행 방향으로 통과시키고, 각 필터 통과 후 다운 샘플링(down sampling)을 함으로써 총 4개의 부대역(LL, LH, HL, HH) 영상 신호를 만들어 낸다.

$$y_{low}(k) = \sum_{n=0}^{M-1} x(2k-n)h(n) \tag{1}$$

$$y_{high}(k) = \sum_{n=0}^{N-1} x(2k-n)g(n)$$

여기서 $x(k)$ 는 영상의 화소를 나타내고, $h(n)$ 과 $g(n)$ 은 저대역/고대역 웨이블릿 필터를 나타내며, M 과 N 은 저대역/고대역 필터 계수의 개수를 나타낸다. 본 논문에서는 DWT 수행을 위해 Daubechies 9/7 웨이블릿 필터를 사용하였는데, 이는 다른 필터들과 비교할 때 블록 현상이 적게 나

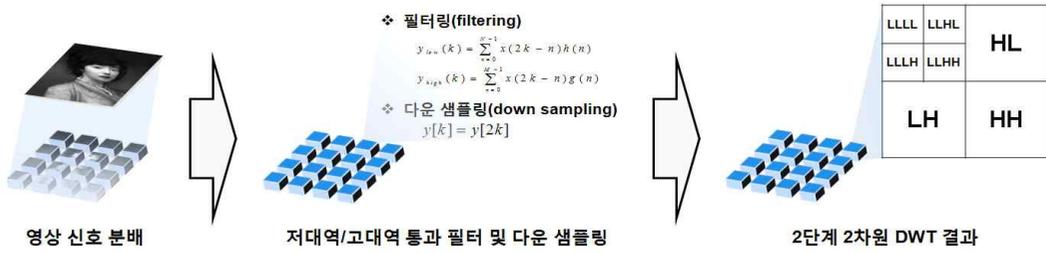


그림 3. 매니코어 프로세서 상에서 2단계 DWT 병렬 구현 과정 : 영상 신호 분배 및 2단계 DWT 수행
 Fig. 3. Parallel implementation of 2-level DWT on a many-core processor : image signal distribution to each PE and 2-level DWT process on each PE

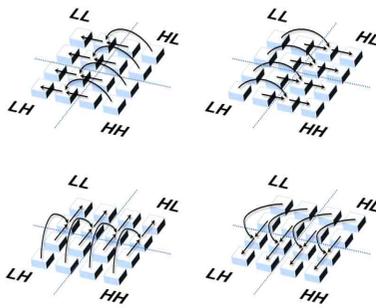


그림 4. 매니코어 프로세서 상에서 2단계 DWT 병렬 구현 과정 : 부대역(LL, LH, HL, HH) 영상 신호 정렬
 Fig. 4. Parallel implementation of 2-level DWT on a many-core processor : subband image signal sorting (LL, LH, HL, and HH)

타나기 때문이다 [9].

3. 이산 웨이블릿 변환의 병렬 구현

본 논문에서는 1단계 2차원 DWT 수행 후 LL 부대역 영상 신호를 이용하여 다시 한 번 DWT를 수행하는 2단계 2차원 DWT 알고리즘을 매니코어 프로세서 상에 병렬 구현한다. 그림 3-5는 16개의 PE를 사용하였을 때 매니코어 프로세서 상에서 DWT 병렬 구현하기 위한 예를 보여주며, 각 단계 별 자세한 내용은 아래와 같다.

- 단계 1 : 그림 3에서와 같이 ACU는 256x256 크기의 영상 신호를 16개의 PE에 각각 분배하여 데이터를 각 PE의 로컬 메모리에 저장한다. 다음으로 각 PE는 할당된 영상 신호에 대해 2단계 2차원 DWT를 수행한 후 그림 3의 결과와

같이 영상 신호를 정렬한다.

- 단계 2 : 2단계 DWT 수행 결과를 출력하기 위해서는 먼저 그림 4와 같이 16개의 PE를 4등분하여 각 PE는 LLLL, LLLH, LLHL, LLHH 부대역 영상 신호를 LL의 위치에, HL 부대역 영상 신호를 LH의 위치에, HL 부대역 영상 신호를 HL의 위치에, HH 부대역 영상 신호를 HH의 위치에 있는 PE로 XFER 명령어를 이용하여 전송한다.
- 단계 3 : 단계 2가 완료되면 LL의 위치에 있는 PE를 제외한 나머지 PE의 경우는 모두 알맞은 영상 신호가 정렬된다. 따라서 LL의 위치에 있는 PE들은 또다시 4등분하여 LLLL, LLLH, LLHL, LLHH 부대역 영상 신호의 출력이 올바르게 나타날 수 있도록 단계 2와 동일한 방법으로 영상 신호를 정렬한다. 이때, LH, HL, HH의 위치에 있는 PE들은 2단계 DWT 출력을 위한 올바른 영상 신호들이 이미 정렬된 상태이므로 에너지 소비를 줄이기 위해 Sleep 명령어를 이용하여 비활성화 시킨다. 모든 부대역 영상 신호의 정렬이 완료되면 그림 5의 결과와 같은 압축 영상을 얻을 수 있다.

2단계 2차원 DWT를 수행하는데 각 PE에 할당되는 메모리의 크기는 그림 6에 나타나 있다. 각 PE의 로컬 메모리는 크게 2단계 DWT 수행 후 최종 결과가 저장되는 영역, 1, 2단계 DWT 수행 중 생성된 부대역 영상 신호들이 저장되는 영역, 그리고 DWT 수행을 위한 웨이블릿 필터 계수들이 저장되는 영역으로 나뉜다. 표 1은 DWT 수행을 위한 최적의 매니코어 프로세서 아키텍처를 찾기 위해 모델링된 프로세서 아키텍처의 파라미터이다.

LLLL, LLLH, LLHL, LLHH 부대역
영상 신호 정렬

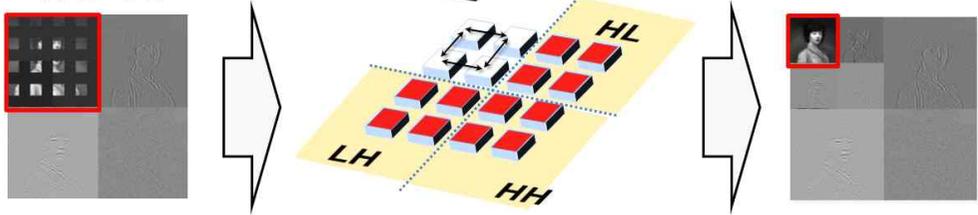


그림 5. 매니코어 프로세서 상에서 2단계 DWT 병렬 구현 과정 : 부대역(LLLL, LLLH, LLHL, LLHH) 영상 신호 정렬
Fig. 5. Parallel implementation of 2-level DWT on a many-core processor : subband image signal sorting (LLLL, LLLH, LLHL, and LLHH)

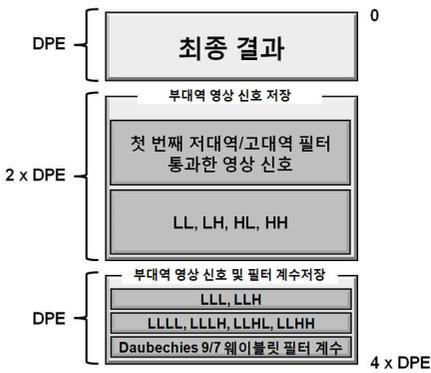


그림 6. 로컬 메모리 데이터 맵
Fig. 6. Local memory data map

표 1. 본 논문에서 사용한 모델링된 파라미터
Table 1. Modeled parameters used in this study

Parameter	Value				
# of PEs	16	64	256	1,024	4,096
DPE	4,096	1,024	256	64	16
Memory/PE	16,384	4,096	1,024	256	128
Clock Frequency	720MHz				
Intercon. Network	Mesh				
Image Size	256x256				

III. 실험 방법론 및 성능 분석 지표

그림 7은 세 가지 레벨에서 SIMD 기반의 매니코어 프로세서 실험결과를 측정하기 위한 과정을

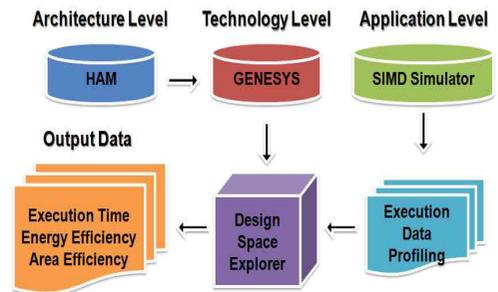


그림 7. 매니코어 프로세서를 위한 실험 방법론
Fig. 7. Simulation methodology for a many-core processor

나타낸다. 아키텍처 레벨에서는 HAM(heterogeneous architecture models) 틀을 사용하여 렌즈 상수(Rent's constant)와 프로세서를 구성하는 게이트의 평균 핀의 수 그리고 최상 경로(critical path)를 통해 매니코어 프로세서의 로직 게이트 수를 예측한다 [10]. 테크놀로지 레벨에서는 제네시스(Generic System Simulator, GENESYS)를 통해 아키텍처 레벨에서 구해진 로직 게이트의 수를 바탕으로 각 아키텍처 모델들의 사이클 타임(cycle time), 와이어 지연(latency), 전력(power), 클럭 주파수(clock frequency)와 동적 및 정적 전력 등의 테크놀로지 변수를 예측한다. 세 번째 어플리케이션 레벨에서는 SIMD 시뮬레이터를 통해 구현된 알고리즘의 실행결과를 측정하여 총 명령어 수와 명령어 종류별 실행 횟수를 추출한다. 마지막으로 수집한 정보들을 종합하여 실행시간, 에너지 효율, 면적효율을 구한다.

표 2는 성능을 평가하기 위해 사용한 세 가지 성능 평가 지표를 보여준다 [11]. C는 2단계 DWT

표 2. 매니코어 프로세서 아키텍처의 성능 평가 지표
Table 2. Evaluation metrics of a many-core processor architecture

실행 시간	$t_{exec} = C/f_{clk}$
에너지 효율	$\eta_E = \frac{1}{t_{exec} \times Energy} \left[\frac{1}{s \times Joules} \right]$
면적 효율	$\eta_A = \frac{1}{t_{exec} \times Area} \left[\frac{1}{s \times mm^2} \right]$

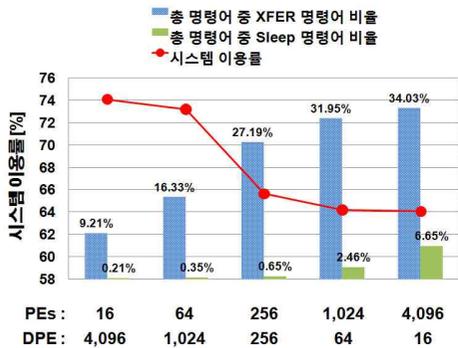


그림 8. 시스템 이용률 및 XFER/Sleep 명령어 사용 비율

Fig. 8. System utilization rate and usage rate of XFER/Sleep instructions

수행이 완료되는데 요구되는 사이클 수, f_{clk} 는 시스템의 클럭 주파수, 면적(Area)은 시스템의 단위 면적(mm^2), 에너지(Energy)는 130nm 공정에서 한 명령어가 실행되는데 소비되는 에너지(Joules)를 나타낸다.

IV. 성능 분석

1. 시스템 이용률

시스템 이용률은 PE의 활성화 상태와 비활성화 상태를 합하여 100%로 보았을 때 활성화 상태가 차지하는 비율을 나타내며 이는 시스템이 자원을 얼마나 효율적으로 사용하고 있는지를 나타내는 지표로 사용될 수 있으며, 시스템 이용률이 높을수록 시스템 자원을 효율적으로 사용할 수 있다고 볼 수 있다. 그림 8은 SIMD 기반 매니코어 프로세서 상에서 DWT를 수행하였을 때 DPE 비율에 따른 시스템 이용률과 총 명령어 중 PE간 데이터 전송을

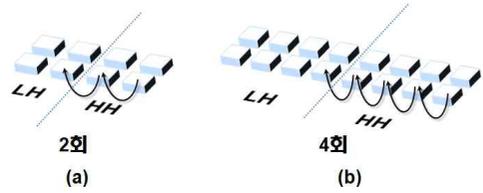


그림 9. PE수에 따른 XFER 명령어 사용 횟수
Fig. 9. Usage count of the XFER instruction according to the number of PEs

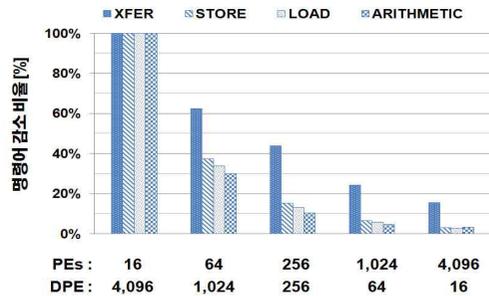


그림 10. PE 구조별 수행된 명령어 수
Fig. 10. Executed instructions for different PE configurations

위한 XFER 명령어와 비활성화 상태를 제어하는 Sleep 명령어가 차지하는 비율을 보여준다.

그림 8에서 볼 수 있듯이 DPE 비율이 감소할수록(혹은 PE수가 증가할수록) PE간 영상 신호 전송을 위한 XFER 명령어와 PE 비활성화를 위한 Sleep 명령어 사용이 증가하는 것을 확인할 수 있다. 먼저 XFER 명령어의 경우, 그림 9에서와 같이 사용되는 PE가 증가될수록 DWT 수행 후 부대역 영상 신호의 정렬을 위해 영상 신호를 이웃 PE로 전송하는 횟수와 boundary 처리를 위해 전송하는 횟수가 증가되기 때문에 전송 명령어의 총 사용량이 증가하는 원인이 된다.

PE비활성화를 위한 Sleep 명령어의 경우는 3장 3절에서 언급하였듯이 단계 2가 완료된 후 에너지 소비 절감을 위해 LL에 위치한 PE들을 제외한 나머지 PE들을 비활성화 상태에 두게 된다. 따라서 DPE 비율이 감소할수록(혹은 PE수가 증가할수록) 비활성화 상태에 놓여야 하는 PE수가 증가하게 되므로 Sleep 명령어의 사용이 증가하게 된다. 이와 같은 이유로 PE가 증가할수록 시스템 이용률은 감소하게 된다. 하지만 그림 8에서 DPE 비율이 256 이상에서는 시스템 이용률이 거의 일정해지는 것을

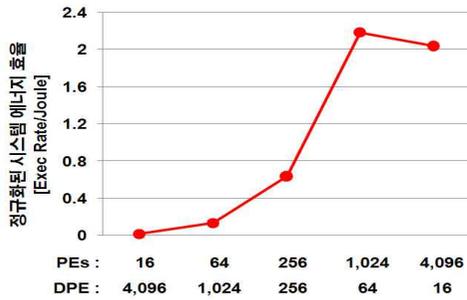


그림 11. PE 구조별 에너지 효율
Fig. 11. Energy efficiency for different PE configurations

확인할 수 있는데 이는 그림 10에서 볼 수 있듯이 DPE 비율이 256이하에서 산술 연산(arithmetic) 명령어, 저장(store) 명령어, 그리고 로드(load) 명령어 사용 비율은 지수적으로, XFER 명령어 사용 비율은 선형적으로 감소되지만 그 이후에서는 모든 명령어 사용 비율이 선형적으로 감소되며, 감소 비율도 줄어들기 때문이다.

2. 에너지 효율

에너지 효율은 2단계 DWT를 수행하기 위해 소비된 에너지 당 수행되는 작업량을 뜻한다. 그림 11은 PE 구조별 에너지 효율을 보여준다. 세로축은 에너지 효율의 평균값으로 정규화 되었기 때문에 세로축의 수치보다는 에너지 효율이 나타내는 모양이 중요하다.

그림 12와 그림 13에서 볼 수 있듯이 1,024개의 PE까지는 PE 당 사용된 에너지와 실행시간이 비슷한 비율로 감소하기 때문에 에너지 효율이 증가하는 모습을 보인다. 하지만 4,096개의 PE에서는 이전 PE에 비해 실행시간은 32.2% 감소하였지만 영상 신호 정렬을 위한 XFER 명령어 사용 횟수의 증가로 알고리즘을 완료하는데 사용한 총 에너지는 PE 구조에 비해 57% 증가하였기 때문에 에너지 효율이 감소하게 되었다. 2009 국제 반도체 기술 로드맵(International Technology Roadmap for Semiconductors 2009)에 따르면 휴대용 기기의 전력 소모는 3와트(watts)의 제약을 갖게 되는데 [12], 그림 12와 그림 13에서 볼 수 있듯이 4,096개의 PE를 사용하는 구조를 제외하고는 모두가 제약을 만족한다.

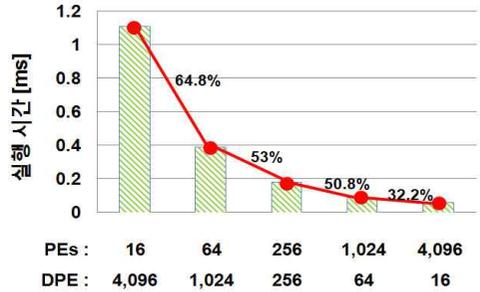


그림 12. PE 구조별 실행 시간
Fig. 12. Execution time for variable PE configurations

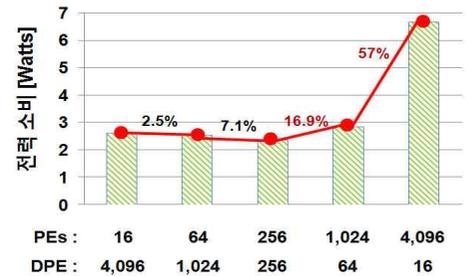


그림 13 PE 고조별 전력 소비
Fig. 13. Power consumption for variable PE configurations

3. 면적 효율

면적 효율은 시스템 단위면적당 DWT 알고리즘의 처리량 보여준다. 그림 14은 정규화 된 시스템 면적 효율 보여주며, 에너지 효율과 마찬가지로 세로축은 면적 효율의 평균값으로 정규화 되어 면적 효율이 나타내는 그 모양이 중요하다.

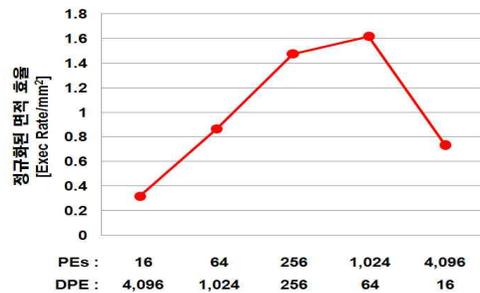


그림 14. PE 구조별 면적 효율
Fig. 14. Area efficiency for different PE configurations

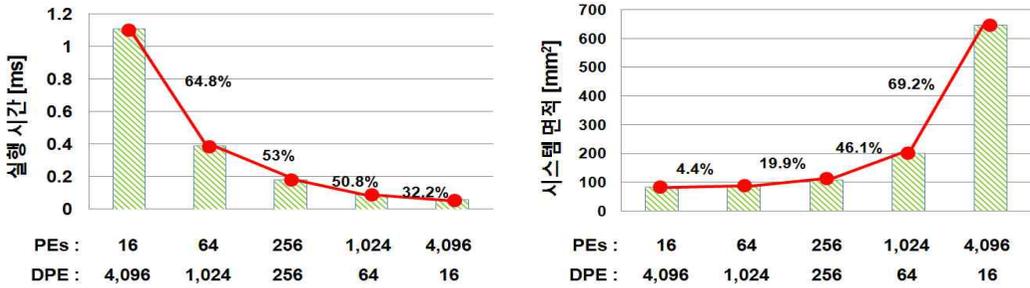


그림 15. PE 구조별 실행 시간과 시스템 면적

Fig. 15. Execution time and system area for different PE configurations

그림 15에서 볼 수 있듯이 PE개수가 1,024개 이하에서는 늘어난 면적 비율에 비해 알고리즘이 수행되는 실행시간의 감소 비율이 크기 때문에 면적 효율이 증가한다. 하지만 4,096개의 PE를 사용하였을 때는 감소된 실행 시간에 비해 늘어난 면적의 비율이 높기 때문에 면적효율 또한 크게 감소되었다. 에너지와 마찬가지로 2009 국제 반도체 기술 로드맵에 따르면 휴대용 기기의 시스템 면적은 140mm²의 제약을 갖게 되는데 [12], 그림 15에서 볼 수 있듯이 1,024개 이상의 PE를 사용하는 구조를 제외하고는 모두 이 제약을 만족한다.

IV. 결 론

본 논문에서는 휴대용 기기에서 멀티미디어 압축을 위해 2단계 2차원 DWT 알고리즘을 매니코어 프로세서 상에 병렬 구현하였다. 가장 효율적인 에너지 소비와 면적을 사용하는 최적의 PE 구조를 탐색하기 위해 PE당 합성하는 데이터 수를 변화시키는 실험을 통해 시스템 이용률, 에너지 효율 및 시스템 면적 효율을 측정하였다. 실험은 동일한 130nm 테크놀로지와 720MHz의 동작 주파수를 사용하여 다섯 가지의 PE 구조(PEs=16, 64, 256, 1,024, 4,096)를 대상으로 진행하였다. 실험 결과 가장 높은 에너지 효율과 면적 효율은 1,024개의 PE를 사용하였을 때 나타났다. 하지만 2009 국제 반도체 기술 로드맵에 의하면 휴대용 기기의 전력 소모는 3와트(watts), 시스템 면적은 140mm²의 제약을 갖게 되는데, 이를 고려한 결과 256개의 PE를 사용하였을 때 가장 효율적임을 확인 할 수 있었다. 최근 병렬처리 분야에서 그래픽 처리 장치 (Graphics Processing Unit, GPU)를 이용한 멀티

미디어 압축에 대한 연구가 활발히 진행됨에 따라 향후 GPU와 매니코어 프로세서 아키텍처의 성능 비교와 관련한 연구를 진행 할 것이다. 또한, 다양한 이미지 사이즈에 대해 에너지 효율 및 시스템 면적 효율 측면에서 최적의 매니코어 아키텍처 연구를 수행할 것이다.

참고문헌

- [1] 유제택, 현명환, 남주훈, “DSP와 FPGA의 Co-design을 이용한 원격 측정용 임베디드 JPEG2000 시스템 구현,” 한국항공우주학회 논문지, Vol. 39, No. 9, pp.896-903, 2011.
- [2] 이만희, 박인규, 원석진, 조성대, “GPU를 이용한 DWT 및 JPEG2000의 고속 연산,” 전자공학회 논문지, Vol. 44, No. 6, pp.625-631, 2007.
- [3] 이승권, 공진홍, “JPEG2000 이산 웨이블릿 변환의 컨볼루션기반 non-cascaded 아키텍처를 위한 pipelined parallel 최적화 설계,” 전자공학회 논문지, Vol. 46, No. 7, pp.543-552, 2009.
- [4] 서영호, 김왕현, 김종현, 김동욱, “실시간 2차원 웨이블릿 영상 압축기의 FPGA 구현,” 한국통신학회 논문지, Vol. 27, No. 7, pp.683-694, 2002.
- [5] 정갑천, 박성모, “JPEG2000 영상 압축을 위한 라인 기반의 리프팅 DWT 구조 설계,” 전자공학회 논문지, Vol. 41, No. 11, pp.1061-1068, 2004.
- [6] A.D. Bias, “The UCSC Kestrel parallel processor,” IEEE Transactions on Parallel and Distributed Systems, Vol. 16, No. 1, pp.80-92, 2005.

- [7] A. Gentile, D.S. Wills, "Portable video supercomputing," IEEE Transactions on Computers, Vol. 53, No. 8, pp.960-973, 2004.
- [8] L.V. Huynh, 김철홍, 김종면, "퍼지 벡터 양자화를 위한 대규모 병렬 알고리즘", 한국정보처리학회 논문지, Vol. 16, No. 6, pp.411-418, 2009.
- [9] I. Daubechies, "Orthonormal bases of Compactly Supported Wavelets," Communications on Pure and Applied Mathematics, Vol. 41, No. 7, pp.909 - 996, 1988.
- [10] S.M. Chai, T. Taha, D.S. Wills, J.D. Meindl, "Heterogeneous architecture models for interconnect-motivated system design," IEEE Transactions on VLSI Systems, Vol. 8, No. 6, pp.660-670, 2000.
- [11] A. Gentile, S. Sander, L. Wills, D.S. Wills, "The impact of grain size of the efficiency of embedded SIMD image processing architecture," Journal of Parallel Distributed Computing, Vol. 64, No. 11, pp.1318-1327, 2004.
- [12] International Technology Roadmap for Semiconductors 2009 Edition, <http://www.itrs.net/Links/2009ITRS/Home2009.htm>

저 자 소 개

박 용 훈



현재, 울산대 전기공학부
학사과정.

관심분야: 임베디드시스템,
컴퓨터구조, 병렬처리.

Email:
ase018@naver.com

김 종 면



1995년 명지대 전기공학과
학사.

2000년 University of
Florida 전기컴퓨터공학과
석사.

2005년 Georgia Tech.
전기컴퓨터공학과 박사.

현재, 울산대 전기공학부 교수.

관심분야: 임베디드 SoC, 컴퓨터구조, 병렬처리.

Email: jmkim07@ulsan.ac.kr