

논문 2012-49CI-3-2

# 16개의 처리기를 가진 다중접근기억장치를 위한 영상처리 알고리즘의 구현에 대한 성능평가

(Performance Analysis of Implementation on Image Processing Algorithm for Multi-Access Memory System Including 16 Processing Elements)

이 유 진\*, 김 재 회\*\*, 박 중 원\*\*\*

(You-Jin Lee, Jea-Hee Kim, and Jong Won Park)

## 요 약

최근 3D TV나 영화, 증강현실과 같은 대용량 고화질의 영상 응용분야가 확산됨에 따라 빠른속도로 영상을 처리하는 것이 요구되고 있다. 여러개의 프로세서로 구성되어 병렬처리 성능을 극대화 시킬 수 있는 SIMD구조의 컴퓨터는 다양하고 많은 양의 데이터들을 처리하는 것을 가속화한다. 다중접근기억장치인 MAMS는 여러개의 PE와 고성능 SIMD 구조에 최적화된 시스템으로 MAMS는 메모리 모듈을  $M \times N$ 의 2-D array 개념을 적용하여 X, Y 좌표 및 임의의 간격으로  $pq$ 개의 데이터 각각에 수평, 수직, 대각선, 역대각선, 블록의 다양한 방식으로 충돌없이 접근하며, 이 메모리모듈(MM)의 개수  $m$ 은  $pq$  개수보다 큰 소수이다. MAMS-PP4는 4개의 PE와 5개의 MM로 구성되어 기존에 구현된 바 있다. 이 논문에서는 MAMS-PP4의 확장으로 16개의 PE와 17개의 MM으로 구성된 MAMS-PP16에 대한 영상처리 알고리즘의 구현과 그에 따른 성능평가에 대해 소개한다. MAMS-PP16의 인스트럭션 포맷은 64비트로 확장되어 새로 설계 되었으며 특정 어플리케이션의 추가와 새로운 인스트럭션이 포함되어 있다. 본 논문에서는 구현된 알고리즘이 수행될 수 있도록 MAMS-PP16의 시뮬레이터를 개발하였다. 이 시뮬레이터를 통해 구현된 영상처리 알고리즘을 수행함으로써 MAMS-PP16의 성능이 향상되었음을 확인하였다. 영상처리 알고리즘 중 피라미드 기법을 적용하여 수행한 결과, 캐시를 사용하는 Serial processor에서는 랜덤한 응답인 반면, 캐시를 사용하지 않는 MAMS-PP16에서 일정한 응답을 확인 하였다.

## Abstract

Improving the speed of image processing is in great demand according to spread of high quality visual media or massive image applications such as 3D TV or movies, AR(Augmented reality). SIMD computer attached to a host computer can accelerate various image processing and massive data operations. MAMS is a multi-access memory system which is, along with multiple processing elements(PEs), adequate for establishing a high performance pipelined SIMD machine. MAMS supports simultaneous access to  $pq$  data elements within a horizontal, a vertical, or a block subarray with a constant interval in an arbitrary position in an  $M \times N$  array of data elements, where the number of memory modules(MMs),  $m$ , is a prime number greater than  $pq$ . MAMS-PP4 is the first realization of the MAMS architecture, which consists of four PEs in a single chip and five MMs. This paper presents implementation of image processing algorithms and performance analysis for MAMS-PP16 which consists of 16 PEs with 17 MMs in an extension or the prior work, MAMS-PP4. The newly designed MAMS-PP16 has a 64 bit instruction format and application specific instruction set. The author develops a simulator of the MAMS-PP16 system, which implemented algorithms can be executed on. Performance analysis has done with this simulator executing implemented algorithms of processing images. The result of performance analysis verifies consistent response of MAMS-PP16 through the pyramid operation in image processing algorithms comparing with a Pentium-based serial processor. Executing the pyramid operation in MAMS-PP16 results in consistent response of processing time while randomly response time in a serial processor.

**Keywords** : Parallel Processing, Multi-Access Memory System, Image Processing, SIMD Computer

\* 정회원, \*\* 학생회원, \*\*\* 정회원-교신저자, 충남대학교 정보통신공학과  
(Department of Information Communications Engineering, ChungNam National University)  
접수일자: 2011년9월23일, 수정완료일: 2012년5월8일

## I. 서 론

최근 정보통신 기술의 발달로 초고속 통신망이 일반에 널리 보급되면서 현재 컴퓨터에 의해 처리되는 정보의 다양화와 함께 영상정보의 처리에 대한 수요가 급증하고 있다. 디스플레이 쪽은 물론이거니와 대용량의 많은 데이터들, 다양하고 복합적인 멀티미디어 정보가 쏟아지면서 고품질 영상의 실시간 서비스에 대한 요구가 심화되고 있다. 따라서 이러한 방대한 영상의 고속처리를 위해 별도의 기술 및 장비 개발이 시급하여 고도의 영상인식 작업을 할 수 있는 다중접근기억장치와 멀티미디어 처리를 위한 병렬처리 기반의 아키텍처가 요구된다. 영상처리와 같이 반복적인 처리를 하는 분야에서는 SIMD 구조의 시스템이 적합하다. 영상에서 임의의 간격을 가진 여러 형태로 영상자료를 동시에 접근할 수 있는 다중접근기억장치인 MAMS (Multi-Access Memory System)<sup>[1-2]</sup>은 pq개의 PEs(Processing Elements)를 가진 병렬처리기로 구현된다. 4개의 PE를 포함하는 MAMS-PP4<sup>[3]</sup>가 2003년에 개발 및 구현되어 영상처리 알고리즘 중 Morphological Closing을 적용해서 범용 컴퓨터를 대상으로 속도 향상을 확인하였다.

본 논문에서는 처리시간을 감소시키는 것은 물론, 일

정한 응답시간을 확인하기 위해 16개의 PE를 포함하는 MAMS-PP16에 합당한 Instruction Format을 새로 설계하고 영상처리 기법 중 Pyramid 알고리즘을 적용하여 구현한 시뮬레이터에서 성능을 확인하였다.

## II. 본 론

### 1. Multi-Access Memory System (MAMS)

일반적으로 디지털 영상은 픽셀  $I(i, j)$ 들의  $M \times N$  행렬로 나타낸다. 임의의 정수  $p, q$ 를 설계 상수로 하면,  $pq$ 개의 영상점을 블록, 행, 열의 형태로 동시에 접근할 수 있는 다중접근기억장치를 구성한다. 이 때 주소 생성회로는 메모리 모듈을 배치하는 모듈 할당 함수와 배치된 모듈 내의 주소를 결정하는 주소 할당 함수를 이용한다.

병렬처리시스템의 일반적인 블록 다이어그램은 그림 1과 같으며 병렬처리기는 PE와 MAMS로 구성된 Pipelined SIMD 구조로 되어 있다. 본 논문에서 소개하는 MAMS-PP16은 명령어 관리를 하는 CU(Control Unit)와 16개의 PE와 17개의 MM(Memory Module)을 가진다.

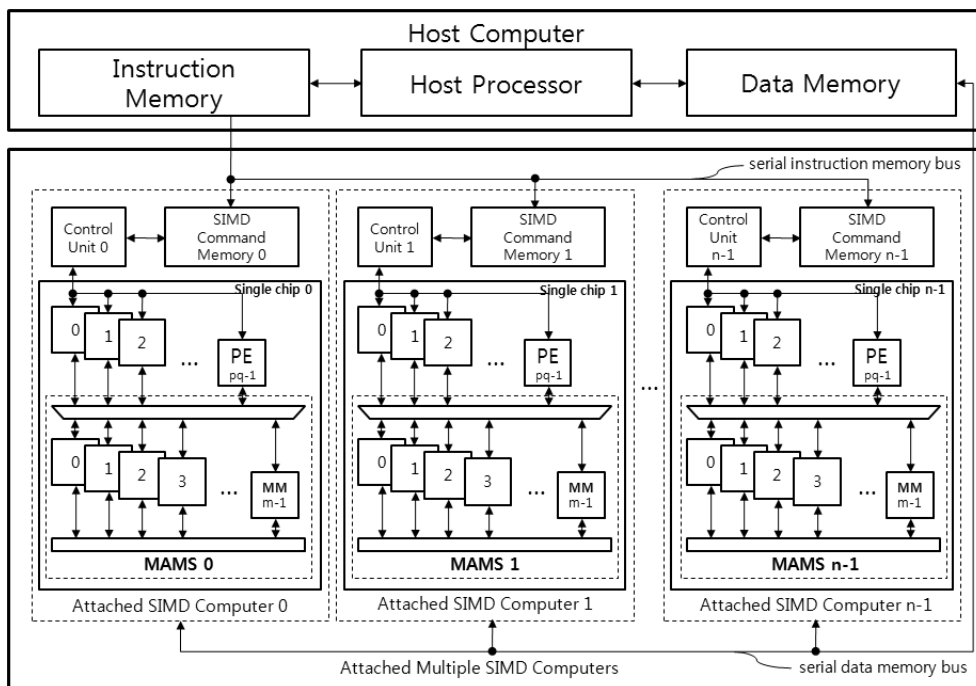


그림 1. 병렬처리 블록 다이어그램  
Fig. 1. Functional block of parallel processing system.

2. MAMS-PP16 확장

가. Instruction Format

MAMS-PP4에서의 명령어 형태는 그림 2와 같이 34비트로 구성이 되며 상위 18비트에서는 메모리 Read/Write, 주소 Interval과 X, Y를 셋팅할 수 있게 되어 있으며, 하위 16비트에는 OpCode(일반 명령어)와 Source와 Destination on Register 주소를 나타내는 두 Operand를 각각 구성할 수 있게 되어있다<sup>[4]</sup>.

R/W에서 Read 신호일 때는 메모리 모듈로부터 읽어 오고, Write 신호가 활성화될 때 pq개의 데이터들을 메모리 모듈 내부에 기록한다. MAMS-PP16의 명령어 형태는 상위 비트에 MAMS-PP4에서는 없던 Type 필드를 추가하였고, 처리하는 영상의 크기를 MAMS-PP4에서는 64×64로 한 반면, MAMS-PP16에서는 128×128 이상의 영상처리를 위하여 그림 3과같이 구성하였다. MAMS의 PE 모듈에서 지원하는 명령어 집합은 영상 처리에 관련된 알고리즘을 조사하였고, MAMS-PP4에서의 명령어는 Morphological Closing을 수행하기 위한 연산자들로 구성 되었지만 MAMS-PP16에서는 영상처리를 위한 프로그램인 Image Tool에서 명령어를 추출하였다<sup>[5~7]</sup>. 따라서 새롭게 구성한 MAMS-PP16의 명령어 형태는 총 64비트로 그림 3과 같다.

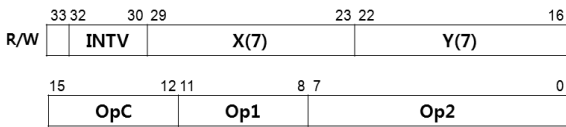


그림 2. MAMS-PP4의 Instruction Format  
Fig. 2. Instruction Format of MAMS-PP4 .

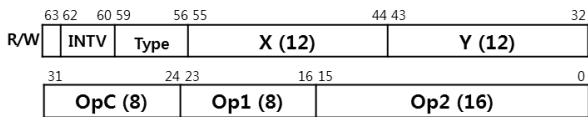


그림 3. MAMS-PP16의 Instruction Format  
Fig. 3. Instruction Format of MAMS-PP16.

나. Subarray Type

병렬처리 시스템의 메모리 접근 방식은 4가지 방향의 블록 형태, 행, 열, 대각선, 역대각선 방법인 라인 형태의 4가지 방향으로 총 8가지가 제안 되었으며<sup>[8]</sup> 그림 4에서와 같은 방식이다.

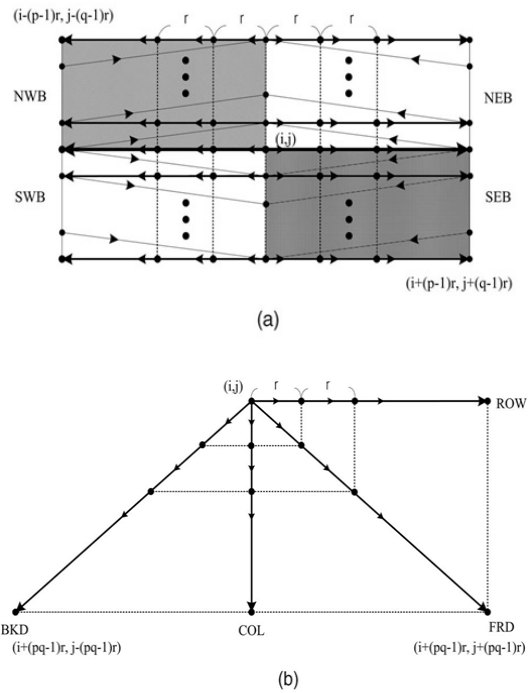


그림 4. 8가지 Subarray Type  
Fig. 4. Eight Subarray Type.

III. 실험

1. MAMS-PP16 Simulator 검증

가. 범용 컴퓨터와 MAMS-PP16

일반적인 마이크로프로세서 내에 CPU의 클럭 사이 클만큼 빠르게 접근할 수 있는 캐시(Cache) 메모리를 두어 CPU가 참조하고자하는 데이터가 존재할 경우 히트(Hit), 존재하지 않을 경우 미스(Miss)라고 한다. 이러한 Serial Processor 중 본 논문에서 비교 대상으로 채택된 Intel Pentium II는 L1, L2 캐시를 사용하는 4-way set associative 방식으로, L1, L2 캐시 용량은 각각 16KByte, 512KByte이다. 1GHz의 주파수 동작 속도를 가지며 1클럭 주기는 1ns를 기준으로 한다. CPU, L1 Hit, L2 Hit 그리고 Miss Hit 각각의 수행시간은 1ns, 1ns, 10ns, 그리고 50ns이다.

반면 MAMS-PP16 구조는 그림 5와 같이 수행제어 및 명령어를 PE에 전송하는 Control Unit(CU)와 이 명령어들로 병렬처리 수행을 하는 16개의 Processing Elements(PEs), 그리고 이미지를 저장하고 PE에 처리된 데이터를 제공하는 17개의 Memory Module(MMs)

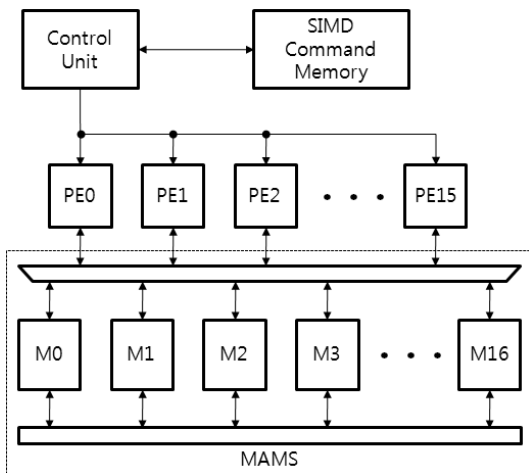


그림 5. MAMS-PP16 구조  
Fig. 5. Structure of MAMS-PP16.

로 구성되며 한 메모리의 크기는 128KByte이다. 각 단계를 한 클럭으로 500MHz로 동작하면 CU, PE, MAMS가 각각 2ns씩 소요 된다.

여기서 작업하게 될 MAMS-PP16이 기존에 구현된 MAMS-PP4에서 확장하고 변형시키면서 새로운 Simulator를 개발 하였다.

나. 다중 해상도 Pyramid 표현 기법

Serial Processor 캐시로 인한 응답시간의 Random 특성과 MAMS-PP16의 일정한 응답속도를 확인하기 위하여 다중 해상도 분석 기법을 적용하였다. 이는 원본 영상에서 연속적으로 작은 크기의 영상들의 계층으로 낮은 해상도로 변환하는 것인데, 원본 영상을 압축하여 저장하여 현재 화면의 디스플레이 스케일에 가장 적합한 압축 영상을 검색하여 디스플레이 하는 기술로 원본 영상보다 떨어진 여러 해상도의 이미지를 미리 만들어 이미지의 헤더나 끝부분에 저장하여 작업을 수행하는 기법이다. 본 논문에서 Pyramid 기법으로 압축하여 영상처리의 Morphology 기법 중에서 Opening과 Closing 연산을 수행하여 특성을 확인하였다.

(1) Pyramid의 Morphology 적용

본 논문에서 영상의 Red 값을 검출하기위해 원본 영상의 크기인 64x64 pixel을 4x4의 최소 크기로 축소하여 Red, Green, Blue 채널의 Gray값으로 나누어 그 중 Red 값이 128보다 작으면 잡음으로 판단하여 제거할 목적으로 Opening을 수행하고, 128보다 크면 Red 영역을 검출하기 위해 Closing을 수행한다. 그림 6은 64x64

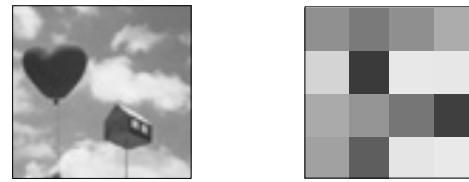


그림 6. 64x64 Image 원본 영상(좌)과 Pyramid 4x4 결과 영상(우)  
Fig. 6. Original Image 64x64(left) and 4x4 image size by pyramid operation(right).



그림 7. 128x128 Image 원본 영상(좌)과 Pyramid 4x4 결과 영상(우)  
Fig. 7. Original Image 128x128(left) and 4x4 Image size by pyramid operation(right).

표 1. 64x64 Image Pyramid 4x4격과 영상의 R, G, B 픽셀값

Table 1. 64x64 Image Pyramid 4x4 size and Pixel value of R, G, B.

(R)107	213	101	146
(G)149	76	149	176
(B)223	122	233	230
196	164	225	221
216	8	235	234
241	45	244	243
137	105	139	158
111	157	102	16
100	230	153	56
114	66	220	255
172	102	232	235
236	134	244	245

표 2. 128x128 Image Pyramid 4x4격과 영상의 R, G, B 픽셀값

Table 2. 128x128 Image Pyramid 4x4 size and Pixel value of R, G, B.

(R)255	255	255	255
(G)255	255	255	255
(B)255	255	255	255
254	255	253	253
253	253	253	252
254	254	253	253
253	231	71	66
251	149	48	36
252	69	32	23
254	99	99	106
252	58	58	60
253	24	24	27

Image의 원본 영상과 Pyramid 기법을 수행한 후의 4x4 결과 영상이고 그림 7은 128x128 Image의 원본 영상과 Pyramid 기법을 수행한 후 4x4 결과 영상이다.

이 4×4 결과 영상을 가지고 픽셀 값을 조사한 결과 각 픽셀 값에 해당하는 R, G, B 값은 표 1과 표 2와 같이 확인 할 수 있다. 표 1은 그림 6의 Pyramid 4×4 결과 영상의 pixel의 R,G,B 픽셀 값을 나타내는 표이고, 표 2는 그림 7의 Pyramid 4×4 결과 영상의 pixel의 R,G,B 픽셀값을 나타내는 표이다.

표 1과 표 2의 ■ 블록은 기준픽셀 R의 값이 128보다 크음을 뜻하며 128보다 큰 블록은 Closing을 실행하고, □ 블록은 기준픽셀 R의 값이 128보다 작음을 뜻하며 128보다 작은 영역은 Opening을 수행하도록 하였다. 그림 8은 64×64 Image Closing과 Opening을 수행 결과 영상이고, 그림 9는 128×128 Image Closing과 Opening을 수행 결과 영상이다.

이와 같은 결과로, Serial Processor와 MAMS-PP16에서 각각 20회씩 반복해서 수행한 결과를 표 3은 64×64 Image Pyramid 기법 20회 결과를 보여주고 있고, 표 4는 128×128 Image Pyramid 기법 20회 수행 결과를 보여 주고 있다.

표 3 64×64 Image Pyramid기법 20회 수행 결과에서 Serial Processor의 Miss(cycle)가 128cycle 8회, 129cycle 5회, 130cycle 2회, 131cycle 5회로 각기 다른 Miss(cycle)로 인해 최소 78472ns에서 최대 78619ns 까지 응답시간이 Random 하게 변화 하는 것을 확인 할 수 있고, MAMS-PP16에서 CM 8192cycle, PEM 9330cycle, MAM 9330cycle으로 20회 모두 같은 cycle을 확인 하였으며 응답시간이 53704ns으로 모두 일정함을 확인 할 수 있다. 그리고 표 4 128×128 Image

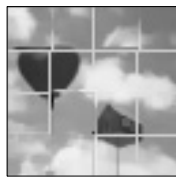


그림 8. 64×64 Image Closing과 Opening 수행 결과 영상  
Fig. 8. 64×64 Image size by Closing and Opening operation.

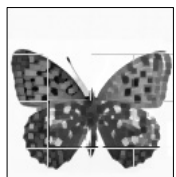


그림 9. 128×128 Image Closing과 Opening 수행 결과 영상  
Fig. 9. 128×128 Image size by Closing and Opening operation.

표 3. 64×64 Image Pyramid 기법 20회 수행결과  
Table 3. Results of iteration 20 times 64×64 Image size by Pyramid operation.

횟수	Serial Processor				MAMS-PP16			
	L1 Hit (cycle)	L2 Hit (cycle)	Miss (cycle)	시간 (ns)	CM (cycle)	PEM (cycle)	MAM (cycle)	시간 (ns)
1	72072	0	128	78472	8192	9330	9330	53704
2	72071	0	129	78521	8192	9330	9330	53704
3	72071	0	129	78521	8192	9330	9330	53704
4	72069	0	131	78619	8192	9330	9330	53704
5	72072	0	128	78472	8192	9330	9330	53704
6	72072	0	128	78472	8192	9330	9330	53704
7	72069	0	131	78619	8192	9330	9330	53704
8	72072	0	128	78472	8192	9330	9330	53704
9	72070	0	130	78570	8192	9330	9330	53704
10	72070	0	130	78570	8192	9330	9330	53704
11	72072	0	128	78472	8192	9330	9330	53704
12	72072	0	128	78472	8192	9330	9330	53704
13	72069	0	131	78619	8192	9330	9330	53704
14	72071	0	129	78521	8192	9330	9330	53704
15	72069	0	131	78619	8192	9330	9330	53704
16	72069	0	131	78619	8192	9330	9330	53704
17	72071	0	129	78521	8192	9330	9330	53704
18	72071	0	129	78521	8192	9330	9330	53704
19	72072	0	128	78472	8192	9330	9330	53704
20	72072	0	128	78472	8192	9330	9330	53704

표 4. 128×128 Image Pyramid 기법 20회 수행결과  
Table 4. Results of iteration 20 times 128X128 Image size by Pyramid operation.

횟수	Serial Processor				MAMS PP16			
	L1 Hit (cycle)	L2 Hit (cycle)	Miss (cycle)	시간 (ns)	CM (cycle)	PEM (cycle)	MAM (cycle)	시간 (ns)
1	291336	0	512	316936	32768	35562	35562	139454
2	291322	0	526	317622	32768	35562	35562	139454
3	291335	0	531	317885	32768	35562	35562	139454
4	291336	0	512	316936	32768	35562	35562	139454
5	291307	0	541	318357	32768	35562	35562	139454
6	291336	0	512	316936	32768	35562	35562	139454
7	291336	0	512	316936	32768	35562	35562	139454
8	291335	0	513	316985	32768	35562	35562	139454
9	291319	0	529	317769	32768	35562	35562	139454
10	291316	0	532	317916	32768	35562	35562	139454
11	291326	0	522	317426	32768	35562	35562	139454
12	291336	0	512	316936	32768	35562	35562	139454
13	291336	0	512	316936	32768	35562	35562	139454
14	291310	0	538	318210	32768	35562	35562	139454
15	291307	0	541	318357	32768	35562	35562	139454
16	291316	0	532	317916	32768	35562	35562	139454
17	291315	0	533	317965	32768	35562	35562	139454
18	291331	0	517	317181	32768	35562	35562	139454
19	291330	0	518	317230	32768	35562	35562	139454
20	291324	0	524	317524	32768	35562	35562	139454

Pyramid기법 20회 수행 결과에서 Serial Processor의 Miss(cycle)가 512cycle 6회, 513cycle 1회, 517cycle 1회, 518cycle 1회, 522cycle 1회, 524cycle 1회, 526cycle 1회, 529cycle 1회, 531cycle 1회, 532cycle 2회, 533cycle 1회, 538cycle 1회, 541cycle 2회로 각기 다른 Miss(cycle)로 인해 최소 316936ns에서 최대 318357ns 까지 응답시간이 Random 하게 변화 하는 것을 확인 할 수 있고, MAMS-PP16에서 CM 32768cycle, PEM 35562cycle, MAM 35562cycle으로 20회 모두 같은 cycle을 확인 하였으며 응답시간이 139454ns으로 모두 일정함을 확인 할 수 있다.

Serial Processor와 MAMS-PP16 의 응답시간은 64×64 Image Pyramid 기법 결과의 각각의 수행 시간 평균은 78530.80ns과 53704.00ns이고 이 차이가 1.46배이며, 128×128 Image Pyramid 결과의 각각의 응답시간 평균 317497.95ns과 139454.00ns이고 이 차이가 2.27 배임을 확인할 수 있다.

#### IV. 결 론

본 논문에서는 MAMS-PP16의 Simulator를 구현하고 처리 속도의 향상을 검증하였다. 이를 위해 PE(Processing Element) 및 MM(Memory Module)의 개수를 각각 16, 17개로 증가시켰다. 또한 Instructions Format을 기존 34bits 에서 64bit로 확장하여 14개 더 많은 operation을 사용할 수 있게 하였고 Serial Processor에서의 캐시의 불안정을 영상처리 기법 중 Pyramid 기법으로 수행하여 확인을 하여 MAMS-PP16에서 처리 속도가 일정한 성능의 안정성을 확인하였다.

본 논문에서는 병렬 영상 처리시스템의 응용을 Morphology 기법만으로 국한하였으나 외의 다른 영상 처리 알고리즘들에 있어서도 본 연구인 MAMS-PP16에 적용할 가치가 있다고 판단된다.

또한, Simulator를 통하여 기존 MAMS-PP4와 구조적인 면에서의 비교를 확인할 수 있고, MAMS-PP16의 개선 사항으로 Full HD 영상 (1920×1080)을 처리할 수 있도록 메모리 크기의 확장이 필요하며, 최적화된 병렬화 명령어를 생성하는 Compiler 개발을 통하여 알고리즘을 더 효율적으로 병렬화 한다면 보다 좋은 성능을 기대할 수 있을 것으로 판단된다.

#### 참 고 문 헌

- [1] J.W. Park, "An Efficient Memory system for Image Processing," IEEE Trans. Computers, Vol. C-35, No. 7, pp. 669-674, Jul. 1986.
- [2] J.W. Park, "Multiaccess Memory System for Attached SIMD Computer," IEEE Trans. on Computers, Vol. 53, No. 3, pp. 1439-452, Apr. 2004.
- [3] H. Lee, H.K. Cho and D.S. You, "An MAMS-PP4: Multi-Access Memory System Used to Improve the Processing Speed of Visual Media Applications in Parallel Processing System," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E87-A, No. 11, pp. 2852-2858, Nov. 2004.
- [4] 유인식, "영상처리를 위한 MAMS (Multi-Access Memory System) 병렬처리기의 시뮬레이터 구현", 충남대학교 석사학위 논문, 2010년 8월.
- [5] D.C. Van Voorhis and T.H. Morrin, "Memory System for Image Processing," IEEE Trans. on Computers, Vol. C-27, No. 1, pp. 1145-1155, Dec. 1975.
- [6] D.H. Lawrie and C.R. Vora, "The Prime Memory System for Image Processing," IEEE Trans. on Computers, Vol. C-31, No. 5, pp.435-442, May 1992.
- [7] 김중배, "Gray-scale Morphological 필터를 위한 병렬 처리기," 충남대학교 석사학위 논문, 2000년 6월.
- [8] J.W. Park, "An efficient buffer memory system for subarray access," IEEE Trans. on Parallel and Distributed Systems, Vol. 12, No. 3, pp. 316-335, Mar. 2001.

저 자 소 개



**이 유 진**(정회원)  
 2009년 한밭대학교 전자공학과  
 학사 졸업.  
 2011년 충남대학교 정보통신  
 공학과 석사 졸업.  
 <주관심분야 : 영상처리, 병렬처  
 리>



**김 재 희**(학생회원)  
 1998년 영산대학교 컴퓨터공학과  
 학사 졸업.  
 2006년 울산대학교 교육대학원  
 전자계산전공 석사 졸업.  
 2010년 충남대학교 정보통신  
 공학과 박사 과정.  
 <주관심분야 : 영상처리, 병렬 처리 >



**박 중 원**(정회원)-교신저자  
 1979년 충남대학교 전자공학과  
 학사 졸업.  
 1981년 한국과학기술원 전산학과  
 석사 졸업.  
 1991년 한국과학기술원 전산학과  
 박사 졸업.

1983년~1993년 충남대학교 전산학과 부교수  
 1994년~현재 충남대학교 정보통신공학과 교수  
 <주관심분야 : 영상처리, 병렬처리, 의공학>