

논문 2012-49SD-5-6

타이밍 부정합 감소를 위해 정합된 지연경로를 갖는 전하 펌프

(A Charge Pump with Matched Delay Paths for Reduced Timing Mismatch)

허 주 일*, 허 정*, 정 향 근**

(Joo-Il Heo, Jung Heo, and Hang-Geun Jeong)

요 약

기존의 전류 스티어링 전하 펌프의 타이밍 부정합 감소를 위한 새로운 전하 펌프를 제안한다. 기존의 전류 스티어링 전하 펌프는 UP, DOWN 신호의 입력단에 NMOS를 사용하여 서로 다른 지연단 수를 갖게 된다. 제안한 전하 펌프에서는 DOWN 신호의 입력단에 PMOS를 사용함으로써 UP, DOWN 신호의 지연단 수를 동등하게 한다. 기존의 전류 스티어링 전하 펌프를 최적화하여 시뮬레이션한 결과 턴온과 턴오프에 대하여 지연시간의 차이는 각각 14ns, 6ns 이다. 반면에 제안한 전하 펌프는 타이밍 부정합이 향상되어 턴온과 턴오프에 대하여 지연시간의 차이는 각각 6ns, 5ns 이다. 타이밍 부정합의 감소로 인하여 기준 스퍼는 -26dBc에서 -39dBc로 줄어들었다. 제안하는 전하 펌프는 CMOS 0.18 μ m 공정을 사용하여 설계하였다. 측정 결과 전하 펌프 출력 전압 범위 0.3~1.5V에서 최대 1.5%의 전류 부정합을 보인다.

Abstract

In this paper, a new charge pump is proposed to reduce the timing mismatch in the conventional current-steering charge pumps. Conventional current-steering charge pumps used NMOS input stages both for UP and DOWN signals, which resulted in different numbers of stage for UP and DOWN delay paths. The proposed charge pump has equalized the numbers of stages for UP and DOWN signals by using a PMOS stage for the DOWN signal. The simulation results show that the conventional current-steering charge pump has 14ns and 6ns for optimized timing mismatches between UP and DOWN signals for turn-on and turn-off, respectively. On the other hand, the proposed charge pump has improved timing mismatches of 6ns and 5ns for turn-on and turn-off, respectively. As a result, the reference spurs are reduced from -26dBc to -39dBc for the proposed charge pump. The proposed charge pump was designed by using 0.18 μ m CMOS technology. The measurement results show that the maximum variation of the charging and discharging current over the charge pump output voltage range of 0.3~1.5V is approximately 1.5%.

Keywords : PLL, Charge Pump, Timing Mismatch, Current Mismatch

I. 서 론

전하 펌프 위상 고정 루프는 위상 주파수 검출기, 전하 펌프, 루프 필터, 전압 제어 발진기, 분주기로 구성되어 있다^[1~3]. 위상 고정 루프가 이상적인 경우 루프가

고정이 되었을 때 루프 필터의 출력 전압은 변화가 없어야 하지만, 전하 펌프의 비이상적인 특성들에 의해 출력 전압이 변화하게 된다. 전하 펌프의 비이상적 특성으로서는 전류 부정합, 전하 주입, 클록 피드쓰루, 전하 공유 등이 있다. 이러한 비이상적인 특성은 발진기의 제어 전압에 주기적인 리플을 발생시키며 특히 전류 부정합은 정적 위상 오차를 일으켜서 리플을 증가시킨다. 리플은 위상 고정 루프의 출력 신호에 기준 스퍼를 발생시켜 신호의 특성을 악화시킨다^[4~5]. 따라서 전하 펌프의 두 입력 UP, DOWN이 동시에 켜졌을 때, 두 전류의 양이 같도록 설계되어야 한다.

* 학생회원, ** 정회원-교신저자,
전북대학교 전자정보공학부
(Chonbuk National University)

※ 본 연구는 IDEC CAD tool과 BK(Brain Korea)21의 지원으로 수행되었습니다.

접수일자: 2012년3월2일, 수정완료일: 2012년5월3일

전하 펌프에는 드레인 스위치 전하 펌프, 게이트 스위치 전하 펌프, 소스 스위치 전하 펌프, 전류 스티어링 전하 펌프가 있다. 본 논문에서는 고속 동작에 유리하며, 전원 잡음의 영향이 적은 전류 스티어링 방식의 전하 펌프에서 기준 스퍼를 감소시키는 새로운 구조를 제안한다^[6~8]. 기준 스퍼는 전류 부정합 특성에 가장 영향을 많이 받으며, DC특성뿐만 아니라 과도 응답 특성도 중요하다. 기존의 전류 스티어링 UP, DOWN신호의 지연 단수가 차이가 나서 타이밍 부정합이 발생한다. 타이밍 부정합은 전압 제어 발진기의 입력 전압에도 영향을 주어서 전류 부정합과 마찬가지로 기준 스퍼에도 악영향을 주어 신호의 특성을 악화시키게 된다.

본 논문에서는 전류 스티어링 방식의 전하 펌프를 개선하여 기존에 문제가 되었던 타이밍 부정합을 감소시키는 방법을 제안하였다. 타이밍 부정합을 해결하기 위하여 DOWN 경로의 입력 스위치를 PMOS 입력 스위치로 바꾸어 비대칭적인 DOWN 경로를 대칭적인 경로로 개선하였다. 또한 기존의 전류 스티어링 방식과 비교 및 분석하고 spectre를 사용하여 기준 스퍼에 대하여 검증하였고, 전하 펌프의 DC 전류 부정합을 줄이기 위하여 레귤레이티드 구조를 사용하였다.

II. 본 론

2.1 기존의 전하 펌프 회로

그림 1은 고속 동작을 위해 전류 스티어링 방식을 사용한 기존의 전류 스티어링 전하 펌프 회로이다. 그림 1은 UP, DOWN 신호의 입력단에 NMOS를 사용하여 입력으로부터 출력까지 서로 다른 지연단 수를 갖게 된다. 비대칭의 원인은 DOWN 경로에 추가적인 전류 거울을 사용하여 UP 신호와 DOWN 신호가 서로 다른 지연단 수를 갖게 되기 때문이다. 이러한 차이는 타이밍 부정합을 일으키게 된다. 타이밍 부정합은 위상 고

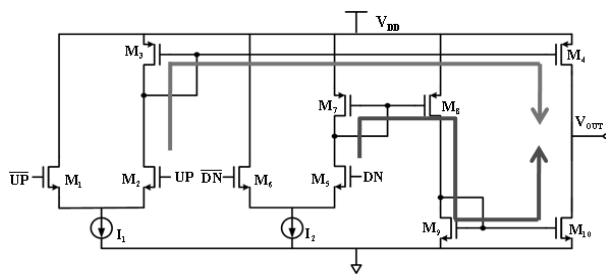


그림 1. 기존의 전류 스티어링 전하 펌프
Fig. 1. Conventional current steering charge pump.

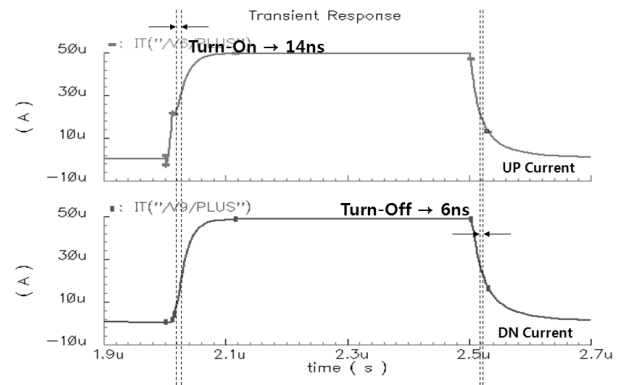


그림 2. 기존의 전류 스티어링 전하 펌프 전류의 과도 응답

Fig. 2. Transient responses of conventional charge pump currents.

정 루프가 이상적인 경우 루프가 고정 되었을 때 전압 제어 발진기의 입력 전압에 주기적인 리플을 발생시키며 전류 부정합과 마찬가지로 기준 스퍼에도 악영향을 주어 신호의 특성을 악화시키게 된다.

그림 2는 기존의 전류 스티어링 전하 펌프의 과도 응답으로서 위상 고정 루프가 고정이 되어 위상/주파수 검출기의 출력이 똑같은 파형의 짧은 펄스를 갖게 된다. 이 때 기존의 전류 스티어링 전하 펌프를 최적화하여 시뮬레이션한 결과 UP 전류와 DOWN 전류의 턴온 타이밍은 약 14ns의 시간적 차이를 보이며, UP 전류와 DOWN 전류의 턴오프 타이밍은 약 6ns의 시간적 차이를 보인다.

2.2 제안하는 전하 펌프의 회로 구조

그림 3은 기존의 전류 스티어링 전하 펌프의 타이밍 부정합을 개선한 전하 펌프이다. 기존의 입력단에 NMOS 만을 사용하지 않고 NMOS, PMOS를 같이 사

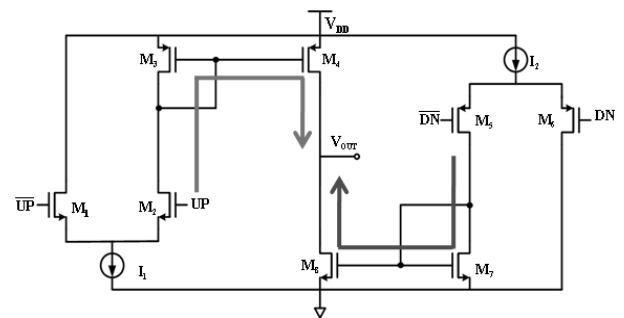


그림 3. 정합된 지연경로를 갖는 전류 스티어링 전하 펌프

Fig. 3. A current steering charge pump with matched delay paths.

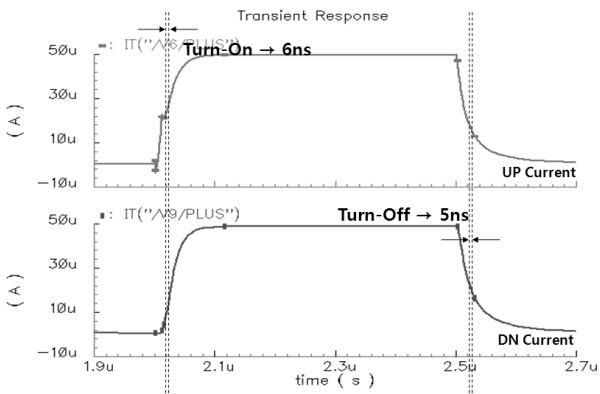


그림 4. 정합된 지연경로를 갖는 전류 스티어링 전하 펌프의 과도 응답
 Fig. 4. Transient responses of the charge pump with matched delay paths.

용함으로써 정합된 지연경로를 제안하였다.

그림 4는 그림 2와 같은 조건을 가지고 정합된 지연 경로를 갖는 전류 스티어링 전하 펌프의 과도 응답 특성이다. 시뮬레이션한 결과 UP 전류와 DOWN 전류의 턴온 타이밍은 약 6ns의 시간적 차이를 보이며, UP 전류와 DOWN 전류의 턴오프 타이밍은 약 5ns의 시간적 차이를 보인다.

2.3 제안하는 전하 펌프 회로의 설계

그림 5는 제안하는 전하 펌프 회로를 보인 것이다. UP, DOWN 신호가 전류 거울을 통해 전달되므로 전압 스윙이 작아져 전하 주입 및 클록 피드스루 현상을 최소화할 수 있으며, 정합된 지연경로에 의해 타이밍 부정합을 감소시켰다. 또한 전하 펌프에 사용되는 MOSFET은 채널 길이 변조 효과에 의해 출력 저항이 작아지기 때문에 출력 전압에 따라 UP 전류와 DOWN 전류의 부정합이 발생한다. 출력 전압에 따른 전류 부정합을 줄이기 위하여 출력 저항을 증가시켜야 한다.

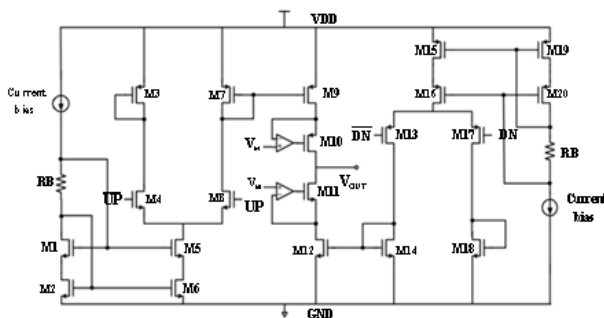


그림 5. 제안하는 전하 펌프 회로
 Fig. 5. Proposed charge pump.

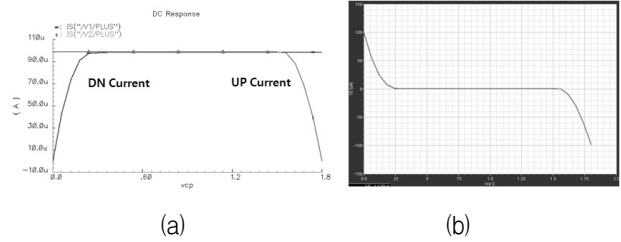


그림 6. 제안하는 전하 펌프의 시뮬레이션 결과 (a) 전류 특성 (b) UP 전류와 DOWN 전류의 차이
 Fig. 6. Simulation results of the proposed charge pump (a) Current characteristics (b) Difference between UP current and DOWN current.

출력 저항을 증가시키기 위한 방법으로 레귤레이티드 캐스코드 회로를 전하 펌프의 출력 쪽에 사용하였다^[9].

그림 6은 기준 입력 신호와 전압 제어 발진기의 출력 신호가 분주기를 통하여 분주되어 위상차가 없을 때 제안하는 전하 펌프의 UP 전류와 DOWN 전류의 DC 응답 특성을 나타내었다. 전하 펌프의 동작 범위 0.3~1.5V에서 0.4%의 전류 부정합과 1.2%의 펌프 전류 변화를 보였다.

2.4 공정코너 차이에 따른 전류 부정합

그림 7은 공정 코너 차이에 따른 전류 부정합을 비교 분석하였다. 그림 7(a)와 7(b)의 회로에 대한 공정코너

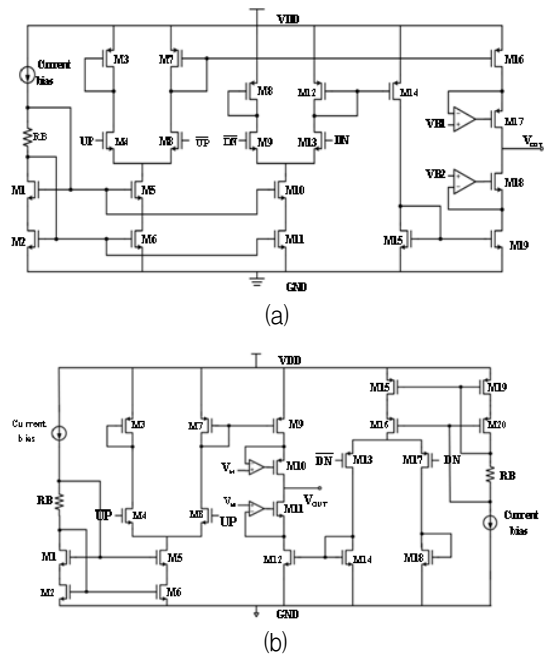
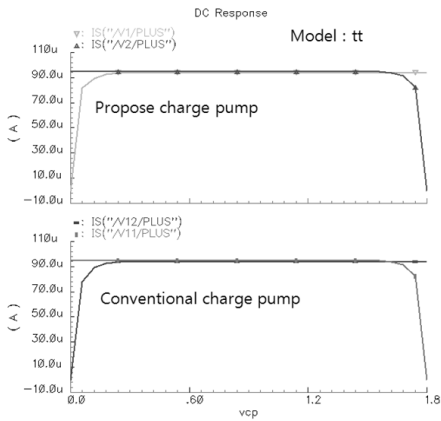
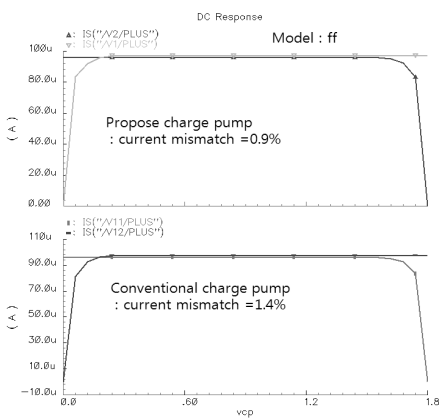


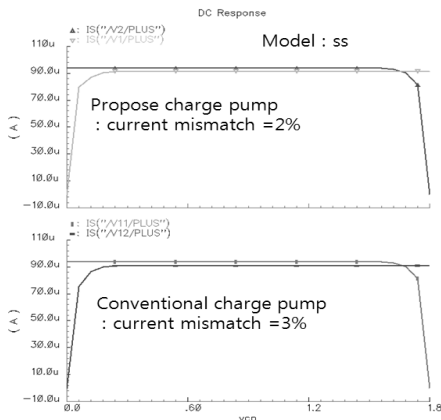
그림 7. (a) 기존의 전하 펌프 (b) 제안하는 전하 펌프
 Fig. 7. (a) Conventional charge pump (b) Proposed charge pump.



(a) 공정코너 tt



(b) 공정코너 ff



(c) 공정코너 ss

그림 8. 공정코너에 따른 전류 부정합
Fig. 8. Current characteristics for process corners.

표 1. 전하 펌프의 공정에 대한 민감도
Table 1. Process sensitivity of the charge pumps.

공정코너 구조	tt	ff	ss	sf	fs
그림 7(a)	0.4%	0.9%	2%	3.3%	1.5%
그림 7(b)	0.7%	1.4%	3%	4.4%	3.2%

tt, ff, ss, sf, fs 에 따른 전류 부정합 특성은 그림 8과 표 1과 같다.

2.5 구조에 따른 기준스퍼 비교

기준 스퍼를 비교 및 분석하기 위해 동등한 위상 주파수 검출기, 루프 필터, 전압 제어 발진기, 분주기를 사용하여 위상 고정을 시킨 후 루프 필터의 전압에 따른 기준 스퍼를 그림 9와 같이 비교하였다.

그림 9는 위상을 고정시킨 후 전압 제어 발진기의 출력 신호를 고속 푸리에 변환(fast fourier transform) 하여 기준 스퍼를 비교한 결과 그림 9(a)에 기존의 기준 스퍼는 -26dBc, 그림 9(b)에 제안하는 기준 스퍼는 -39dBc의 결과를 얻을 수 있었다. 결과에서도 확인할 수 있듯이 기존의 전하 펌프의 비해 타이밍 부정합을 개선시킨 제안하는 전하 펌프가 기준 스퍼 면에도 향상됨을 보인다.

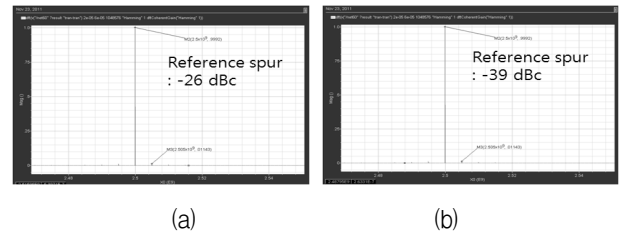


그림 9. (a) 기존의 전하 펌프 기준 스퍼
(b) 제안하는 전하 펌프 기준 스퍼
Fig. 9. (a) Reference spur of the conventional charge pump (b) Reference spur of the proposed charge pump.

III. 측정 결론

제안하는 전하 펌프 및 기준 스퍼는 0.18μm CMOS

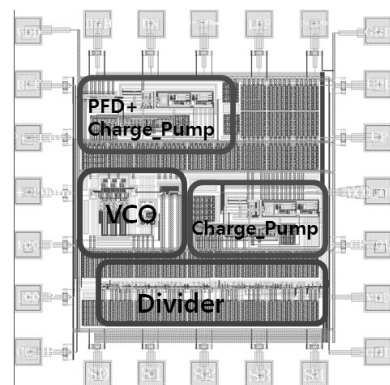


그림 10. PLL의 레이아웃
Fig. 10. PLL layout.

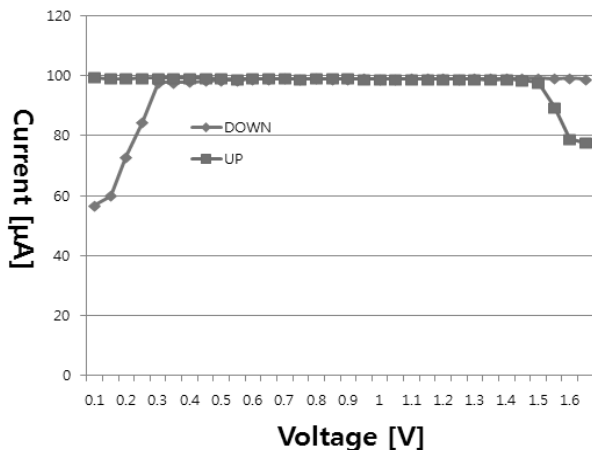


그림 11. 전하 펌프 출력 전압 변화에 대한 UP 전류와 DOWN 전류

Fig. 11. UP and DOWN current against the variation of the charge pump output voltage.

공정을 사용하여 설계하였으며 전하 펌프의 성능을 검증하기 위해서 spectre를 사용하여 시뮬레이션을 수행하였다. 또한 설계된 PLL은 0.18 μm 1-poly 6-metal CMOS 공정으로 제작하였다. 그림 10은 칩 사진과 PLL의 레이아웃 도면이며 칩의 크기는 900 μm x 900 μm 이다.

그림 11은 제작된 칩의 출력 전압에 따른 UP 전류와 DOWN 전류를 나타내었다. 측정 결과 전하 펌프의 출력 전압 범위 0.3~1.5V에 최대 1.5%의 전류 부정합을 보이고 2%의 펌프 전류 변화를 보였다.

VI. 결 론

본 논문에서는 전하 펌프 위상 고정 루프의 블록 중 하나인 전하 펌프의 타이밍 부정합 감소를 위한 새로운 전하 펌프를 제안하였다. 기존의 전하 펌프들은 고속 동작과 전원 잡음의 영향을 줄이기 위하여 전류 스티어링 구조를 사용하였으나 입력 스위치가 NMOS로만 이루어져 UP, DOWN신호의 지연 단수가 차이가 나서 타이밍 부정합이 발생한다.

제안한 전하 펌프는 전류 스티어링 방식의 전하 펌프를 응용하여 기존에 문제가 되었던 타이밍 부정합 감소시키는 방법을 제안하였다. 타이밍 부정합을 해결하기 위하여 DOWN 경로의 입력 스위치를 PMOS 입력 스위치로 바꾸어 비대칭적인 DOWN 경로를 대칭적인 경로로 개선하였다. 또한 전하 펌프의 DC 전류 부정합을 줄이기 위하여 레귤레이티드 캐스코드 구조를 사용하여 출력 저항을 증가시켜 전하 펌프의 일정 출력 전압 구

간에서 좋은 전류 정합 특성을 가질 수 있도록 설계하였다.

타이밍 부정합에 의한 문제를 검증하기 위해 위상 고정 시킨 후 전압 제어 발진기의 출력 신호를 고속 푸리에 변환하여 기준 스펙터를 비교한 결과 기준 스펙터를 비교한 결과 약 -13dBc 차이로 제안한 전하 펌프 구조가 우수하다.

전류 부정합에서는 시뮬레이션 결과, 제안한 전하 펌프는 동작 범위 0.3~1.5V에서 0.4%의 전류 부정합과 1.2%의 펌프 전류 변화를 보였다. 측정 결과 출력 전압 범위 0.3~1.5V에서 최대 1.5%의 전류 부정합을 보이고 2%의 펌프 전류 변화를 보였다. 또한 출력 전압 범위 0.45~1.45V에서 0.8%의 전류 부정합을 보였다. 측정 결과를 보아 동작 범위가 약 0.1V 감소하였다.

Acknowledgement

본 연구는 IDEC CAD tool과 BK(Brain Korea)21의 지원으로 수행되었습니다.

참 고 문 헌

- [1] 이재환, "전하 펌프의 전류 부정합 감소를 위한 피드포워드 방식", *전자공학회 논문지*, 제46권, 제1호 (통권 제325호), 63-27쪽, 2009년1월
- [2] F. Gardner, "Charge-pump phase-locked loops," *IEEE Trans. Communications*, vol. com-28, no. 11, pp. 1849-1858, Nov. 1980.
- [3] M. Johnson, E. Hudson, "A variable delay line PLL for CPU-coprocessor synchronization," *IEEE JSSC*, vol. 23, no. 5, pp. 1218-1233, Oct. 1988.
- [4] B. Razavi, *Design of Analog CMOS Integrated Circuits*, pp. 562-567, McGraw-Hill, 2001.
- [5] W. Rhee, "Design of high-performance CMOS charge pumps in phase-locked loops," in Proc. ISCAS, Vol. 2, pp. 542-548, Orlando, FL, USA, July 1999.
- [6] B. Terlemez, "Oscillation control in CMOS phase-locked loops," Ph.D. Dissertation, Georgia Institute of Technology, Nov. 2004.
- [7] J. Maneatis, "Low jitter process-independent DLL and PLL based on self-biased techniques," *IEEE JSSC*, vol. 31, no. 11, pp. 1723-1732, Nov. 1996.
- [8] N. Jae-Hyung, "Design of the charge pump for

current mismatch reduction,” Master’s thesis, Department of Electronics Engineering, Chonbuk National University, Feb. 2008.

- [9] R. Jacob Baker, CMOS Circuit Design, *Layout, and Simulation, Second Edition*, IEEE Wiley, 2005.

— 저 자 소 개 —



허 주 일(학생회원)
2010년 원광대학교 전기전자 및
정보공학부(전자공학)
학사 졸업.
2011년~2012년 전북대학교
전자정보공학부(전자공학)
공학과 석사 졸업.

<주관심분야 : 아날로그 회로 설계, SoC>



정 항 근(정회원)-교신저자
1977년 서울대학교 전자공학과
학사 졸업.
1979년 한국과학기술원 전기전자
공학 석사 졸업.
1989년 플로리다대학교 전기공학
박사 졸업.

1979년~1982년 한국 전자통신연구소 재직.
1989년~1991년 모토롤라 고급기술연구소 재직.
1991년~현재 전북대학교 전자정보공학부 재직.
<주관심분야 : 아날로그, RF 회로설계>



허 정(학생회원)
2007년 전북대학교 전자정보
공학부(전자공학)
학사 졸업.
2012년~현재 전북대학교 전자
정보공학부(전자공학)
공학과 석사 과정.

<주관심분야 : 아날로그 IC, DC-DC 컨버터,
PMIC>