

논문 2012-49SD-5-3

CMOS 기술을 기반으로 제작된 정합 특성이 우수한 BJT 구조

(A BJT Structure with High-Matching Property Fabricated Using CMOS Technology)

정의정*, 권혁민*, 권성규*, 장재형*, 곽호영*, 이희덕**

(Yi-Jung Jung, Hyuk-Min Kwon, Sung-Kyu Kwon, Jae-Hyung Jang, Ho-Young Kwak, and Hi-Deok Lee)

요 약

본 논문에서는 CMOS 기반의 BJT 제작에 있어서 일반적인 BJT 구조에 비해 정합특성이 우수한 새로운 BJT 구조를 제안하고, 특성을 비교 분석하였다. 새로운 정합 구조가 기존의 정합 구조에 비해 콜렉터 전류 밀도 J_c 는 0.361% 감소하였고, 전류이득 β 는 0.166% 증가하여 큰 차이가 보이지 않았지만, 소자 면적이 10% 감소했으며, 콜렉터 전류(A_{IC})와 전류이득(A_{β})의 정합 특성이 각각 45.74%, 38.73% 향상되었다. 이와 같이 정합특성이 개선된 주 이유는 쌍으로 형성된 BJT 소자들의 에미터 간의 거리가 감소한 것이라고 생각되며, deep n-well 저항의 표준편차 값이 다른 저항들에 비해 큰 것으로부터 간접적으로 증명된다고 여겨진다.

Abstract

For CMOS based bipolar junction transistor (BJT), a novel BJT structure which has higher matching property than conventional BJT structure was proposed and analyzed. The proposed structure shows a slight decrease of collector current density, J_c about 0.361% and an increase of current gain, β about 0.166% compared with the conventional structure. However, the proposed structure shows a decrease of area about 10% the improvement of matching characteristics of collector current (A_{IC}) and current gain (A_{β}) about 45.74% and 38.73% respectively. The improved matching characteristic of proposed structure is believed to be mainly due to the decreased distance between two emitters of pair BJTs, which results in the decreased effect of deep n-well of which resistance has the higher standard deviation than the other resistances.

Keywords : CMOSFET, Parasitic BJT, Combined BJT, Matching Coefficient, Analog performance

I. 서 론

VLSI (Very Large Scale Integration) 회로에서는 BJT (Bipolar Junction Transistor)보다는 집적화에 용

이한 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)의 사용이 보편화 되었지만 여전히 아날로그 회로에서의 BJT는 중요한 위치에 있다. BJT는 MOSFET에 비해 높은 전류이득과 우수한 정합(matching) 특성, 작은 1/f 노이즈특성을 갖고 있기 때문에 아날로그 회로에서 band-gap voltage reference, differential amplifier, temperature sensor, current mirror 등으로 많이 사용 되어 왔다.^[1] 특히 chip 내에 디지털 블록과 아날로그/RF 블록을 동시에 집적화하는 SoC (System on a Chip) 및 analog/digital mixed signal 기술들이 대두되면서 BJT와 MOSFET의 장점

* 학생회원, ** 정회원, 충남대학교 전자공학과
(Depart of Electronics Engineering,
Chungnam National University)

※ 본 연구는 교육과학기술부와 한국연구재단의 지역 혁신인력양성사업으로 수행된 연구결과임.

※ 실험에 사용된 소자는 IC Design Education Center (IDEC)의 지원으로 제작됨.

접수일자: 2012년3월19일, 수정완료일: 2012년4월30일

들을 결합하기 위한 BiCMOS (Bipolar-CMOS) 공정 등이 사용 되고 있다^[2]. 하지만 높은 성능을 가지는 BJT를 구현하기 위해서는 Epitaxy 공정 등을 적용해야 하기 때문에 공정이 매우 복잡해지는 단점이 발생한다. 따라서 공정비용을 절약하기 위해, 일반적인 CMOS 공정을 그대로 사용하면서 추가 공정 없이 BJT를 제작하는 방법이 제안되고 있다^[3-6]. 하지만 일반적인 BJT 공정 기반에서의 소자 특성에 관한 연구는 많은 문헌에서 보고되는 것에 반해, CMOS 공정 기반의 BJT 소자 특성에 대한 보고는 아직 미흡하다고 할 수 있다.

아날로그 회로에서 널리 사용되는 band-gap reference, differential amplifier, high speed A/D converter 등은 두 개 이상의 소자가 근접하게 쌍을 이루는 경우가 많고 설계자들은 이런 쌍을 이루는 두 소자가 이상적으로 동일한 특성을 가진다고 가정하고 설계한다. 그러나 반도체 공정조건 및 구조 등의 여러 가지 확률적인 현상에 의하여 두 소자 간의 특성은 차이가 발생하고 설계자가 원하는 결과와 다른 값을 가지게 되어 회로가 오동작을 일으킬 수 있다. 이렇게 근접한 쌍을 이루는 두 소자 특성의 차이를 통계적으로 특성화시키는데 이것을 정합(matching) 특성이라고 한다.

특히 최근 BJT 소자는 높은 감도를 요구하는 무선 통신의 직접 변환 수신기 (Direct Conversion Receiver)에 많이 사용되는데 소자 간 정합 특성이 더욱 중요하게 부각되고 있다. 하지만 CMOS 기반으로 제작된 BJT 소자의 정합특성 분석에 대한 보고는 매우 미미한 실정이다.

본 논문에서는 일반적인 CMOS 공정을 이용하는 BJT 소자의 정합 특성을 개선하기 위한 새로운 구조를 제안하였으며, 일반적인 구조의 BJT와 전기적 특성 및 정합 특성을 비교 분석하였다.

II. 소자 제작 및 구조

일반적인 0.13 μ m CMOS 공정을 이용하여 소자를 제작하였다. 공정의 주요 순서는 그림 1과 같다. Shallow trench isolation (STI)를 형성 한 후 deep n-well 공정과 twin well 공정을 순서대로 형성하였으며, BJT의 베이스 영역은 p-well 공정을 사용하여 형성하였다. 에미터와 컬렉터의 contact 영역은 n+ 소스/드레인 이온 주입을, 베이스의 contact 영역은 p+ 이온 주입으로 형성하였다. 그리고 실리사이드와 back-end line 공정을 진

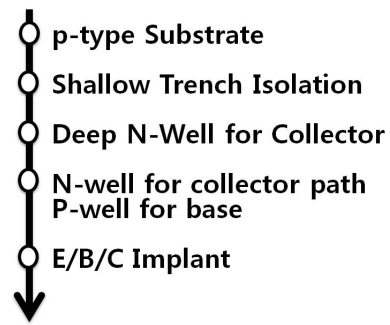


그림 1. CMOS 기술을 이용한 BJT 정합 구조 제작과정.
Fig. 1. Process flow for fabrication of BJT matching structure using CMOS technology.

행 하였다.

그림 2는 일반적인 BJT 구조로써 에미터가 베이스에 의해 둘러싸여 있는 BJT 정합 소자가 쌍을 이루는 형태를 이루고 있다. 그림 3은 제안된 구조로써 일반적인 구조에서 두 개의 단위 BJT의 베이스 부분과 컬렉터 부분이 각각 결합된 구조를 이루고 있다. 제안된 구조는 일반적인 구조에 비해 면적이 작으며, 에미터1과 에미터2 사이의 거리가 가까워진 것을 알 수 있다. 또한 정합구조의 단면을 보면 제안된 BJT의 안쪽 베이스 영역이 deep n-well 영역 안에 위치함을 알 수 있다.

에미터 면적이 5 μ m/5 μ m(세로/가로)인 구조의 전체 평면적은 일반적인 구조가 570 μ m², 제안된 구조는 513 μ m²으로 10% 줄어들었고, 에미터1과 에미터2 사이의 거리는 일반적인 구조가 15 μ m, 제안된 구조가 3 μ m로 80%가 줄어들었다. 전체 deep n-well의 가로 길이는 일반적인 구조가 39 μ m, 제안된 구조가 27 μ m로 30.8% 줄어들었다.

일반적인 구조와 제안된 구조의 면적에 따른 정합 계수를 확인하기 위해서 에미터 면적을 기준으로 2/2, 5/2, 5/5, 5/10, 10/10(세로/가로 [단위 : μ m])를 갖는 BJT를 각각 제작하였으며, 각 소자를 제외한 메탈과 패드는 모두 일정한 구조와 크기를 사용하여 소자들의 구조 차이를 제외하고 다른 영향이 미치지 않도록 고려하였다. 전기적 특성 및 정합 특성 결과의 통계적 분석의 신뢰도를 높이기 위해 60쌍의 샘플을 제작하여 평가하였다.

III. 실험 결과 및 고찰

3-1. BJT 소자의 전기적 특성

다양한 면적의 구조들 중에 에미터 면적 기준 5/5(세

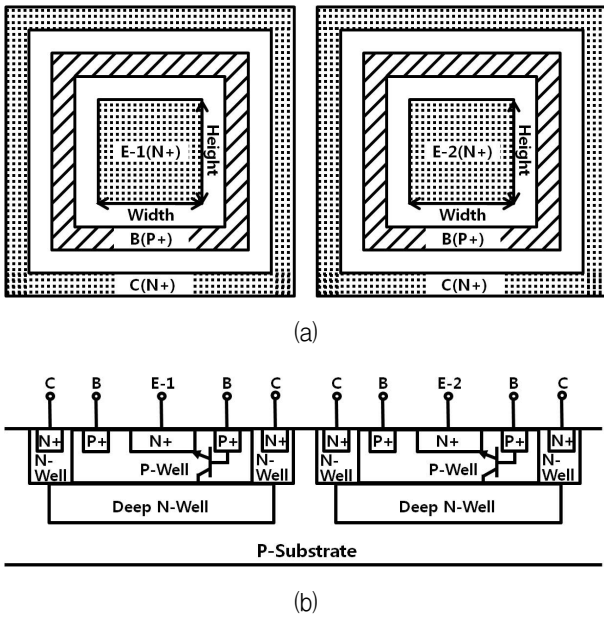


그림 2. CMOS 공정을 이용하여 제작된 일반적인 구조의 평면도(a)와 단면도(b).

Fig. 2. Plane-view (a) and cross-sectional image (b) of conventional BJT matching structure using CMOS technology.

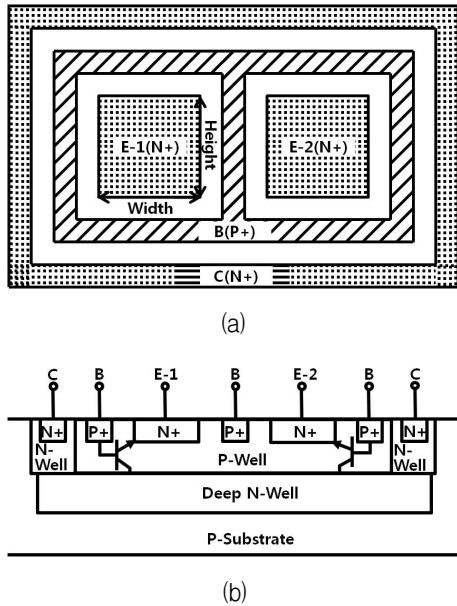


그림 3. CMOS 공정을 이용하여 제안된 BJT 구조의 평면도(a)와 단면도(b).

Fig. 3. Plane-view (a) and cross-sectional image (b) of combined BJT matching structure using CMOS technology.

로/가로 [단위 : μm])의 구조를 이용하여 일반적인 구조와 제안된 구조의 전기적 특성을 비교하였다. 그림 4는 $I_B=20\sim 100\mu\text{A}$, $V_{CE}=0\sim 1.2\text{V}$ 로 인가하여 콜렉터 전류 밀도(J_C)를 비교한 것이며, 그림 4를 통해서 Early

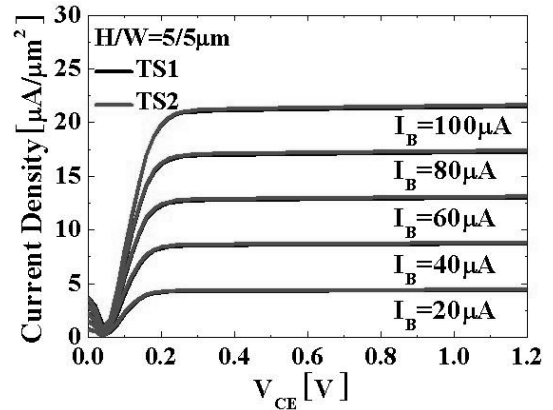


그림 4. 일반적인 구조 [TS1]와 제안된 구조 [TS2]의 베이스 전류 변화에 따른 콜렉터 전류밀도 $J_C - V_{CE}$ 특성 비교.

Fig. 4. Comparison of the collector current density J_c vs V_{CE} curves with a variation of base current between conventional structure [TS1] and proposed structure [TS2].

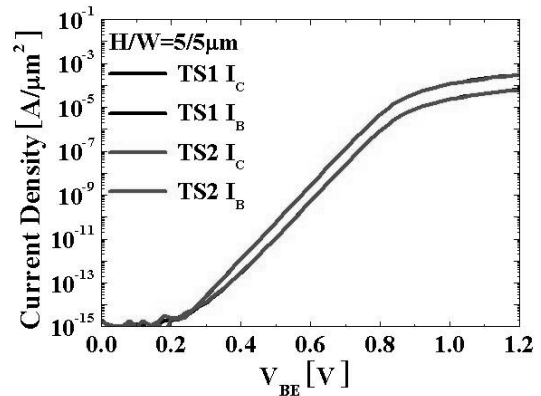


그림 5. 일반적인 구조 [TS1]와 제안된 구조 [TS2]의 콜렉터 전류 밀도 J_C 의 비교.

Fig. 5. Comparison of the collector current density J_c between conventional structure [TS1] and proposed structure [TS2].

voltage(V_A)를 추출하였다. 일반적인 구조는 45.50V, 제안된 구조는 45.48V로 0.02V의 매우 작은 차이를 나타낸다. 그림 5는 $V_{BE}=0\sim 1.2\text{V}$ 로 인가하여 콜렉터 전류 밀도(J_C)를 비교한 것이다. 두 구조 모두 BJT로서의 일반적인 Gummel Plot을 보여주고 있다. 그림 5의 $V_{BE}=0.7\text{V}$ 에서 콜렉터 전류 밀도는 일반적인 구조에서 $0.1260\mu\text{A}/\mu\text{m}^2$, 제안된 구조는 $0.1256\mu\text{A}/\mu\text{m}^2$ 로 역시 차이가 별로 발생하지 않았다.

그림 6은 전류이득(β)을 콜렉터 전류밀도 변화에 따라 나타낸 것이다. 전류이득 최대값은 일반적인 구조가 5.424이고, 제안된 구조는 5.433으로, 일반적인 구조를

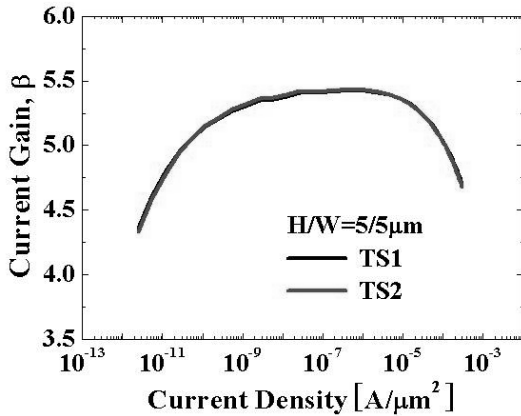
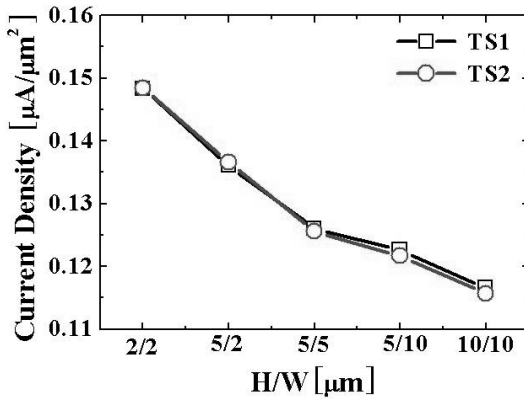
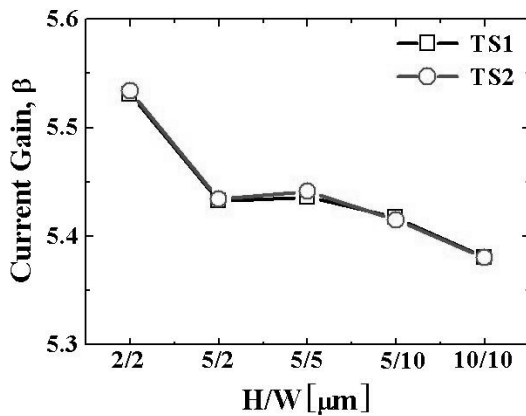


그림 6. 일반적인 구조 [TS1]와 제안된 구조 [TS2]의 전류 이득 β 과 콜렉터 전류 밀도 J_C 의 비교.

Fig. 6. Comparison of current gain β and collector current density J_C between conventional structure [TS1] and proposed structure [TS2].



(a)



(b)

그림 7. 에미터 면적의 변화에 따른 (a) 콜렉터 전류 밀도 J_C 와 (b)전류 이득 β. V_{BE} 와 V_{CE}는 각각 0.7V 와 1.2V를 인가하였다.

Fig. 7. (a) Collector current density J_C and (b) current gain β for various emitter areas. Applied V_{BE} and V_{CE} are 0.7V and 1.2V, respectively.

기준으로 제안된 구조가 0.166%만큼 크다. 일반적인 구조와 제안된 구조의 전기적특성에 큰 차이가 없으며, BJT로서의 일반적인 특성을 보이고 있음을 알 수 있다.

일반적인 구조와 제안된 구조의 면적의 크기에 따른 전기적 특성을 자세히 비교하기 위해서 그림 7에 에미터 면적의 변화에 따른 콜렉터 전류밀도 J_C와 전류이득 β를 나타내었다. V_{BE}와 V_{CE}는 각각 0.7V 와 1.2V를 인가하였다. 모든 구조의 소자에서 비슷한 경향성을 나타내고 있으므로, 두 BJT 구조의 비교가 일관성이 있음을 알 수 있다.

3-2. BJT 소자의 정합특성

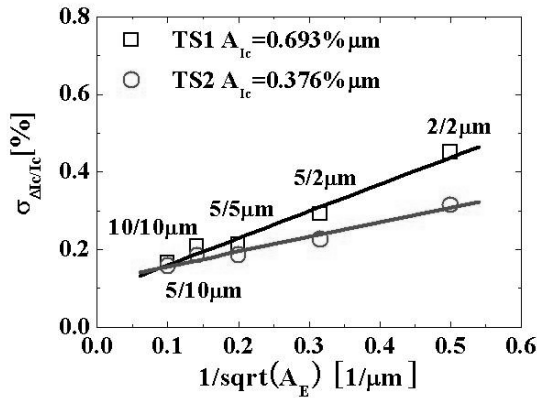
정합 특성을 분석하기 위하여 식 (1)을 이용하여 정합 계수 (matching coefficient)를 추출하게 되는데 정합 계수가 작은 값을 가질수록 우수한 정합 특성을 나타낸다고 할 수 있다^[7].

$$\sigma_{\Delta P/P} = \frac{A_p}{\sqrt{WL}} \tag{1}$$

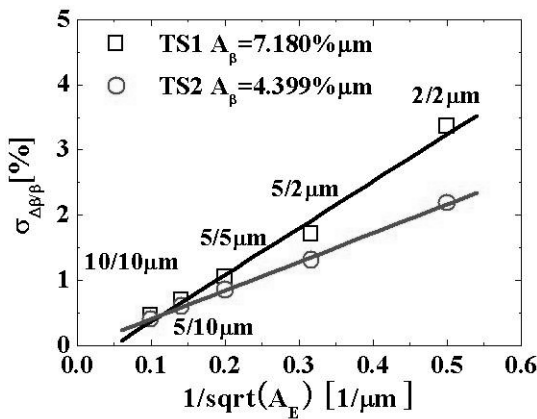
여기서 σ는 표준편차를 의미하며, P는 콜렉터 전류, I_C나 전류이득 β와 같은 변수를 나타내고, ΔP는 두 소자간의 파라미터 값의 차이이며 A_p는 정합 계수이다.

정합 계수의 비교를 위해 그림 8과 같이 에미터 면적의 역수에 따른 분산을 나타냈다. 그림 8 (a)에서 볼 수 있듯이 콜렉터 전류의 정합 계수의 경우 일반적인 구조가 0.693%μm, 제안된 구조는 0.376%μm로 제안된 구조가 일반적인 구조에 비해 45.74% 감소하였음을 알 수 있다. 또한 그림 8 (b)를 통해 전류 이득의 정합계수는 일반적인 구조가 7.180%μm, 제안된 구조가 4.399%μm로 제안된 구조가 일반적인 구조에 비해 38.73% 감소하였음을 나타내고 있다. 따라서 일반적인 구조에 비해 제안된 구조의 콜렉터 전류 밀도와 전류 이득의 차이가 각각 0.361%, 0.166% 로 큰 변화가 없지만, 정합 특성은 매우 개선됨을 알 수 있다.

CMOS BJT의 정합 특성이 향상되기 위해서는 active, well, deep n-well 등의 공정을 진행시에 어느 정도의 공정 변수의 변화가 발생하는가가 중요한 특성 중에 하나이다. 따라서 BJT를 구성하는 각각의 영역에서 저항의 변화 특성에 대해서 분석할 필요성이 있다고 할 수 있다. 그림 9는 베이스와 연관된 각각의 영역 (p-active, p-well, deep n-well)에서의 저항의 표준편차



(a)



(b)

그림 8. 두 BJT 소자의 matching 특성비교, (a) Ic에 관한 matching 특성, (b) β에 관한 matching 특성
Fig. 8. Comparison of matching characteristics of two BJTs, (a) collector current Ic and (b) current gain, β.

차이를 비교한 결과이다. 다른 저항에 비해 deep n-well저항의 표준편차 값이 20배 이상 큰 것을 확인할 수 있다.

deep n-well 영역은 컬렉터의 역할을 한다. 또, p-sub와 베이스 역할을 하는 p-well이 접하지 않도록 막아주는 역할과 더불어 반도체의 저항을 최소화하기 위한 강하게 도핑한 n+ 매몰층(heavily doped n+ buried layer)역할을 한다. 그리고 Deep n-well은 그림 2에서 볼 수 있듯이 BJT를 구성하는 다른 어떤 영역보다 가장 큰 부분을 차지한다. 이 영역의 저항 정합특성이 컬렉터 전류와 전류이득의 정합특성에 미치는 영향은 클 것이라고 예측할 수 있다. 일반적인 구조와 제안된 구조의 deep n-well 영역의 가로 길이는 일반적인 구조가 39μm, 제안된 구조가 27μm로 제안된 구조가 일반적인 구조에 비해 30.8% 줄었다. 따라서 제안된 구조

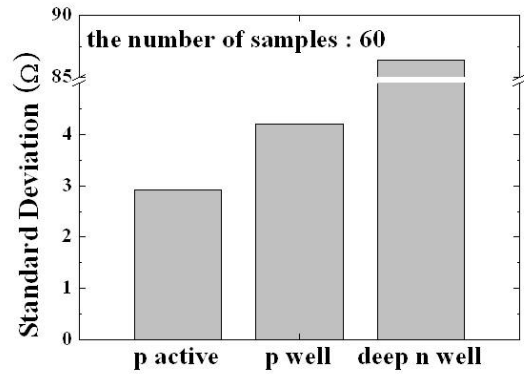


그림 9. Resistor의 종류에 따른 표준편차 비교.
Fig. 9. Comparison of standard deviation for different types of resistors.

는 deep n-well의 면적에 따른 deep n-well 저항의 영향 감소로 인해 BJT 정합 특성의 향상을 가져 왔다고 할 수 있다.

IV. 결 론

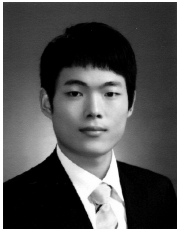
본 논문에서는 0.13μm CMOS 공정을 이용한 새로운 구조의 BJT(Bipolar Junction Transistor)를 제안하여 기존 구조와 디지털 및 아날로그 특성을 비교 분석하였다. 제안된 구조가 일반적인 구조에 비해 컬렉터 전류 밀도가 0.361% 감소하였고, 전류 이득은 0.166% 증가하여 큰 차이가 없었으나, 소자 면적이 10% 감소하였고, 컬렉터 전류의 정합 계수 A_{Ic} 와 전류이득의 정합계수 A_{β} 는 각각 45.74% 38.73% 감소하여 매우 뛰어난 정합 특성을 보여주었다. 또 저항의 종류에 따른 표준편차를 비교한 결과 다른 저항에 비해 deep n-well 저항의 표준편차 값이 20배 이상 큰 것을 확인할 수 있었다. 제안된 구조가 일반적인 구조에 비해 deep n-well 영역이 30.8% 작다. 이에 따라 제안된 구조는 deep n-well의 기생 저항 성분의 영향 감소로 인해 BJT 정합 특성의 향상을 가져 왔다고 예상 된다. 따라서 CMOS 공정을 이용한 BJT를 제작 시 deep n-well 영역이 차지하는 비율을 고려하는 것이 필요하다고 할 수 있다.

참 고 문 헌

[1] R. J. Widlar, "New developments in IC Voltage regulators", IEEE J. Solid-State Circuits, Vol. SC-8, No. 1, pp. 2-7, Feb. 1971.

- [2] P. Wessels, M. Swanenberg, H. V. Zwol, B. Krabbenborg, H. Boezen, M. Berkhout, and A. Grakist, "Advanced BCD technology for automotive, audio and power applications", IEEE J. Solid-State Circuits, Vol. 51, No. 2, pp. 195-211, Feb. 2007.
- [3] M. Darwish and R. Taubenest, "CMOS and complementary isolated bipolar transistor monolithic integration process", J. Electrochem. Soc., Vol. 121, No. 8, pp. 1119-1122, Aug. 1974.
- [4] O. H. Schade, Jr., "BIMOS Micropower IC's" IEEE J. Solid-State Circuits, Vol. SC-13, No. 6, pp. 791-798, Dec. 1978.
- [5] Z. Zhang, Z. Feng, X. Li, M. Hu, C. Zheng, "A research for BCD compatible technology", Solid-State and Integrated- Circuit Technology, pp.192-194, Oct. 2008.
- [6] H. P. Tuinhout, "Improving BiCMOS technologies using BJT parametric mismatch characterisation", IEEE BCTM, pp. 163-170, Sept. 2003.
- [7] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, "Matching Properties of MOS Transistors", IEEE J. Solid-State Circuits, Vol. SC-24, No. 5, pp. 1433-1439, Oct. 1989.

— 저 자 소 개 —



정 의 정(학생회원)
 2010년 충남대학교
 전자공학과 학사 졸업.
 2010년~현재 충남대학교
 전자공학과 석사 과정
 <주관심분야 : CMOS 소자, 아날로그 반도체 소자 정합 특성>



권 혁 민(학생회원)
 2007년 충남대학교
 전자공학과 학사 졸업.
 2009년 충남대학교
 전자공학과 석사 졸업.
 2009년~현재 충남대학교
 전자공학과 박사 과정
 <주관심분야 : CMOS 소자, 아날로그 반도체 소자 특성>



권 성 규(학생회원)
 2011년 충남대학교
 전자공학과 학사 졸업.
 2011년~현재 충남대학교
 전자공학과 석사과정
 <주관심분야 : CMOS 소자, 아날로그 반도체 소자 노이즈>



장 재 형(학생회원)
 2011년 충남대학교
 전자공학과 학사 졸업.
 2011년~현재 충남대학교
 전자공학과 석사과정
 <주관심분야 : CMOS 소자, 아날로그 반도체 소자 정합 특성>



박 호 영(학생회원)
 2011년 충남대학교
 전자공학과 학사 졸업.
 2011년~현재 충남대학교
 전자공학과 석사과정
 <주관심분야 : CMOS 소자, 아날로그 반도체 소자 특성>



이 희 덕(정회원)
 1990년 한국과학기술원 전기 및 전자공학과 학사 졸업
 1992년 한국과학기술원 전기 및 전자공학과 석사 졸업
 1996년 한국과학기술원 전기 및 전자공학과 박사 졸업
 1993년~2001년 LG반도체 및 하이닉스반도체 책임연구원
 2001년~현재 충남대학교 전자공학과 정교수
 <주관심분야: Analog 소자 개발, 저주파 노이즈 분석, 차세대 Silicide/Germanide 기술 및 차세대 나노소자 개발, 반도체 소자의 TEG 설계 및 분석, 신뢰성 분석 및 RF 소자 Modeling 등>