

부하상태를 고려한 IED 보호 및 계측 알고리즘에 관한 연구

이 성 환†

(원고접수일 : 2012년 3월 6일, 원고수정일: 2012년 4월 16일, 심사완료일 : 2012년 4월 26일)

A Study on the Protection and Measuring Algorithm of IED in Load Condition

Sung-Hwan Lee†

요 약 : 최근 복잡해지고 다양해지는 전력계통의 고신뢰성 운용을 위하여 근래에는 고속·고기능이 첨가된 지능형 보호 IED의 적용이 확산되고 있다. 이와 같이 전력계통의 운용에 있어서 보호 IED의 필요성이 증대되고 있으나, 실제 보호 IED의 운용에 있어서는 몇 가지 문제점이 노출되어 있는데, 과부하 상태가 일정하지 않은 상태에서 동작특성의 문제점 즉, 과부하상태에서 그 크기가 변동될 경우 트립 직전의 크기로만 동작시간을 판별하고, 과부하 상태와 정상상태가 반복되는 상태에서는 경우에 따라 부동작하는 기존 보호 IED의 문제점과 비선형 부하의 사용 증가로 전원 계통에서 유입되는 다양한 고조파에 대한 대책을 요구하고 있다. 그러므로 본 연구에서는 이러한 문제점들에 대한 해결 방안을 제시하고자 한다.

주제어 : IED, 보호계전, 계측, 과부하변동, 고조파

Abstract: Recently, in power system, even though the needs of protective IED(Intelligent Electronic Device) is highly increased, there are some problems in the field when use the IED. When the IED is in the fluctuated overload condition, because of the existing algorithm calculate the trip time only with the measured current of just previous measuring stage, the calculated trip time is not a proper value for the overload protection at this kind of condition, and when the load current fluctuate between overload and normal condition, because of the instantaneous reset characteristic of existing algorithm the IED dose not trip. And the non linear loads using power electronic elements seem to be increased. These non linear loads require a counterplan about various harmonics incoming to electric power systems. So we will give solutions about these problems.

Key words: IED, Protective relaying, Measuring, Fluctuated overload condition, Harmonics

1. 서 론

지능형 전자식 장치인 IED(Intelligent Electronic Device)는 지능형 전력감시·운용장치로서 전기설비의 보호, 감시, 제어, 계측 등의 정보를 종합적으로 제공하며 상위 시스템과 다양한 인터페이스를 통해 계통 운용에 있어서 고신뢰성의 확보 및 전력 품질의 향상에 대한 기여 등 계통운용의 정보화를 가능하게 하는 전자장치이다[1-3].

이와 같이 전력계통의 운용에 있어서 IED의 필요성이 증대되고 있으나, 실제 보호용 IED의 운용

에 있어서는 몇 가지 문제점이 노출되어 있는데, 이 논문에서는 그 중 보호 IED의 가장 중요한 기능인 보호계전 기능에 있어서 과부하 상태가 일정하지 않은 상태에서 동작특성의 문제점 즉, 과부하 상태에서 그 크기가 변동될 경우 트립 직전의 크기로만 동작시간을 판별하고, 과부하 상태와 정상상태가 반복되는 상태에서는 경우에 따라 부동작하는 기존 보호 IED의 단점에 따른 문제점이 있다. 계측기능에 있어서도 고조파가 많이 발생하는 비선형 부하가 다수 사용되는 현장일 경우 전력과 전

† 교신저자(위덕대학교 에너지전기공학부, E-mail:hwaney@uu.ac.kr, Tel: 054-760-1625)

력량 계산에 어려움이 있다. 실제 전력 소비요금을 표시하는 한전거래용 전력량계와 IED에서 표시하는 전력량의 오차는 사용자에게 혼란을 주며 IED 동작에 불신을 가져올 수 있다. 이러한 문제는 단순히 전력 계측에 관한 문제를 떠나, 정확한 계전 동작을 하기 위해서 고조파 전압과 전류에 대한 영향을 고려해야한다. 본 논문에서는 이러한 보호 IED의 주요 기능인 보호와 계측기능에서의 문제점에 대한 해결 방안을 제시하고자 한다.

2. 부하상태에 따른 전류·전압 특성

2.1 과부하상태의 변동

실제의 계통에서 과부하가 발생하는 경우 그 과부하의 크기가 일정한 것만은 아니다. 따라서 다양한 조건의 과부하 상태에 대해 보호 알고리즘이 적절히 동작하는가에 대하여 살펴볼 필요가 있다. 실제 과부하 보호 IED가 감시하는 과부하의 상태는 다음과 같은 조건으로 분류를 할 수가 있다.

- 1) 조건 1 : 크기가 일정
 - 2) 조건 2 : 크기가 설정치 이상을 유지하면서 변동
 - 3) 조건 3 : 크기가 설정치 이상과 이하를 반복
- 과부하의 상태가 일정할 경우에는 정해진 지연 시간에 의해 동작되므로 문제가 없다. 하지만, 과부하의 크기가 변동 될 경우, 보호 IED는 일반적인 알고리즘에 의하여 동작되므로, 실제 보호대상 기기가 견딜 수 있는 잔여 시간에 비하여 보호 IED의 동작 판별 시간이 적절하지 않은 경우가 발생하게 된다.

2.2 비선형 부하의 고조파 발생

일반적인 3상 브리지 다이오드 정류기에서 직류 전압보다 입력단 전압이 높은 경우에 입력단에서 부하측으로 전류가 유입된다. 그 결과 대부분의 전류는 콘덴서의 용량에 따라 파형이 왜곡되는 펄스의 형태를 갖는다. 따라서 입력단 선전류는 큰 THD(Total Harmonic Distortion)를 가지며 특히 5, 7 고조파 성분이 크게 나타난다.

Figure 1은 선전류의 주파수 분석을 나타내고 있다. 5차 고조파의 크기가 1차 고조파의 약 76%이며

7차 고조파 역시 57%에 이르는 것을 볼 수 있다.

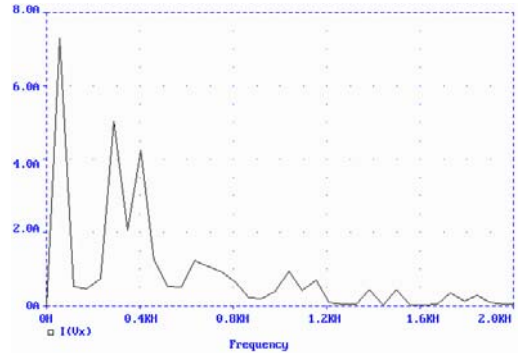


Figure 1: The frequency analysis of three phase diode rectifier input line current

3. 부하상태를 고려한 보호계전 알고리즘 및 계측회로

3.1 부하상태의 변동을 고려한 보호계전 알고리즘

단순히 현재 알고리즘 루틴에서 계측된 과부하 (과전류)의 크기에 의해서 계산되어진 동작판별 시간 값과 현재까지 흐른 시간만을 비교하여서는 문제가 있다.

따라서, 보호대상기의 총 피로정도의 개념을 반영하여, 변동되는 과부하전류에 따른 각 상태에서의 보호대상기의 피로정도의 합으로 계전기의 동작 시점을 판단하여야한다. 이를 수식적으로 표현하면 식 (1)과 같다.

$$\int_0^{T_0} \frac{I}{I(G)} dt = I \tag{1}$$

여기서, T_0 는 계전기의 최종 동작시간, 즉, 과부하 상태가 변동되는 경우의 동작시간은 다음과 같이 구할 수 있다.

$$\frac{1}{t(x_1)} t_{x1} + \frac{1}{t(x_2)} t_{x2} + \dots = 1 \tag{2}$$

$t(x_1), t(x_2)$ 는 설정치의 x_1 배, x_2 배에 대한 계산된 동작시간이고, t_{x1}, t_{x2} 는 x_1 배, x_2 배의 전류가 지속한 시간이다. 이 경우 개선된 알고리즘에 의하여 구해지는 새로운 계전기의 동작시간은 다음과 같

다.

$$T_0 = t_{x1} + t_{x2} + \dots \quad (3)$$

제안된 알고리즘에 대하여 두 가지의 과부하 변동 조건에 대한 검토 결과는 다음과 같다.

1) 정격 전류설정치의 2배의 전류를 계산된 동작시간의 50%동안 인가 후에 설정치의 5배의 전류로 변동시켜 인가하는 경우.

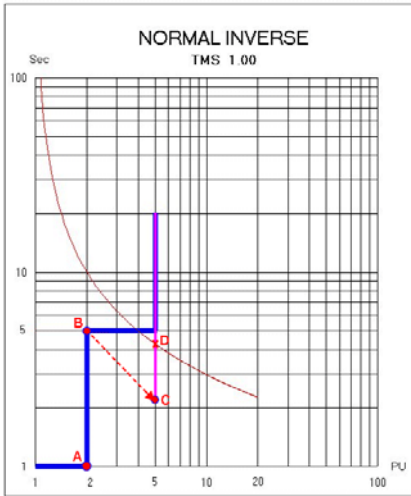


Figure 2: Review of current injection(2PU->5PU)

제안된 알고리즘에 의하여, 과부하 전류가 B위치에서 5PU로 급변되어도, Figure 2에서와 같이 계전기는 B 지점까지 지속된 과부하의 누적 피로를 %로 계산하여, 과부하 전류가 변동된 시점에서 시간 계산지점을 C위치로 옮기게 되어, D지점까지의 도달 시간만큼의 시간 후에 동작하게 되어 불필요하게 빨리 동작하는 문제점을 해결 할 수 있음을 알 수 있다. 즉, 계전기의 동작시간은 $T_{A-B} + T_{C-D}$ 가 된다.

2) 정격 전류설정치의 5배의 전류를 계산된 동작시간의 50%동안 인가 후에 설정치의 2배의 전류로 변동시켜 인가하는 경우. 제안된 알고리즘에 의하여, 과부하 전류가 A위치에서 2PU로 급변되어도, Figure 3에서와 같이 계전기는 A 지점까지 지속된 과부하의 누적 피로를 %로 계산하여, 과부하 전류가 변동된 시점에서 시간 계산지점을 B위치로

옮기게 되어 C지점까지의 도달 시간만큼의 시간 후에 동작하게 되어 불필요하게 시간지연을 더하는 문제점을 해결 할 수 있음을 알 수 있다. 즉, 계전기의 동작시간은 $T_{A-B} + T_{C-D}$ 가 된다.

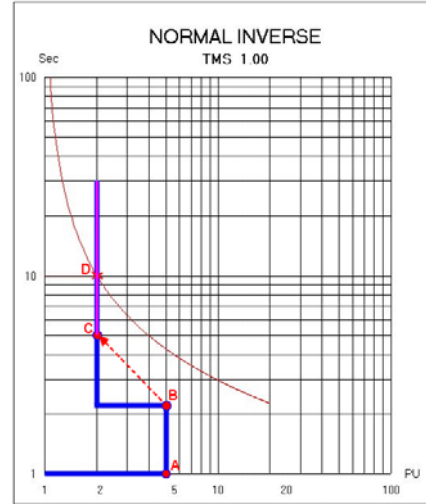


Figure 3: Review of current injection(5PU->2PU)

3.2 고조파를 고려한 전력계산회로

전력계통에서 발생하는 고조파를 분석하기 위해서는 많은 양의 메모리와 메인 프로세서의 처리 시간이 필요하므로 매 샘플링마다 고조파 분석을 실시간으로 처리하기 힘들다. 따라서 데이터 처리가 간단한 직교필터를 이용하여 매 샘플링마다 실시간으로 기본파의 크기를 측정하게 하였고 일정 시간마다 고조파 분석을 통해 얻어진 왜곡율을 계측에 반영하여 정밀도를 유지하는 방식을 구현하였다.

3.2.1 고조파를 포함한 전력계산

기존 보호계전기는 보호계전을 위해서는 기본파 중심의 계측이 이루어졌다. 그러나 실제 부하에서 사용되는 전력은 기본파 이외에 고조파 성분이 많이 포함된 전압과 전류를 사용한다. 따라서 정확한 전력과 전력량을 구하기 위해서 고조파에 대한 해석이 필수적이다. FFT 결과로 얻어진 전압과 전류 값을 이용하여 THD계산은 다음과 같다.

$$THD_V = \frac{\sqrt{\sum_{n=2}^{N/2} V_n^2}}{\sqrt{\sum_{n=1}^{N/2} V_n^2}} 100[\%] \quad (4)$$

$$THD_I = \frac{\sqrt{\sum_{n=2}^{N/2} I_n^2}}{\sqrt{\sum_{n=1}^{N/2} I_n^2}} 100[\%] \quad (5)$$

3.2.2 샘플링 주파수 선택

계통에서 발생하는 다양한 고조파의 영향을 모두 분석하여 처리할 수는 없다. 또한 샘플링 주파수의 한계와 계산시간의 제약 때문에 제한된 주파수의 분석만이 가능하다. 전압 고조파 발생원으로 생각되는 다이오드 정류기나 전류고조파 발생원으로 여겨지는 사이리스터 컨버터에서의 전압과 전류 고조파를 분석하면 주로 12차 이하의 저차 고조파가 대부분을 차지하고 있다. 너무 적은 샘플링을 하면 정확한 주파수 분석이 이루어지지 않으며, 너무 많은 샘플을 하면 계산량이 증가하게 된다.

Dilichelt 조건에 의하면 왜형율이 0.03이하로 제어되어야 한다. A는 파형의 피크값일 경우 다음과 같이 왜형율을 구할 수 있다.

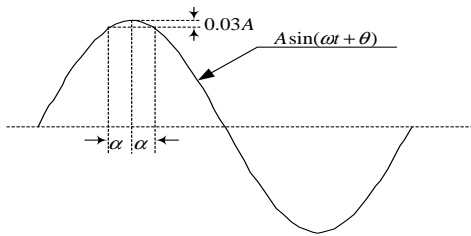


Figure 4: The relationship between sampling frequency and the distortion rate

$$A - A\sin(90 \pm \alpha) \leq 0.03A \quad (6)$$

$$\alpha \leq 14.0669 \quad (7)$$

식 (6)과 (7)에서 알 수 있듯이 샘플링 간격은 14.0669° 이하는 유지해야한다. 이 값을 만족하는 샘플링 수는 26샘플링으로 3[%]이하의 왜형을 유지하기 위해서는 26샘플 이상해야한다는 것이다. 식(6)과 (7)을 근거로 하여 12샘플은 13.4[%]이며

36샘플은 1.52[%]이다. 샘플링 주파수를 정할 때 주의해야하는 것은 FFT를 하기 위해서 2^N의 데이터가 필요하다는 것이다. 특히 radex 2² 알고리즘 적용을 위해서는 4의 배수의 데이터 수가 필요하다. 따라서 본 연구에서는 주기당 32, 36 또는 64 샘플링 주파수를 갖게 하였다.

4. 실험결과 및 고찰

4.1 과부하변동 조건에서의 보호계전

4.1.1 시험장치

Figure 12는 본 논문에서 제안된 알고리즘의 검증을 위하여 사용된 시험 장치이다. 과부하의 변동 상태 및 고조파를 인가하기위하여 디지털형의 3상 전류, 전압 계전기 시험 장치를 사용하였다.

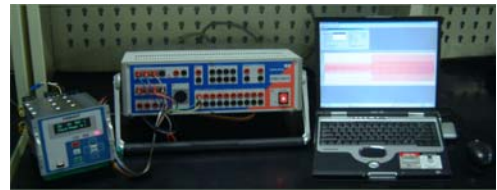


Figure 12: The photo of test equipment

4.1.2 시험결과 및 고찰

Table 1은 각 시험 조건에 따른 기존 알고리즘과 개선된 알고리즘의 동작특성 시험 결과이다.

① 과전류인가조건 1, 2에서는 기존알고리즘과 개선된 알고리즘 모두 허용오차 범위(± 5%) 내에서 정동작 하였다.

② 과전류인가조건 3에서 기존알고리즘은 예상과 같이 평균 5.03초에 동작하여 불필요하게 빨리 동작하였다.

개선된 알고리즘에 의한 계산된 동작시간은 다음과 같다.

$$\frac{1}{t(2)} 5 + \frac{1}{t(5)} t_{x2} = 1 \quad (8)$$

$$\frac{1}{10.029} 5 + \frac{1}{4.280} t_{x2} = 1 \quad (9)$$

따라서, tx2 = 2.146 s

그러므로 T0 = 5 + 2.146 = 7.146 s

시험 결과 평균 7.158초에 동작하여 기존 알고리즘과 같이 불필요하게 빨리 동작하지 않았고, 약 0.15%의 오차범위로 정동작 하였다.

③ 과전류인가조건 4에서 기존알고리즘은 예상과 같이 평균 10.016초에 동작하여 불필요하게 동작 지연이 되었다.

Table 1: Operation time characteristic test result

과전류 인가조건		동작시간 시험결과		계산된 동작시간
		기존 알고리즘	개선된 알고리즘	
1	2A 일정	10.032	10.027	10.029 s
		9.991	10.028	
		10.019	10.032	
2	5A 일정	4.275	4.295	4.280 s
		4.279	4.294	
		4.284	4.297	
3	2A → 5A로 변동	5.029	7.160	7.146 s
		5.030	7.158	
		5.030	7.156	
4	5A → 2A로 변동	10.019	7.169	7.168 s
		10.016	7.169	
		9.997	7.157	

개선된 알고리즘에 의한 계산된 동작시간은 다음과 같다.

$$\frac{1}{t(5)} \cdot 2.13 + \frac{1}{t(2)} \cdot t_{x2} = 1 \tag{10}$$

$$\frac{1}{4.280} \cdot 2.13 + \frac{1}{10.029} \cdot t_{x2} = 1 \tag{11}$$

그러므로 $T_0 = 2.130 + 5.038 = 7.168$ s 시험 결과 평균 7.165초에 동작하여 기존 알고리즘과 같이 불필요하게 동작 지연되지 않았고, 약 0.04%의 오차범위로 정동작 하였다.

과전류 인가조건 3과 4는 설정치의 2배와 5배의 과전류를 각각 계산된 동작시간의 50%를 먼저 인가 후에 변동시키는 조건으로 기존 알고리즘의 경우 시험전류 인가조건에 따라 동작시간이 큰 차이를 보인 반면, 개선된 알고리즘의 경우에는 동작시간이 시험 조건에 상관없이 일정한 결과를 보인다. 따라서 개선된 알고리즘이 보호대상기기의 실제

피로의 누적을 잘 반영하여 동작됨을 알 수가 있다.

4.2 FPGA를 이용한 샘플링 회로개발

4.2.1 시험결과 및 고찰

비선형 부하를 모의하기 위해 전류 전압 인가 장치를 이용하여 고조파를 발생하였으며 전문적인 고조파 분석기 및 고정밀 계측기를 이용하여 계측 정밀도를 검증하였다. 기본 주파수(f_{HZ})는 60 Hz이며 아날로그 채널($N_{channel}$)은 10개이며 주기당 샘플링(N_{sample})이라면 식 (12)와 같은 제어주기(f_{ad}) 멀티플렉서, A/D변환기 그리고 메모리 관리가 필요하다. 따라서 만약 메인 프로세서에 인터럽트를 이용하여 A/D변환 기능을 수행하면 프로세서에 많은 부담을 주게된다.

$$T_{A/D} = T_{HZ} \times \frac{1}{N_{channel}} \times \frac{1}{N_{sample}} \tag{12}$$

$$= \frac{1}{60} \times \frac{1}{10} \times \frac{1}{32}$$

$$= 52 \mu s$$

본 논문에서는 FPGA(Field Programmable Gate Array)를 이용하여 A/D변환 기능을 하드웨어적으로 수행하게 하여 메인 프로세서의 부담을 줄였다. FPGA의 A/D변환 제어기는 다음과 같은 순서로 동작된다. 먼저 식 (12)와 같은 시간마다 멀티플렉서의 채널을 변환시키고 안정된 출력이 나오기 위해서는 일정시간을 기다린 후 A/D변환 명령을 발생한다. A/D변환에 소요되는 시간은 사용하는 A/D변환기에 따라서 다양하지만 본 연구에 사용된 A/D변환기는 약 7~10 us정도가 소요된다. 마지막 과정으로 A/D변환이 끝나면 변환된 출력 데이터를 듀얼포트 램의 정해진 주소에 저장하게 된다. 이와 같은 동작을 반복하여 일정한 양을 저장한 후에 메인 프로세서에 인터럽트를 발생시켜 처리를 요청한다. 메인 프로세서는 메모리를 통해 저장된 데이터를 읽어들이 다양한 디지털 신호 처리 후 계측기능과 계전기능을 수행한다.

Figure 13은 위에서 설명한 A/D변환 제어기의 구조와 동작을 나타내고 있다. Figure 14는 FPGA로 구성된 샘플링회로의 컴퓨터 시뮬레이션 결과이다.

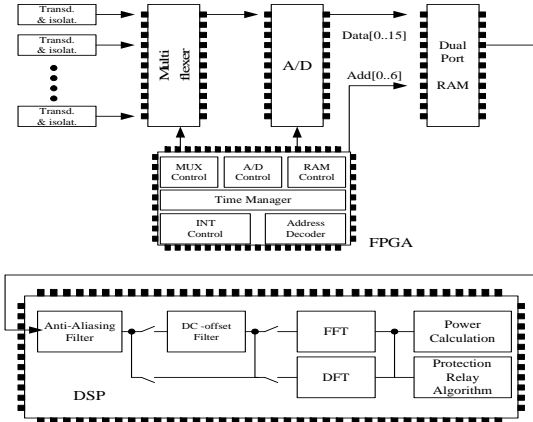


Figure 13: The block diagram of measuring part

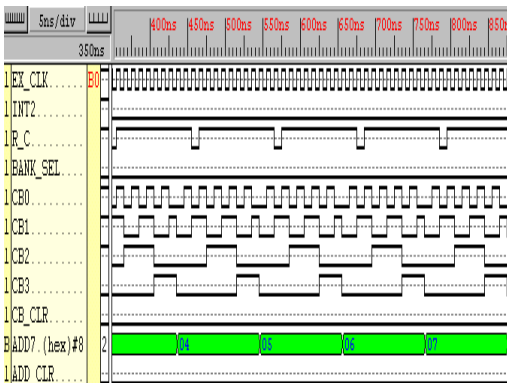


Figure 14: The simulation waveform of sampling circuit

5. 결 론

본 논문에서는 기존 보호 IED의 과부하보호 알고리즘이 과부하상태가 변동이 될 경우, 동작시간 판별의 문제점을 해결할 수 있는 알고리즘을 제안하였다. 제안된 알고리즘은 기존 알고리즘이 과부하의 상태가 변동될 경우 보호대상기기가 받는 피로도를 적절히 반영하지 못하여 과부하의 변동 상태에 따라 불필요하게 빨리 동작하거나, 보호대상기기의 적정 피로도를 넘어선 후에 동작하는 등 기기의 수명에 영향을 주는 문제점이 실험을 통해 해결됨을 확인하였다. 또한 고조파가 많이 포함된 계통에 적용하기 위한 보호IED의 전력계산회로개발에 관하여 논하였다. 실제 현장 적용에 필요한 다양한 고려 사항과 이에 대한 대책을 열거하였으며

고속 샘플링에 필요한 샘플링 회로를 개발하였다. 제안된 회로는 하드웨어적인 처리를 통해 이루어지므로 메인 프로세서에 부담을 줄어 전체 계전 및 계측 동작의 안정성을 확보할 수 있었다.

참고문헌

- [1] R. C. Patterson, "A quantum leap into the ied age", The 39th Rural Electric Power Annual Conference, pp. (B1)-1-5, 1996
- [2] G. Bucci, C. Landi, "A multi-DSP based instrument on a VXI C-Size Module for real-Time measurements", IEEE Transactions on Instrumentation and Measurement, vol. 49, Issue 4, pp. 884-889, Aug. 2000
- [3] Chun-Yu Chen and Chieh-Hsiung Kuan, "Design and calibration of a noise measurement System", IEEE Transactions on Instrumentation and Measurements, vol. 49, no. 1, Feb. 2000

저 자 소 개



이성환(李聖煥)

1966년 8월 10일생. 1990년 연세대 전기공학과 졸업. 1998년 동 대학원 전기공학과 졸업(공학). 1995~2001 현대중공업(주) 선임연구원. 2001~현재 위덕대 에너지전기공학부 부교수