

적층형 초전도 다심 선재 제조

Fabrication of coated conductor stacked multi-filamentary wire

윤기수¹, 하홍수², 오상수^{2,4}, 문승현³, 김철진^{4,*}

K. S. Yun¹, H. S. Ha², S. S. Oh², S. H. Moon³, and C. J. Kim^{4,*}

Abstract: Coated conductors have been developed to increase piece length and critical current for electric power applications. Otherwise, Many efforts were carried out to reduce AC loss of coated conductor for AC applications. Twisting and cabling processes are effective to reduce AC loss but, these processes can not be applied for tape shaped coated conductor. It is inevitable to have thin rectangular shape because coated conductor is fabricated by thin film deposition process on metal substrate. In this study, round shape superconducting wire was first fabricated using coated conductors. First of all, Ag coated conductor was used. coated conductor was slitted to several wires with narrow width below 1mm. 12ea slitted wires were parallel stacked on top of another until making up the square cross-section. The bundle of coated conductors was heat treated to stick on each other by diffusion bonding and then copper plated to make round shape wire. Critical current of round wire was measured 185A at 77K, self field.

Key Words: coated conductors, slitting, round wire, staked, wire.

1. 서 론

초전도 현상이 1911년 K. Onnes에 의해 처음 발견된 후, 여러 가지 초전도체가 연구개발 되어왔으며 아울러 이러한 초전도 현상을 이용한 응용기술 개발이 이루어지고 있다[1]. 특히, 초전도 현상의 특징 중 하나인 저항이 영이 되는 성질을 이용하여 현재 다양한 초전도 선재를 만들어내고 있다[2]. 최근 고온 초전도 박막 선재(이하 박막선재)의 경우 고임계전류, 고강도의 특성을 지닌 km 급 장선재를 개발하기 위한 연구가 활발히 진행되고 있으며 상용화에 거의 도달하였다[3].

한편 초전도 케이블, 변압기, 한류기 등의 교류응용을 위해서는 박막선재에 발생하는 교류 손실을 저감하여야한다. 교류 손실 저감을 위해서는 선재를 서로 꼬거나 집합연선을 하여야 하지만 박막선재는 테이프 형상으로 인해 불가능하다.

최근 Roebel bar 방식으로 박막선재를 이용한 전위도체를 개발하고 있지만 50% 이상의 박막선재를 잘라내야 하므로 재료손실이 커서 경제적이지 못하다[4]. 또한 테이프 형상으로 인해 폭 방향 변형이 어려워 layer winding을 통한 마그네트 제조가 어렵다.

박막선재를 저온선재 또는 구리선과 같이 원형의 선재를 제조할 수 있다면 이러한 문제점을 한 번에 해결할 수 있을 것이다. 따라서 본 연구에서는 이러한 문제를 해결하고자 박막선재의 단면을 원형화하는 연구를 행하였다.

2. 실험 방법

원형 선재를 만들기 위해 고안된 방법은 비교적 간단한 것으로 그림 1에 제조순서를 나타내었다.

먼저 은(Ag)가 코팅된 박막선재를 이용하여 원하는 폭 만큼 슬리팅한 후 슬리팅된 박막선재를 적층하여 단면이 정사각형이 되도록 한다. 이후 열처리 공정을 통하여 선재 표면에 코팅된 Ag층간에 확산접합이 일어나도록 하고 이후 안정화재 추가 및 원형화를 위하여 구리도금을 실시한다.

이상의 공정 순서대로 초전도 적층도체를 제조하기 위해 본 실험에서는 IBAD(Ion Beam Assisted Deposition) - MgO 기판에 RCE(Reactive Co-Evaporation)법으로 $Gd_{1+x}Ba_{2-x}Cu_3O_{7-8}$ (이하 GdBCO)를 증착한 박막선재를 이용하였다[5, 6].

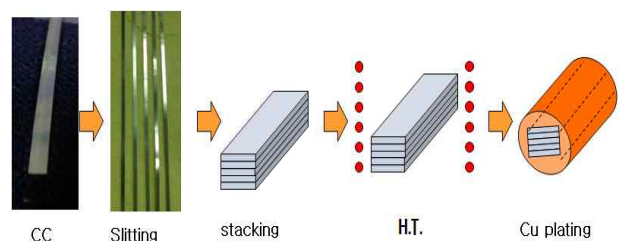


Fig. 1. Schematic fabrication procedures of coated conductor stacked multi-filamentary round wire.

¹학생회원 : 경상대 세라믹공학과 석사과정

²정 회 원 : 한국전기연구원 초전도연구센터 연구원

³정 회 원 : 주식회사 서남 대표이사

⁴정 회 원 : 경상대 세라믹공학과 교수

*교신저자 : cjk@gnu.ac.kr

원고접수 : 2012년 02월 06일

심사완료 : 2012년 02월 24일

게재확정 : 2012년 02월 29일

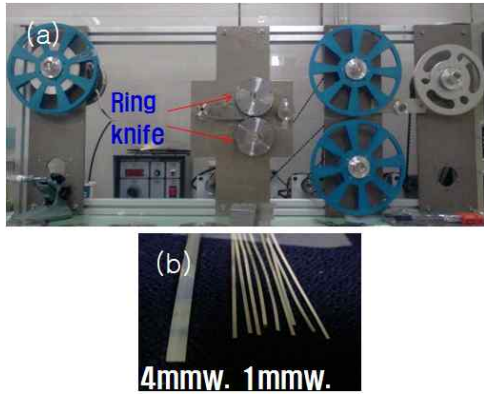


Fig. 2. Photos of (a) mechanical slitter using ring knives (b) coated conductor before and after slitting.

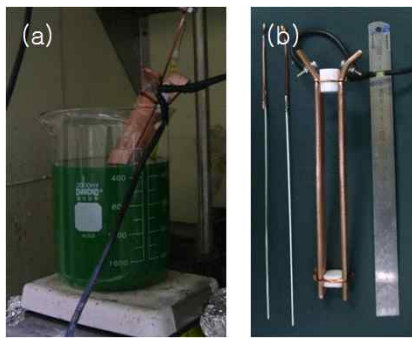


Fig. 3. Photos of (a) Cu plating apparatus and (b) electrodes.

먼저 준비된 4 mm 폭의 박막선재를 슬리팅하기 위해 그림 2의 갱(gang)슬리팅 장치를 이용하여 1 mm 폭으로 절단하였다. 원형 슬리팅 날이 장착되어 있어서 연속 절단이 가능하므로 장선을 동일 폭으로 절단할 수 있다. 슬리팅한 박막선재들은 특성평가를 위해 직류 4단자법으로(전압단자간 거리 32cm) 임계전류를 측정하였다.

슬리팅된 특성이 우수한 박막선재 12개를 적층한 후 산소 분위기에서 500°C 3시간 동안 열처리를 실시하였다. 이때 선재 표면에 코팅된 은(Ag)층간 확산 접합으로 일체형 도체를 만들고자 하였다. 박막선재간의 안정적인 접합을 위하여 적층된 선재 외곽을 다양한 장력으로 은(Ag)선을 2 mm간격으로 감아 열처리 하였다. 이후 열처리된 적층 선재의 표면에 구리를 도금하여 안정화 역할 및 원형 단면을 만들고자 하였다. 먼저 황산구리 도금용액(0.06 mol%)을 약 35~40 °C로 가열 한 후 그림 3의 전극모양과 같이 구리막대 사이에 도금할 적층 선재를 끼운 후 전극을 적층 선재에는 음극(-), 구리막대는 양극(+)으로 연결하여 도금용액에 침지하였다. 이때 도금을 위한 적층선재의 길이는 250 mm이었으며 단면크기는 가로 1 mm, 세로 1 mm였다. 도금을 위해 전극에 인가한 전압은 3 V, 전류밀도는 0.2 A/cm²였으며 도금시간은 10~20분이었다. 도금 완료 후 적층도체의 특성평가를 위해 전압단자간 거리 12 cm로 임계전류를 측정하였다.

3. 결과 및 토의

슬리팅한 박막선재는 각각 임계전류를 측정하여 슬

리팅에 의한 변화를 평가하였다. 그림 4와 같이 1 mm 폭으로 슬리팅된 선재의 임계전류를 측정한 결과, 매우 불균일하게 분포함을 알 수 있다. 이러한 이유를 분석하기 위하여 MOI(magnetic optic image)를 이용하여 초전도층의 통전 특성을 분석하였다. 그림 5와 같이 일부 슬리팅된 박막선재의 초전도층의 통전경로가 연결되어있지 않고 단절되어 있는 것을 발견할 수 있었다. 단절의 원인으로서는 기계적 슬리팅에 의해 세라믹인 초전도층이 폭 방향으로 균열이 발생한 것으로 판단되며 표면의 은(Ag)을 제거하고 슬리팅된 선재의 모서리 부분을 관찰하였다. 그림 6에서 슬리팅된 모서리에는 약 20~30 um의 폭으로 초전도층이 떨어져 나갔으며 나머지 약 20 um 폭으로는 균열이 존재하는 것을 관찰할 수 있었다. 하지만 초전도선재 전체 폭을 가로지르는 균열 및 파괴는 발견되지 않았다. 따라서 이러한 결함의 발생은 초전도 선재 제조 공정에서 기인하는 것으로 판단되어 제조 공정이 개선된 유사한 선재를 공급받아 동일한 방법으로 슬리팅을 행하였다.

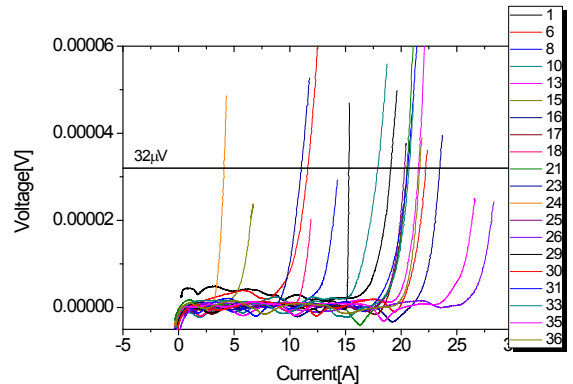


Fig. 4. Non uniform critical current distributions of coated conductors slitted with 1mm width.

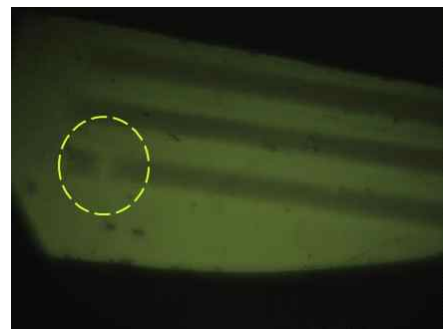


Fig. 5. Magnetic optic image of coated conductor slitted 1mm width.

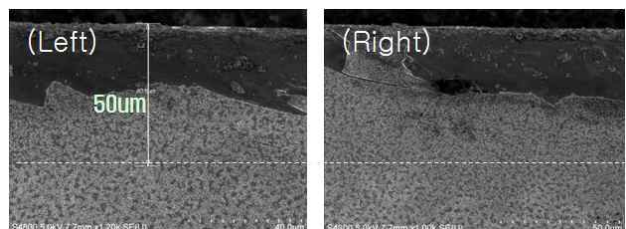


Fig. 6. Plane view of each slitted edge of coated conductor.

그림 7에서와 같이 1개의 선재를 제외한 모든 선재가 매우 균일한 임계전류 분포(18~24 A)를 가짐을 알 수 있다. 향후 슬리팅에 의한 모서리부분의 균열 발생 문제를 해결하기 위해서는 레이저 스트리이션(Laser striation)공정을 도입하여 초전도층을 먼저 레이저로 절단한 이후 기계적 슬리팅법으로 금속기판을 절단하는 공정을 적용할 것이다.

균일한 임계전류 분포를 나타낸 1 mm 폭 박막선재 12개를 이용하여 적층 후 열처리한 도체를 최종 구리 도금한 후 단면을 분석하였다. 그림 8(a)와 같이 단면 형상은 원형은 아니지만 비교적 사각형에 가까운 형태를 나타내었다. 이것은 구리 안정화재의 도금두께가 얇아 선재의 적층단면 형상을 아직 유지하고 있기 때문이다. 향후 구리 도금층을 더욱 두껍게 하고 도금시 모서리부분의 도금 속도를 상대적으로 낮춘다면 원형에 가까운 형상을 얻을 것이다. 그림 8(b)의 경우 은층간의 접합계면을 관찰한 결과이다. 적층선재의 기계적, 전기적 특성과 매우 밀접한 관련이 있을 것으로 판단되어 산소 열처리를 선재간의 용이한 접합을 위하여 적층된 도체를 은(Ag)선으로 감아서 하였었다. 은층간의 계면이 완전히 사라진 것으로 미루어 충분한 확산 접합이 이루어 졌음을 확인할 수 있다.

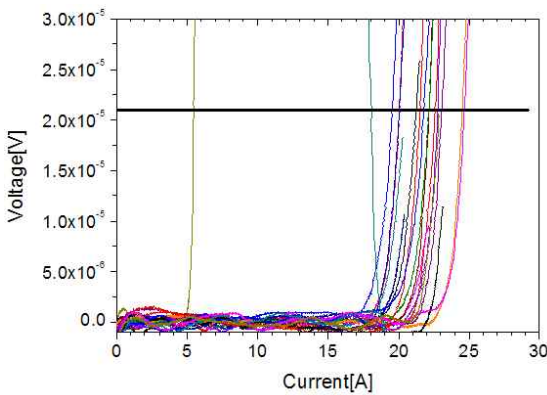


Fig. 7. Uniform critical current distributions of coated conductors slitted with 1mm width.

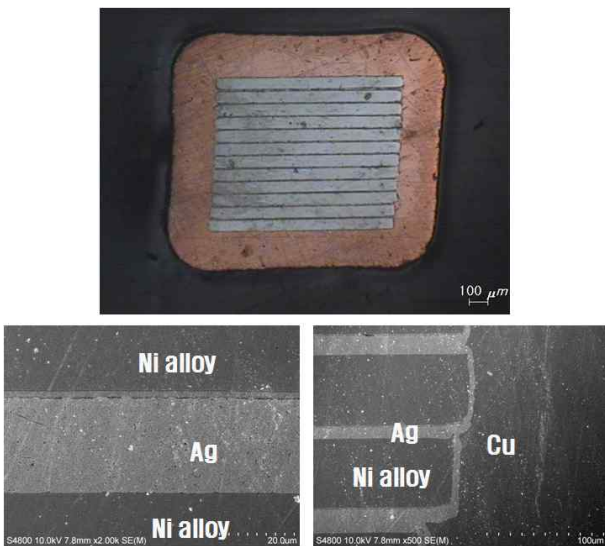


Fig. 8. Cross-section of (a) Cu coated multi-stacked wire, (b)interface between Ag layers and (c) Ag and Cu layers.

아울러 최종 구리도금공정에서도 도금되는 구리층과 은과의 접합 특성을 관찰하였다. 그림 8(c)와 같이 매우 깨끗한 계면을 형성하고 있어서 도금을 통한 적층도체의 전기적, 기계적 문제점은 거의 없을 것으로 판단되었다.

도금이 완료된 적층도체의 특성을 알아보기 위하여 임계전류를 측정하였으며 그 결과를 그림 9에 나타내었다. 그림 9(a)는 임계전류 측정시 기저저항이 발생하였으며 임계전류 또한 150 A($J_c=8,000 \text{ A/cm}^2$)로 개별 선재의 임계전류 합(205 A)과 비교해서 비교적 낮은 값이었다. 이러한 이유는 불량한 계면접합으로 인해 필라멘트간의 저항이 커짐에 따라 발생하는 것으로 사료된다. 불량한 계면접합이 발생하는 가장 큰 이유는 은층의 두께와 열처리 압력에 기인한다. 따라서 상대적으로 두꺼운 은층과 높은 열처리 압력에서 제조된 적층도체의 임계전류 특성을 그림 9(b)에 나타내었다. 이 경우 임계전류 곡선이 기저전압 없이 185 A($J_c=10\text{kA/cm}^2$)를 나타내었으나 개별선재의 합(205 A)보다 10%낮은 값이었다. 이는 열처리 도중 압력에 의한 초전도층의 손상 및 적층도체의 통전중 발생하는 수직자기자계에 의한 저하로 판단된다. 아울러 낮은 n 값(8)은 적층 선재간의 임계전류 불균일로 인해 발생하는 것으로 향후 보다 균일한 선재제 조가 필요하다. 향후 최적화된 초전도 원형도체를 제조하기 위해서는 슬리팅, 열처리, 도금방법의 최적화가 필요할 것이다. 아울러 열처리시 적층도체간의 완벽한 확산 접합을 위한 최적 압력 조건에 대한 연구가 필요하다.

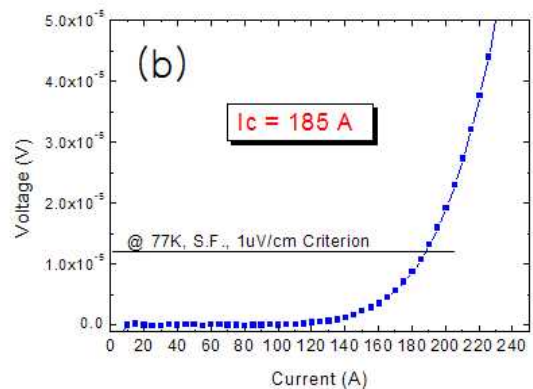
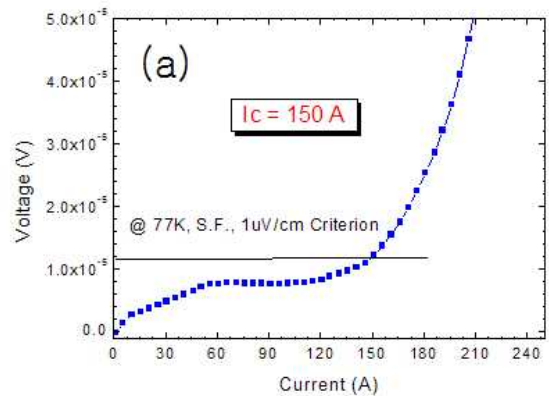


Fig. 9. Critical currents of multi-stacked wires. (a) low critical current (b)high critical current.

4. 결 론

본 연구에서 초전도 박막선재를 이용하여 다심 적층 도체를 제조하고자 하였으며 아래와 같은 결론을 얻었다.

1 mm폭으로 박막선재의 슬리팅이 가능하였으며 임계전류의 균일성은 선재 특성에 의존한다. 아울러 슬리팅에 의한 균열이 발생하는데 이것은 향후 레이저스트리에이션 공정을 적용하여 개선할 수 있을 것이다.

적층 열처리 및 구리 도금을 통하여 적층 도체를 제조하였으며 선재간 확산접합 및 구리도금을 통해 하나의 도체로 거동하였다.

적층 도체의 임계전류 특성은 선재간 접합 특성에 따라 달라지는 것으로 판단되며 접합이 불량할수록 임계전류가 저하하였으며 선재간 접합이 양호한 도체의 경우 임계전류가 약 185 A로 개별선재의 임계전류 함에 비해 10%정도 저하하였다.

낮은 n값 및 슬리팅 균열, 그리고 고가의 Ag 코팅 두께 등은 향 후 개선해야 될 부분은 많지만 기존의 판상선재의 문제점을 해결할 수 있는 대안으로 향 후 많은 연구가 진행되어야 할 것이다.

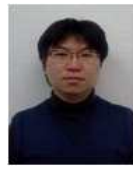
감사의 글

본 과제는 전기연구원 2012년 기본사업 과제인 창의연구 사업의 연구비 지원으로 수행되었습니다.

참 고 문 헌

- [1] H. Kamerlingh Onnes, "Electrical resistance of pure metals at liquid helium temperature", *Electrician*, vol. 6. no. 7, pp. 57, 1911.
- [2] 오상수, "한국의 coated conductor 개발 동향", 한국초전도저온공학회지:초전도와저온공학, vol. 10, no. 1, pp. 5-7, 2008년 1월.
- [3] 문승현, 이현주, 유상임, 하홍수, "세라믹 선재 형성 방법, 세라믹 선재 형성 시스템, 및 이를 이용한 초전도 선재", 대한민국 특허, 출원번호: 10-2011-0107993, 2011. 10. 21.
- [4] 황영인, "2세대 고온 초전도 선재로 제작한 퇴벨바의 자화손실", 한국산업기술대학교, 석사학위논문, 2008.
- [5] Y. Iijima, N. Tanabe, O. Kohno, and Y. Ikenoa, "In-Plane aligned YBa₂Cu₃O_{7-x} thin films deposited on polycrystalline metallic substrate", *Appl. Phys. Lett.*, vol. 69, pp. 1795, 1996.
- [6] C. P. Wang, K. B. Do, M. R. Beasley, T. H. Geballe, and R. H. Hammond, "Deposition of in-plane textured MgO on amorphous Si₃N₄ substrate by ion-beam-assisted deposition and comparisons with ion-beam-assisted -deposited yttria-stabilized-zirconia", *Appl. Phys. Lett.*, vol. 71, pp. 2955, 1997.

저 자 소 개



윤기수(尹基秀)

1985년 05월 10일생, 2011년 경상대 공대 세라믹공학과 졸업, 현재 동 대학원 세라믹공학과 석사과정.



하홍수(河洪秀)

1969년 5월 21일생, 1995년 성균관대 공대 금속공학과 졸업, 2007년 동 대학원 신소재공학과 졸업(공학박사), 현재 한국전기연구원 선임연구원.



오상수(吳詳秀)

1959년 11월 1일생, 1982년 경북대 금속공학과 학사졸업, 1992년 동 대학원 재료공학과 졸업(공학박사), 현재 한국전기연구원 책임연구원.



문승현(文勝鉉)

1964년 9월 23일생, 1987년 서울대학교 물리학과 졸업, 1994년 동 대학원 졸업(이학박사), 현재 (주)서남 대표이사.



김철진(金哲珍)

1975-1979 서울대학교 요업공학과 학사, 1986-1991년 Case Western Reserve Univ. (Cleveland, USA) 재료공학과 박사, 현재 경상대학교 나노신소재공학부 교수