온칩 네트워크 기반 멀티미디어 비디오 코덱 성능 분석

(Performance Analysis for Multimedia Video Codec on On-Chip Network)

장준영*, 김원종*, 변경진*, 엄낙웅*

(J.Y. Chang, W.J. Kim, K.J. Byun, N.W. Eum)

요약

본 논문은 온칩 네트워크 기반 플랫폼을 이용한 멀티미디어 비디오 코덱의 성능 분석에 대해 기술한다. 최근에 멀티미디어 SoC 통신 구조로 등장한 온칩 네트워크(On-Chip Network)는 기존의 SoC 설계에 사용된 온칩 버스(On-Chip Bus) 구조의 문제점을 해결하는 통신 구조로서 데이터 통신의 병렬성 제공으로 인한 고성능, 재사용성, 확장성을 제공하는 통신 구조이다. 온칩 네트워크 기반 MPEG-4, H.264의 성능과 온칩 버스와 성능을 비교 분석하였다. 실험 결과, 온칩 네트워크 기반 MPEG-4, H.264의 성능이 온칩 버스에 비해 33~56%의 성능이 개선되었다.

■ 중심어 : | 멀티미디어 응용 | 온칩 네트워크 | 온칩 버스 |

Abstract

In this paper, the performance analysis for multimedia video codec(MPEG-4, H.264) on on-chip network communication architecture is presented. The On-Chip Network (OCN) is the new communication architecture of multimedia SoC design that overcomes the limits of On-Chip Bus architecture by providing higher data traffic bandwidth, reusability and higher scalability. We compared the performance of MPEG-4, H.264 decoder based on-chip network and AMBA on-chip bus. Experimental results show that the performance of MPEG-4, H.264 based on on-chip network is improved over 33~56% compared to the design based on AMBA on-chip bus.

■ keyworld : | Multimedia application | On-Chip Network | On-Chip Bus |

Ⅰ. 서 론

반도체 공정 기술의 발달로 인해 프로세서, 메모리 및 기타 여러 가지 주변장치들을 하나의 칩에 내장시키는 시스템 온 칩(System on a Chip: SoC) 설계가 가능해졌다.

최근에 멀티미디어 SoC 설계에 있어서 멀티프로세서와 장치들이 온칩 버스(On-Chip Bus)에 연결하여 설계하는 방법이 많이 사용되고 있다[1]. 멀티프로세서로 구성된 SoC를 구현하는데 온칩 버스의 구조는 중요하다. 버스 속도, 버스 대역폭, 버스 구조에 따라서 시스템 성능에 많은 영향을 미친다. 성능을 향상시키기 위해서 멀티미디어 비디오 코덱 응용 분야에 적합한 버스 구조를 선택하는 것과 마스터들의 버스 사용의 경쟁을 감소시키기 위한 중재기의 역할이 중요하다. 멀티프로세서로 구성된 SoC에 많이 사용되는 온칩 버스로는 ARM사의 Advanced Micro controller Bus Architecture(AMBA)와 IBM사의 CoreConnect, PalmChip 사의 CoreFrame, Sonic사의 SiliconBackPlane 등이 있으며, 온칩 버스에 네트워크 통신 개념을 도입한 온칩 네트워크(On-Chip Network)등이 있다[2]. 멀티미디어 비디오 코덱 SoC 설계에 적합한 버스 구조를 선택하기 위해서 버스 구조에 따른 성능 분석이 필수적이다. 성능 분석에 따라서 적합한 버스 구조를 선정하는 것이 전체 시스템 성능을 향상시키는데 중요한 역할을 한다. 온칩 네트워크는 다수의 마스터에 의해서 온칩 버스를 공유함으로 발생되는 bandwidth 저하 문제를 해결하기 위한 통신 구조이다[3,4]. 온칩 네트워크 구조는 온칩 버스 구조에 네트워크 개념을 적용한 구조로 동일 버스를 요구하는 마스터들의 버스 사용권 충돌로 인한 마스터의 지연 시간을 제거하므로 버스의 bandwidth를 높이는 구조이다. 온칩 네트워크 구조에서는 다수의 마스터가 서로 다른 다수의 슬레이브로 동시에 서로 다른 데이터 경로를 통해서 병렬로 데이터를 전송할 수 있기 때문에 전체 시스템의 효율성 및 자원의 이용률이 증가된다. 또한 온칩 네트워크 인터

* 정회원, 한국전자통신연구원

접수번호 : 2012-02-01-0001
접수일자 : 2012년 02월 01일
심사완료일 : 2012년 03월 19일

교신저자 : 김원종, 변경진, 엄낙웅, e-mail : jychang@etri.re.kr

페이스는 파이프라인 프로토콜을 사용하지 않기 때문에 매우 간단하다. 따라서 마스터와 슬레이브들의 개수가 증가하더라도 통합 과정이 매우 용이하며, 마스터와 슬레이브들 사이의 병렬적인 데이터 전송이 많을수록 시스템 성능은 급격히 향상된다. 기존의 온칩 버스의 제약사항을 해결하기 위한 온칩 네트워크에 관한 다양한 연구가 진행되고 있다. 국내외 온칩 네트워크에 관련된 연구는 2000년 Massachusetts 대학의 aSOC라는 NOC(Network-On-Chip)을 시작으로 대학에서는 Stanford의 Dally, Starnford XPIPE, Pierre et Marie Curie 대학의 SPIN, Linkoping의 SoCBUS, 2006년에는 Denmark 기술 대학의 Mesh 형태의 router를 기반으로 한 MANGO가 소개되었다. 산업체에서는 필립사의 AETHEREAL등이 소개 되었다[3]. 국내에서는 KAIST에서 개발된 Star 형태의 온칩 네트워크 프로토콜인 BONE-1,2,3에 관련된 연구가 진행 중이다[4]. ETRI에서는 Star, Mesh, OCB/Star, Star-Mesh 혼합형 온칩 네트워크를 이용한 SoC 플랫폼 및 설계 환경에 관한 연구가 진행 중이다[[6,7,8,9]. 온칩 네트워크에 관련된 연구는 주로 온칩 네트워크의 프로토콜이나 구조에 관련된 연구가 주로 진행되었으며 멀티미디어 응용 시제품 설계에 적용된 예는 미약한 형편이다. 본 논문에서는 온칩 네트워크 구조에 MPEG-4, H.264 비디오 코덱 설계와 성능 분석 결과를 제시하며, 온칩 버스 구조로 설계된 MPEG-4, H.264 비디오 코덱과 성능을 비교 분석한 결과를 제시한다. II장에서는 온칩 네트워크 구조를 이용한 MPEG-4 비디오 코덱의 설계 및 성능 분석에 대해서 설명하고, III장에서는 온칩 네트워크 기반 H.264 비디오 디코더에 대한 동작 및 성능 분석 결과에 대해서 기술하고 IV장에서는 결론을 기술한다.

II. 온칩 네트워크 기반 MPEG-4 성능 분석

멀티미디어 비디오 코덱의 표준인 MPEG-4의 설계에 많이 사용되는 AMBA 기반 온칩 버스 구조와 온칩 버스의 버스 공유로 인한 버스의 bandwidth 제약을 해결하기 위해 제안된 온칩 네트워크 구조에 대해서 설명한다.

1. 단일 버스 구조

단일 버스 구조(SLB)를 갖는 ASB/APB 구조는 그림1 과 같다. 시스템 버스인 ASB에는 2개의 마스터인 ARM 프로세서와 데이터 전송을 전담하는 DMAC 있고 마스터들의 버스 사용권을 우선순위에 따라 중재하기 위한 중재기가 있다. 디코더는 ARM 코어가 IO 장치를 선택하기 위해 주소를 디코딩하는 장치이다. 저속의 주변장치 모듈을 연결하기 위한 APB Bridge가 있다. 마스터인 ARM 코어는 내부 메모리인 IntMem으로부터 프로그램을 실행하거나 (SW), 슬레이브의 제어 레지스터를 설정하는 역할을 담당한다(FW). DMAC는 데이터 메모리인 SDRAM과 코어와 IO 장치사이의 데이터 전송을 전담하는 마스터이다(DMA). 단일 버스 구조에서는 하나의 물리적인 버스를 하나의 마스터가 점유하고 있으면, 다른 마스터들은 통신을 할 수가 없다. ARM 코어가 HW의 제어 레지스터를 설정하는 동안 DMAC는 ASB 버스를 통해서 코어와 IO 장치사이에 데이터 전송을 할 수 없다. DMAC는 ARM 코어가 HW을 설정하는 동안 기다려야 한다. 따라서 단일 버스 구조는 마스터들의 버스 공유로 인하여 버스의 bandwidth 저하를 가져온다. 이와 같은 문제를 해결하기 위해서 다중 계층으로 구성된 버스 구조가 사용된다.

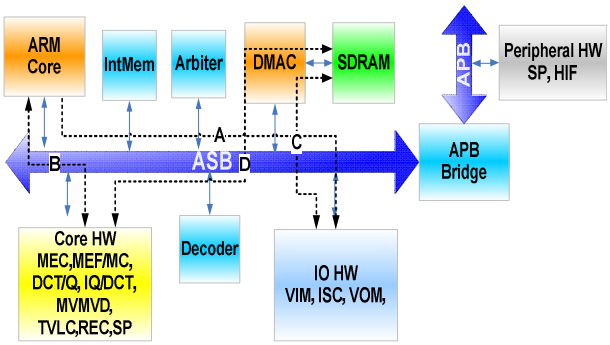


그림 1. 단일 버스 구조

그림 1과 같은 단일 버스 구조에서 버스 마스터인 ARM 코어와 DMAC의 기본 버스 동작은 다음과 같다.

A 동작: ARM 코어가 IO 장치의 제어 레지스터를 설정하는 동작

B 동작: ARM 코어가 Encoder/Decoder 모듈을 설정하는 동작

C 동작: IO 장치가 DMAC를 통해서 SDRAM에 데이터를 전송하는 동작

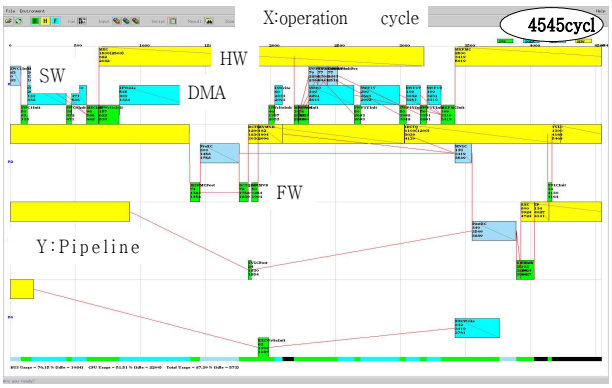
D 동작: 코어 HW가 DMAC를 통해서 SDRAM 에 데이터를 전송하는 동작

기본 버스 동작은 버스 구조의 병렬 동작 분석을 위해 사용된다. 버스 구조의 기본 동작에서 병렬 동작이 가능한 모든 경우는 {A,C}, {A,D}, {B,C}, {B,D}이다. 표 1은 각 버스 구조에 따른 병렬 동작이 가능한 경우이다. 단일 버스 구조에서는 다수의 마스터들이 공용 버스를 사용하므로 {A,C} {B,D} 병렬 동작이 불가능하다. 즉, 현재 버스를 사용하는 마스터가 동작을 종료할 때까지 기다리게 함으로 버스의 사용률이 저하되며 전체적으로 시스템 성능의 저하를 가져온다.

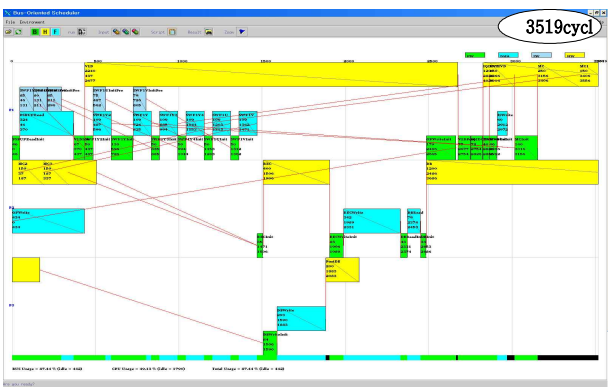
표 1. 버스 구조의 병렬 동작 테이블

병렬 동작	SLB	MLB	OCN
{A,C}	X	X	O
{A,D}	X	O	O
{B,C}	X	O	O
{B,D}	X	X	O

온칩 네트워크에서는 다수의 마스터가 패킷 형태의 데이터를 네트워크 형태의 스위칭 방법을 이용하여 전송함으로 {A,C}, {B,D}와 같은 병렬 동작이 가능하다. 병렬 동작이 증가할수록 마스터의 버스 지연 시간이 감소하여 버스의 사용량이 증가하며 시스템 성능이 향상된다. 다음은 각 버스 구조인 단일 온칩 버스, 다중 온칩 버스, 온칩 네트워크 구조의 버스 속도, 버스 폭, 버스 구조, 병렬 동작에 따른 성능 분석 과정과 결과에 대해서 설명한다.



(a) Encoder



(b) Decoder

그림 2. 단일 버스 기반 Encoder/Decoder scheduling

SLB를 가진 MPEG-4에서는 병렬 동작 {A,C}, {A,D}, {B,C}, {B,D} 이 하나도 가능하지 않다. {A,C}의 경우 ARM 코어가 IO 장치의 제어 레지스터를 초기화하기 위해서 버스를 사용하는 동안 입출력 모듈이 DMAC를 통해서 SDRAM으로 데이터가 전송될 수 없다. ARM 코어가 IO 제어 레지스터를 초기화하는 동안 DMAC는 기다려야 하므로 버스 사용량이 저하된다. 마찬가지로 단일 버스 구조에서는 {A,D}, {B,C}, {B,D}가 가능하지 않다. MPEG-4 의 scheduling 을 위한 parameter인 operation cycle time, pipeline stage 수, operation들 간의 dependence (그림 2에서 연결선)를 적용한 결과는 그림 2와 같다. Scheduling 결과에서 Y축은 pipeline stage의 수이며 X축은 모듈 별 operation의 cycle time이다. 각 stage의 module은 ARM 프로세서가 응용프로그램을 실행하는 SW 모듈과, 하드웨어 제어 레지스터를 설정하는 FW module, 하드웨어를 실행하는 HW module, DMAC에 의해 HW module로부터 SDRAM으로 data를 transfer하는 모듈로 구성된다. SBA 구조의 특성에 따라서 각 모듈이 parallel operation이 가능하지 않다. 각 모듈 별 operation cycle time, 파이프라인 수, operation들 간의 우선 순위를 적용하여 scheduling 한 결과 Encoder의 경우 4545cycle에 동작하는 것을 알 수 있고, Decoder를 Scheduling 한 결과로서 3519 cycle이내에 동작하는 것을 알 수 있다.

2. 다중 버스 구조

다중 버스 구조(MLB)는 다중으로 구성된 여러 개의 물리적인 버스를 사용하는 방법이다. 이러한 물리적인 버스간의 통신은 Mux 형태의 BusMatrix를 이용하여 통신을 하게 하는데 버스 bridge는 동시에 서로 다른 버스를 충돌 없이 연결할 수 있

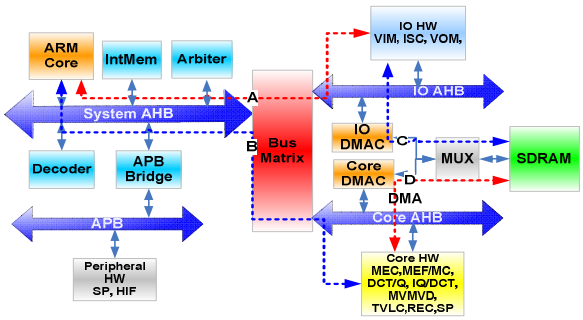
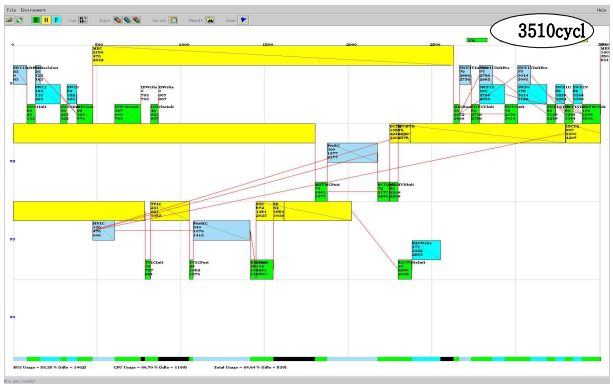
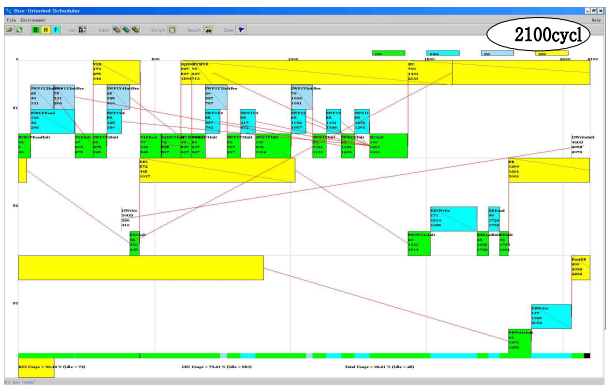


그림 3. 다중 버스 구조

는 상호 연결 matrix 구조를 갖는다. 그림 3은 다중 버스 구조로 System AHB, Core AHB, IO AHB가 존재하며 각 AHB 버스에는 각각의 마스터가 연결되어있다. AHB는 IO 장치를 제어하는 마스터인 ARM 코어와 마스터에 대한 버스 점유권을 중재하기 위한 중재기와 슬레이브를 선택하기 위한 주소 디코더가 있다. Core AHB에는 데이터 전송을 전담하는 마스터인 DMAC가 연결되어 있다. IO AHB 버스에는 IO 장치의 데이터 전송을 담당하는 IO DMAC가 연결되어 있다.



(a) Encoder



(b) Decoder

그림 4. 다중 버스 기반 Encoder/Decoder scheduling

MLB에서 IO AHB 버스와 Core AHB가 BusMatrix에 의해서 분리됨으로 {A,D}, {B,D} 병렬 동작이 가능하다. 따라서 ARM 코어가 코어 AHB을 통해서 코어 HW의 제어 레지스터를 설정하는 동안 IO 장치는 IO AHB을 사용하여 SDRAM과 데이터 전송이 가능하다. 또한 Core HW가 SDRAM과 데이터 전송을 하는 동안 ARM 코어가 IO 장치의 제어 레지스터를 초기화하는 동작과 IO DMAC에 의한 데이터 전송에 관련된 싸이클을 줄일 수 있다. MLB의 design parameter와 {A,D}, {B,D} 병렬 동작 특성을 이용하여 scheduling의 결과는 그림 4와 같다. Encoder의 경우 3510cycle, Decoder의 경우 2100cycle에 동작하는 것을 알 수 있다.

3. 온칩 네트워크 구조

온칩 네트워크 구조는 온칩 버스 구조에 네트워크 개념을 적용한 구조로 마스터의 지연 시간을 제거하므로 버스의 bandwidth를 높이는 구조이다. 그림 5의 온칩 네트워크 구조는 MNI, SNI, Crossbar switch로 구성되어 있다. MNI(Master Network Interface)로 마스터 인 ARM 코어나 DMAC로부터 전달된 제어 정보와 데이터를 이용하여 패킷을 생성 전송하는 기능을 한다. SNI(Slave Network Interface)는 마스터로부터 전달된 패킷을 받아서 슬레이브로 전송

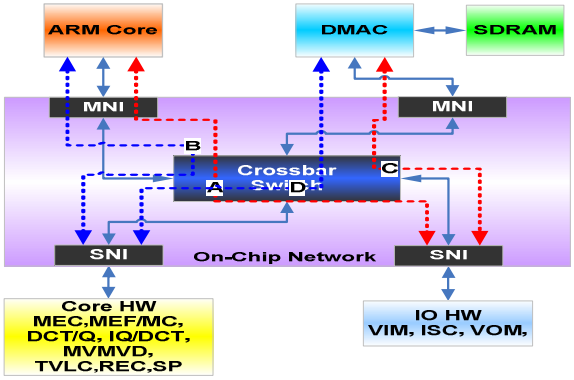


그림 5. 온칩 네트워크 구조

하는 기능을 담당한다. Crossbar Switch는 마스터와 슬레이브 간에 데이터 전송을 위한 채널 기능을 담당한다.

온칩 네트워크 구조는 MLB 구조의 병렬 동작을 증가시킴으로 버스 bandwidth를 향상시키기 위한 방안이다. 버스 마스터인 ARM 코어나 DMAC가 지연 시간이 없이 데이터를 전송함으로 버스의 사용률이 증가하며 시스템의 성능을 향상시킬 수 있다.

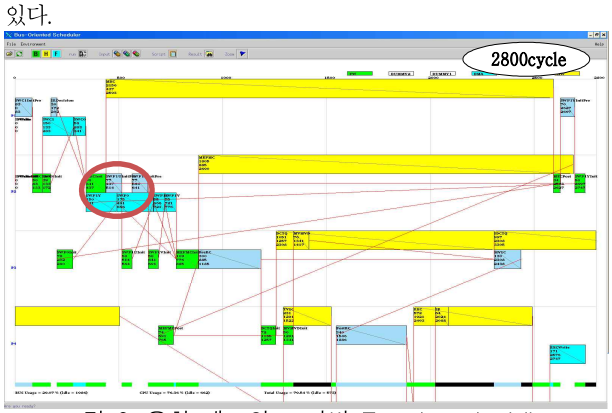


그림 6. 온칩 네트워크 기반 Encoder scheduling

온칩 네트워크에서는 ARM 코어가 IO 장치의 제어 레지스터

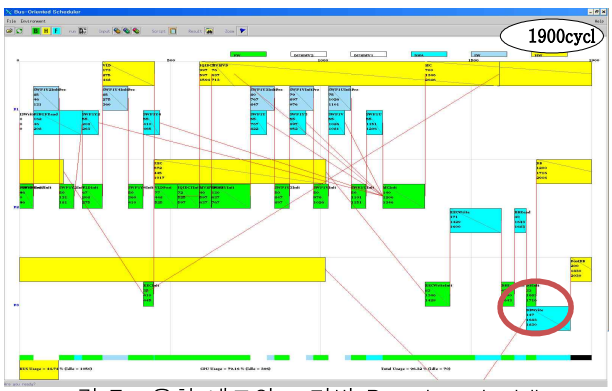


그림 7. 온칩 네트워크 기반 Decoder scheduling

를 초기화하는 동안, DMAC는 지연 시간 없이 DMAC를 통해서 IO HW 의 데이터를 전송할 수 있다. 즉, MLB에서 불가능한 {A,C} {B,D} 병렬 동작이 가능하다.

온칩 네트워크에서는 모든 {A,C}, {A,D}, {B,C}, {B,D} 병렬 동작이 가능하다. 따라서 FW와 DMA 동작의 병렬 실행이 가능하다. 온칩 네트워크 Scheduling 결과인 그림 6, 7을 보면 동일한 Cycle time에 FW와 DMAC가 동시에 동작함으로 전체적인 Cycle time을 감소시킬 수 있다. Encoder의 경우 2800cycle, Decoder의 경우는 1900cycle에 동작하는 것을 알 수 있다.

온칩 네트워크 구조에서 cluster 분리함으로 병렬 동작의 수를 증가시킬 수 있다. Encoder의 MEC의 경우, MEC내에 local buffer가 존재하므로 온칩 버스의 경우 버스를 통해서 MEC의 제어 레지스터를 초기화하면서 (FW:SWC0Init), DMAC를 통해서 local buffer에 데이터를 전송할 수 없다 (DMA:SWC0).

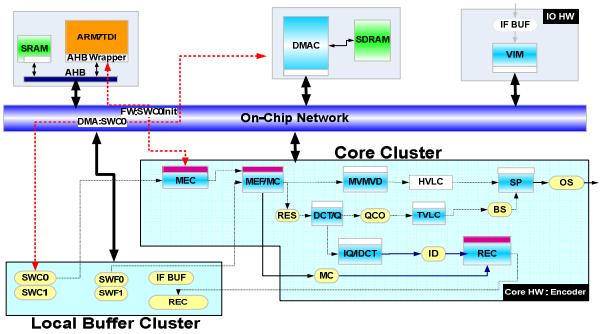


그림 8. OCN-Cluster Spilt기반 Encoder 구조

MEC와 local buffer를 분리한다면 온칩 네트워크 구조에서 병렬 동작이 가능하다. 이 경우 SWC0의 cycle에 SWC0Init를 동시에 수행이 가능하므로 SWC0Init의 cycle을 감소시킬 수 있다. Encoder의 경우 DMAC를 통해서 HW 모듈과 SDRAM 사이에 데이터 전송을 하는 HW 모듈은 VIM MEC, MEF/MC, REC 모듈이 있다. 이 모듈의 local buffer를 분리하여 local buffer cluster로 할당할 경우 각 모듈은 FW와 DMA가 병렬 동작이 가능하게 되어 FW Cycle을 감소시킬 수 있다.

Decoder의 VLD내의 PS buffer를 분리함으로 DMAC가 SDRAM으로부터 데이터를 PS buffer로 전송하는 동작 (DMA:PSBufRead)과 ARM 코어가 VLD의 제어 레지스터를 초기화하는 동작(FW:PSBufReadInit)이 병렬 동작이 가능하므로 FW 동작 싸이클을 감소시킬 수 있다. Decoder HW 모듈에서 DMAC를 통해서 SDRAM과 데이터 전송을 하는 모듈은 VLD, MEF/MC, REC,VOM 모듈이다. 이와 관련된 local

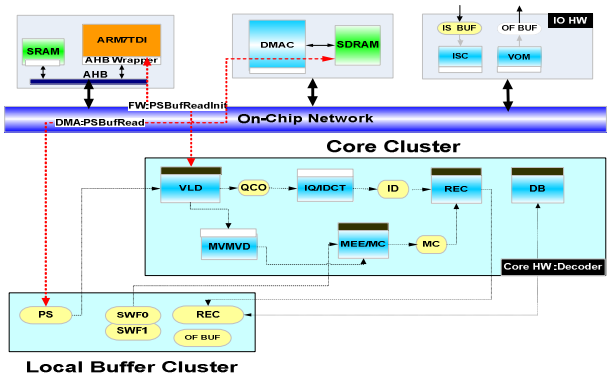


그림 9. OCN-Cluster Spilt에 의한 Decoder 구조

buffer를 분리하여 local buffer cluster에 할당함으로 관련된 FW 동작 싸이클을 감소시킬 수 있다.

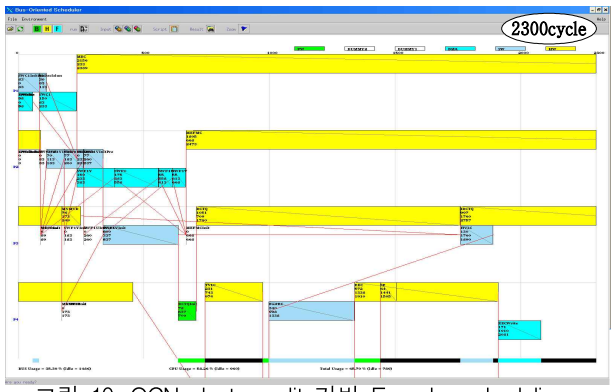


그림 10. OCN-cluster split 기반 Encoder scheduling

그림 10에서 OCN-cluster split에 의한 Encoder scheduling 결과, 2300cycle에 동작한다. 그림 11에서

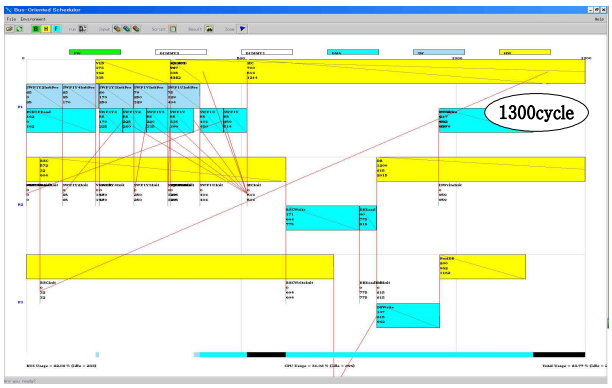


그림 11. OCN-cluster split 기반 Decoder scheduling

OCN-Cluster split에 의한 Decoder Scheduling 결과, 1300cycle에 동작함을 알 수 있다. 온칩 네트워크 구조를 이용한 MPEG-4 설계를 위한 성능 분석 과정과 결과에 대해 설명한다. SLB를 이용하여 구현된 MPEG-4 비디오 코덱의 설계 parameter와 RTL 시뮬레이션 결과인 동작 싸이클을 이용하

여, MLB 의 성능을 분석하고 결과를 검증하였다. 온칩 네트워크 구조를 적용한 MPEG-4의 성능 분석 결과를 SLB, MLB 결과와 비교 분석한다. 각 SoC 버스 구조에 따른 성능을 비교한 내용은 표 2와 같다.

표 2. 버스 구조에 따른 성능 분석

Bus Type	Coding Mode	Maximun Cycle/MB	Execution Time/Frame	Operating Freq.(fps)	
				27Mhz	54Mhz
SLB	Encoder	4545	70.0ms	14.3	28.6
	Decoder	3519	61.5ms	16.3	32.6
	Codec		131.5ms	7.6	15.2
MLB	Encoder	3510	54.0ms	18.5	37
	Decoder	2100	36.7ms	27.3	54.6
	Codec		90.7ms	11	22
OCN	Encoder	2800	43.1ms	23.2	46.4
	Decoder	1900	33.2ms	30.1	60.2
	Codec		76.3ms	13.1	26.2
OCN_C	Encoder	2300	35.4ms	28.2	56.4
	Decoder	1300	22.7ms	44	88
	Codec		58.1ms	17.2	34.4

27Mhz로 동작하는 SoC 버스 시스템에서 Encoder의 경우 초당 14.3 frame(=1000/70.0ms)을 처리할 수 있다. 표 2의 SLB의 성능 분석 결과, 27Mhz에서 코덱 모드로 7.6 frame을 처리하는 것을 알 수 있다. MLB의 성능은 54Hhz 동작이 가능한 AHB를 사용하므로 코덱 모드로 22 fps까지 처리가 가능하다. SLB와 MLB를 동일한 27Mhz로 실행할 경우 MLB가 31.8%의 성능 향상을 보임을 알 수 있다.

온칩 네트워크의 성능은 54Hhz 로 실행할 경우 CIF 1 frame을 코덱 모드로 26.2 fps까지 처리할 수 있다. MLB와 비교하여 온칩 네트워크의 경우 동일한 27Mhz 동작주파수로 실행할 경우 온칩 네트워크 구조가 18% 성능이 향상됨을 알 수 있다.

그림 11에서 OCN-cluster spilt의 경우는 온칩 네트워크 구조에서 local buffer cluster를 분리할 경우 54Hhz에서 CIF 1 frame을 codec mode로 34.4 fps까지 처리할 수 있다. MLB와 비교하여 OCN-cluster spilt의 경우 OCN-cluster spilt 구조가 56.4%의 성능이 향상됨을 알 수 있다. 온칩 네트워크에서 제공하는 병렬 동작의 특성을 이용하여 cluster를 어떻게 나누는가에 따라서 성능에 영향을 주는 것을 알 수 있다.

Ⅲ. 온칩 네트워크 기반 H.264 성능 분석

MPEG-4 코덱의 성능 분석 결과 온칩 네크워크 구조가 데이터 계산량과 복잡도가 높은 H.264, VGA, HD 급 비디오 코덱 설계의 적용이 가능한 구조임을 알 수 있다. 멀티미디어 표준인 H.264 디코더에 온칩 네크워크 구조를 적용하여 성능 분석한 결과를 온칩 버스에 적용한 결과와 비교 분석 한다.

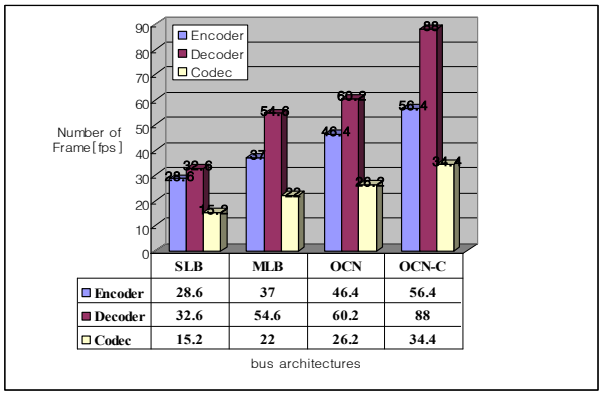


그림 12. MPEG-4 비디오 코덱 성능 분석

1. 온칩 버스 구조기반 H.264 디코더

그림 12는 단일 버스를 기반으로 H.264를 SoC로 구현한 예를 나타낸 것이다[5]. 보다 정확하게 SoC의 성능을 예측하고, 개선된 플랫폼 구조를 찾기 위하여, 그림 13의 SoC 구조를 가

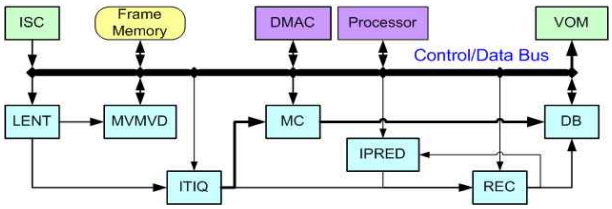


그림 13. 단일 버스 기반 H.264 디코더

정한 Reference C 프로그램을 이용하여 각 기능 블럭과 프레임 메모리 간에 데이터를 주고 받는 양을 추출하여 분석하였다. 입력 비트 스트림으로는 CIF 크기의 foreman 80 프레임을 사용하였으며, 입력 비트 스트림을 일정량 저장하기 위하여 프레임 메모리를 활용하는 것으로 가정하였다. 표 3은 프로세서와

표 3. 데이터 전송량 분석

From/To	Proc.	Frame	REC	LENT	MC	ITIQ	DB	MVMVD	VOM	Sum	Total
Proc.			1	20	28	16	28	85	1	179	285
Fr. Mem.			3	5	916		228		413	1,566	2,210
REC		2			1		28			31	137
LENT	35					567		43		645	751
MC		30					385			415	521
ITIQ			55		512					567	673
DB		612								612	718
MVMVD	71									71	178
IPRED			28							28	134
Sum	106	644	87	25	1,457	583	669	128	414		

각 기능 블럭 및 프레임 메모리 사이의 데이터 통신을 1 매크로블록 (Macro Block: MB)에 대한 바이트 단위의 전송 평균값으로 정리한 것이다. 여기서 특정 기능블록들 사이의 데이터 전

송이 많고, 다른 블록과의 데이터 전송이 적은 경우에는 직접 연결하는 것이 바람직하다. 표 3에서는 프로세서에 대한 데이터 전송과 프레임 메모리에 대한 데이터 전송이 가장 많은 블록에 걸쳐서 연결되어 있다. 그림 12에서와 같이 단일 버스를 사용하는 경우 많은 충돌이 발생하여 프로세서와 DMAC간의 중재(arbitration)에 상당한 시간이 소요되므로, 전체 데이터 전송 시간은 2,495 바이트의 데이터 전송 시간(2,210)과 데이터 중재(285)에 소요되는 시간의 합으로 계산된다.

각 모듈의 Total 바이트는 각 모듈사이의 데이터 전송시간과 데이터 중재 시간을 합한 값으로 계산된다. REC 모듈의 Total 값 137은 REC와 각 모듈의 사이에 전송되는 데이터의 Sum 값인 31와 프로세서가 데이터를 중재하는데 소요되는 시간 106을 더한 값으로 계산된다. 따라서 그림 13과 같이 프로세서를 위한 제어 버스와 DMAC를 위한 데이터 버스를 분리하면, 전체 시스템의 성능은 2,210 바이트의 데이터 전송에 소요되는 시간에 의해서 결정되므로, 보다 효율적일 것이다. 이 경우 프로세서보다 프레임 메모리에 대한 데이터 전송에 소요되는 시간이 전체 데이터 전송 시간을 결정하게 된다. 따라서 이를 보다 효율적으로 전송하기 위한 방법이 필요하다.

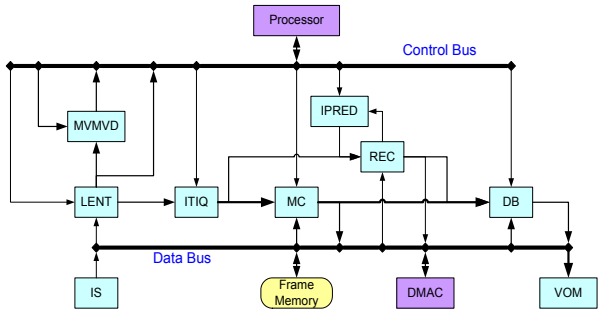


그림 14. 다중 버스 구조 H.264 디코더

2. 온칩 네트워크 기반 H.264 디코더

IS와 LENT 블록에 대한 데이터 전송을 제외한 프레임 메모리의 데이터 전송은 모두 프레임 데이터 형태를 가지며, 이는 Y 성분과 UV 성분으로 구성되어 있다. 따라서 이 특성을 이용하여 프레임 데이터를 2 영역으로 분할하여 별도의 프레임 메모리에 저장하는 형태로 데이터 전송을 분석하면 표 4와 같다.

표 4. 온칩 네트워크 SoC를 위한 데이터 전송 분석

	Stream Buffer		Y-Frame		UV-Frame	
	To	From	To	From	To	From
IS	5					
LENT		5				
MC			15	637	15	279
REC			1	2	1	1
DB			408	152	204	76
VOM				275		138
Sub Sum	5	5	424	1,066	220	494
Total	10		1,490		714	

이 경우 각 프레임 메모리와 기능블록 사이에는 대부분의 데이터 전송이 발생하므로, 효율적인 데이터 전송을 위해서는 공유 버스보다 네트워크 구조가 필요하다. 그림 15는 이를 반영하여 설계한 온칩 네트워크 구조를 나타낸 것이다. 이 경우에는 Y-프레임 메모리에 대한 1,490 바이트 전송이 전체 데이터 전송 시간을 결정하는 요인이 된다. 그림 14의 다중 버스를 사용한 SoC에 비해서 약 33% 정도의 성능 개선을 얻을 수 있다. 마스터의 수가 증가할수록 온칩 네트워크 기반 SoC의 성능이 더욱 더 개선될 것으로 예상된다.

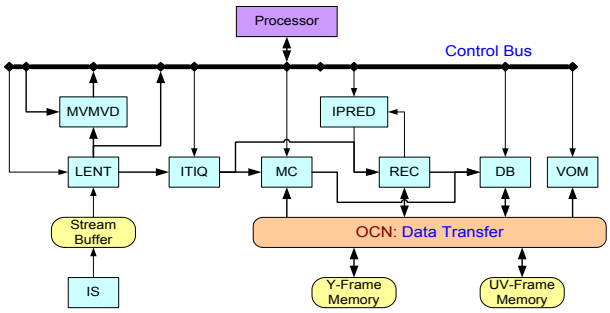


그림 15. 온칩 네트워크 구조 H.264 디코더

3. 온칩 네트워크 기반 H.264 디코더 FPGA 구현

온칩 네트워크 기반 H.264 디코더의 SoC 플랫폼을 구현하였다. 또한 H.264 디코더의 기능 검증을 보다 빠르게 수행하기 위

그림 16. 온칩 네트워크 H.264 디코더 FPGA 구현

해 Alatek의 HES(Hardware Embedded Simulation) 에뮬레이션 보드를 이용하였다. HES 보드에는 XILINX Virtex-II

600만 게이트급 FPGA가 장착되어있고, PCI 인터페이스를 통해 PC와 서로 데이터를 주고 받는다. 그림 16와 같이 온칩 네트워크 기반 H.264 디코더를 실시간 환경에서 구동하기 위해 FPGA 보드를 이용하고, CIF 영상 데이터를 통해서 동작을 검증하였다.

IV. 결 론

본 논문에서는 MPEG-4, H.264 비디오 코덱 설계에 온칩 네트워크 구조를 사용하기 위한 성능 분석 결과에 대하여 기술하였다. 기존의 단일 온칩 버스를 이용한 MPEG-4의 design parameter와 시뮬레이션 결과인 동작 싸이클을 사용하여 다중 버스 및 온칩 네트워크 구조의 성능 분석한 결과를 제시하였다. 성능 분석 결과, MPEG-4 설계의 경우, 단일 버스, 다중 버스, 온칩 네트워크 구조 순으로 개선된 결과를 보인다. 특히, MPEG-4의 경우, 온칩 네트워크 구조가 버스 구조에 비해 56.4%의 성능이 향상됨을 알 수 있었다. MPEG-4 보다 복잡도와 계산량이 많은 H.264 디코더의 성능 분석 결과, 온칩 네트워크 구조가 다중 버스 구조에 비하여 33% 정도의 성능 개선을 얻을 수 있었으며, 마스터의 수가 많은 멀티미디어 응용 분야 및 멀티프로세서 시스템에서 온칩 네트워크 구조가 더욱 많은 성능 개선을 예상할 수 있다.

참 고 문 헌

[1] H. Chang, L. Cooke, M. Hunt, G. Martin, A. McNelly, and L. Todd, "*Surviving the SOC Revolution: A Guide to Platform-Based Design*", Kluwer Academic Publishers, ARM Ltd, Nov. 1999

[2] Kyeong Keol Ryu, Eung Shin, Mooney, V.J., "A comparison of five different multiprocessor SoC bus architectures", *Digital Systems, Design, Proceedings. Euromicro Symposium on 4-6*, pp.202-209, Sept. 2001

[3] L. Benini and G. Micheli, "Networks on Chips: A New SoC Paradigm," *IEEE Computers*, pp. 70-78, Janu. 2002

[4] Se-Joong Lee et al., "An 800MHz Star-Connected On-chip Network for Application to System on a Chip", *IEEE ISSCC Dig. Tech. Papers*, pp. 468-469, Feb. 2003

[5] Iain E. G. Richardson, "*H.264 and MPEG-4 Video Compression: Video Coding for Next-generation Multimedia*", John Wiley & Sons Ltd. 2003

[6] June-Young Chang, Won-Jong Kim, Young-Hwan Bae, Jin-Ho Han, Han-Jin Cho and Hee-Bum Jung, "Performance Analysis for MPEG-4 Video Codec based on On-Chip Network", *ETRI Journal*, vol.27, no.5, pp. 497-502, Oct. 2005

[7] 김원종 외 12명, "온칩 네트워크 기반 SoC Platform 개발", *IT-SoC 2005 Conference, 학술대회 논문집 I*, pp. 23-27, 2005

[8] June-Young Chang, Young-Hwan Bae, Mi-Young Lee, Han-Jin Cho, "On-Chip Network based Virtual Platform for Multimedia Applications," *International Technical Conference on Circuits/Systems, Computer and Communications*, vol2, pp.649-650, July. 2007

[9] June-Young Chang, Won-Jong Kim, Young-Hwan Bae, Mi-Young Lee, Ju-Yeob Kim, Han-Jin Cho, "Star-Mesh NoC based multi-channel H.264 decoder design", *International SoC Design Conference 2008*, II, pp. 170-173, 2008

[10] 장준영, 박성모, 엄낙웅, "네트워크-온칩-기반 멀티 코어 플랫폼 기술 동향" *정보통신산업진흥원 IT 기획 시리즈, 차세대반도체*, pp. 22-35, 2009

[11] June-Young Chang, JaeJin Lee, SeongMo Park, and NakWoong Eum, "Development of Network-On-Chip Based MPSoC Platform", *International Technical Conference on Circuits/Systems, Computer and Communications 2010*, pp. 1210-1213, 2010

저 자 소 개

장준영(정회원)

1985년 전남대학교 전산계산학과 학사 졸업.
1987년 중앙대학교 대학원 컴퓨터공학과 석사 졸업.
1996년 전남대학교 전자계산학과 박사 졸업.
1999~현재 한국전자통신연구원 멀티미디어프로세서연구팀, 책임연구원.

<주관심분야 : 멀티미디어 SoC 설계, 멀티프로세서 설계, SoC 플랫폼 설계>

김원종

1989년 전남대학교 전자공학학과 학사 졸업.
1990년 한양대학교 대학원 전자공학과 석사 졸업.
1999년 한양대학교 대학원 전자공학과 박사 졸업.
2000~현재 한국전자통신연구원 융합부품원천연구팀 팀장, 책임연구원.

<주관심분야 : SoC 아키텍처, 멀티미디어 SoC 설계, VLSI CAD, 반도체 표준화>

변경진

1987년 국민 대학교 전자공학과 학사 졸업.
2000년 한국정보통신대학원대학교 공학부 석사 졸업.
2006년 한국정보통신대학원대학교 공학부 박사 졸업.
1987년~현재 : 한국전자통신연구원 멀티미디어프로세서연구팀, 팀장, 책임연구원

<주관심분야 : 음성코딩, 멀티미디어 SoC, 내장형 프로세서, 모바일 멀티미디어 시스템>

엄낙웅

1984년 경북대학교 전자공학학과 학사 졸업.
1987년 한국과학기술원 전자공학과 석사 졸업.
2001년 한국과학기술원 전자공학과 박사 졸업.
1987~현재 한국전자통신연구원 시스템반도체연구부,부장, 책임연구원.

<주관심분야 : 내장형 프로세서 기술, 모바일 멀티미디어 시스템, SoC 설계>