

# PCB 내장형 캐패시터 기술

글 \_ 강중윤, 강민규  
한국과학기술연구원 전자재료연구센터

## 1. 서론

최근 스마트폰을 중심으로 한 무선통신시장의 급격한 성장에 따른 휴대기기의 경량화와 고기능화, 복합화의 추세에 따라 전자 회로의 고밀도 실장, 고속화의 요구가 점점 커지고 있다. 또한, 스마트 무선통신기기 사용량 증가로 대량의 무선정보전달 기술의 필요성이 증가하게 되면서, 고주파용 전자통신회로의 응용사례가 급격히 증가하는 가운데, 기존의 PCB를 사용하면서 고주파 특성에 대한 시장의 요구에 대응하기 위한 시스템 내에서의 패키지 기술 필요성이 증가하고 있다. 특히, 현재 2차원적인 반도체 및 이동 통신 소자의 집적도를 높이기 위해 새로운 기술적 제조방법들에 대한 연구가 활발하게 진행되고 있는 가운데, 집적도 향상을 위해 현재 가장 주목 받고 있는 기술이 바로 3차원 접속 기술을 통해 칩의 집적도를 높이는 것이다. 현재 MCM<sup>1)</sup> (multi chip module)과 적층패키지 등은 휴대용 전자제품과 고성능제품 등에 많이 적용되고 있는 3차원 패키징 기술의 하나이며, 또한 소자의 집적도를 높이는 요구와 함께 다양한 소자들과 서로 다른 특성과 기능의 칩들을 하나의 마이크로시스템으로 제조하는 기술들도 요구되고 있다.

## 2. System on Package (SOP)와 내장형 캐패시터

SoP<sup>2)</sup> (System on Package)는 기존의 SoC<sup>3)</sup> (System on

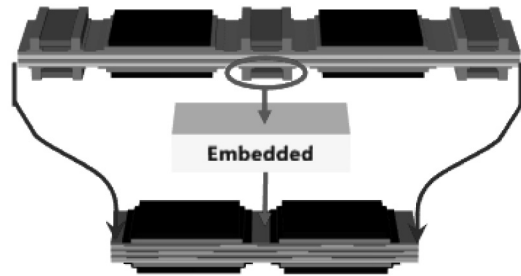


Fig. 1. PCB 내장형 캐패시터의 개념도

Chip), SiP<sup>4)</sup> (System in Package)를 포함하는 고집적 3차원 접속 기술의 개념으로 RF, Digital, Analog, Optoelectronics, MEMS, SoC, SiP와 같은 기능성소자들을 하나의 패키징 또는 모듈에 통합할 수 있는 기술이다. 이는 미시적으로는 마이크로 스케일로 거시적으로는 나노 스케일로 시스템 레벨 부품의 패키징 통합을 통해 소형화를 달성하는 것을 목적으로 하며, 이에 3차원으로 기판 내에 R, L, C 수동 소자 비롯하여 능동 소자 칩 등을 내장하고 기판을 적층하는 방법에 대한 기술이 포함된다. 이러한 SoP의 개념은 처음 제안된 후 10년 이상이 되었으나 많은 기술적 한계에 부딪혀 현재까지 일부의

- 1) MCM : 여러개의 칩이 하나의 공통기판(PCB) 위에 수평적으로 부착되는 구조
- 2) SoP : 여러개의 부품을 공통기판 내부로 내장시키는 3차원 구조의 패키징 기술
- 3) SoC : 여러종류의 부품을 하나의 칩 안에 내장시키는 2차원 구조의 고집적 기술
- 4) SiP : 여러 개의 수동 소자와 능동 소자를 하나의 패키지 안에 담은 시스템 응용 기술

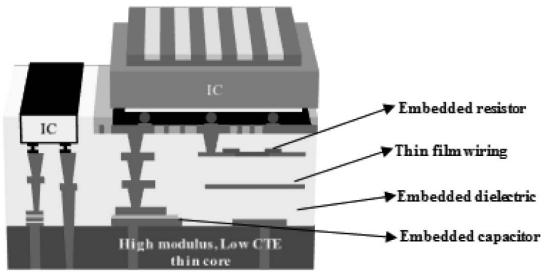


Fig. 2. System on Package(SOP)의 개념도

기술들만이 구현되고 있다. 특히 전체 전자회로 면적의 50% 이상을 차지하고 있는 수동소자의 경우 현재까지 대부분 PCB의 표면에 개별 칩 저항 (Discrete Chip Resistor) 또는 개별 칩 캐패시터 (Discrete Chip Capacitor)를 실장하고 있으나, 최근 고집적화의 요구에 의해 저항 또는 캐패시터 등의 수동소자를 내장한 PCB이 개발되고 있다. 이러한 수동소자 내장형 PCB 기술은 SoP 개념이 접목된 새로운 재료와 공정을 이용하여 기판의 외부 혹은 내층에 저항 또는 캐패시터와 같은 수동소자를 삽입하여 기존의 칩 저항 및 칩 캐패시터의 역할을 대체하는 기술을 말한다. 현재까지의 PCB 내장형 캐패시터 기술은 크게 중합체 페이스트를 도포하여 만드는 방법, 세라믹 층진체와 중합체 수지를 페이스트형태로 도포하여 만드는 방법, 그리고 유전체 층을 삽입한 방법으로 3가지로 분류될 수 있다. 이러한 내장형 캐패시터는 기판의 내부로 삽입되어 있기 때문에 칩 캐패시터가 차지하던 면적을 줄일 수 있어 기판의 실장밀도를 높일 수 있을 뿐만 아니라 표면에 칩 캐패시터를 실장 할 필요가 없다는 장점이 있다. 또한, 기존에 고주파에서 소자간의 접속거리가 길어 전기적 기생성분을 유발시켜 제품의 성능을 저하시키고 Soldering 등을 통한 접속 수가 많아짐에 따라 제품의 신뢰성 저하를 야기했던 문제점을 내장형 캐패시터를 사용함으로써 소자간의 접속 길이를 감소로 전기적 기생성분을 줄임으로써 전기적 성능을 향상시킬 수 있는 효과가 있다. 그러나, 종래기술에 따른 PCB 내장형 캐패시터의 경우, 내장형 캐패시터에 사용되는 재료가 중합체 재료이거나 또는 세라믹-중합체, 저유전율 유전체 재료를 사용하기 때문에 현재의 칩 캐패시터의 역할을 대체하기

에는 유전 용량 값이 부족하다는 문제점이 있었다. 때문에 전자산업에 요구되는 대부분의 캐패시터를 내장시키기 위해서는 유전율을 향상시키거나 유전체 층의 두께를 줄이는 방법 혹은 새로운 방법의 내장화 기술이 요구된다.

### 3. 기술개발 동향 및 기술전개방향

앞서 강조한 내장형 캐패시터기술은 주요 부품기업에서 활발한 연구와 시제품들이 출시되고 있다. 이번 장에서는 현재의 기술 수준과 동향, 그리고 내장형 캐패시터를 구현하기 위한 두 가지의 기술전개방향에 대해 살펴 보았다.

#### 3.1. Film형 내장 캐패시터 기술

Film형 내장 캐패시터 기술은 기판 내부에 직접 유전체층을 삽입함으로써 내장 캐패시터를 구현하며, 주요 재료로는 저온공정이 가능한 폴리머 물질의 필름과, 폴리머와 고유전율 세라믹 파우더의 Compound 등이 사용되고 있다. Table 1은 현재 상용화된 Film형 내장 캐패시터들의 제품사양이다. 3M, Dupont, Oak-Mitsui사 등에서 폴리머 필름 형식의 내장형 캐패시터를 출시하였으며, 직접 크기를 재단하여 PCB내부에 부착, 적층 할 수 있는 형태로 만들어져있다. 하지만 유전율이 매우 낮기 때문에 충분한 정전용량을 얻기 위해서는 캐패시터의 크기가 매우 커야 한다는 문제점이 있다. 때문에 Film형 내장 캐패시터의 정전용량을 향상시키기 위한 연구가 여러 기업과 연구소, 학교 등에서 연구되고 있다. 캐패시터의 정전용량을 높이기 위해서는 식 1과 같이 유전율 (Dielectric Constant)를 높이거나 캐패시터의 면적을 늘리거나 캐패시터의 두께를 줄이는 방법이 고려된다.

$$C(\text{Capitance}) = \epsilon(\text{Dielectric Constant}) \frac{A(\text{Area})}{d(\text{Thickness})} \quad (1)$$

먼저 캐패시터의 두께를 줄이기 위한 방법으로 기존의 박막공정을 이용하여 직접 PCB 기판에 증착하여 정전용량을 증가시키는 방법이 연구되고 있다. 이 방법은 직접 PCB 기판에 직접 증착하는 방식으로 인해 공정온도에 대

Table 1. 상용화된 Film형 내장 캐패시터의 제품사양

Property	3M (C-Ply)	Dupont (HK)	Oak-Mitsui (Faradflex)
Capacitance density	0.9-1.75 nF/cm <sup>2</sup> (@ 1 kHz)	0.12-1.75 nF/cm <sup>2</sup> (@ 1 MHz)	0.15-1.7 nF/cm <sup>2</sup> (@ 1 MHz)
Loss tangent	0.006 (@ 1 kHz)	0.003-0.01 (@ 1 MHz)	0.015-0.019 (@ 1 MHz)
Thickness	8-16μm	8-25μm	8-24μm
Dielectric constant	16	3.4-15	4.4-30

한 제약이 있다. 때문에 고온공정(<600°C)으로만 만들 수 있었던 고유전율 강유전체 재료를 사용할 수 없고 기존에 저온에서 고유전율을 가지는 상유전체 재료들에 대한 연구되고 있다. 다른 한편으로는 고유전율의 강유전체 재료를 사용하기 위해서 금속 Foil 위에 후막 혹은 박막 형태의 강유전체 재료를 도포하고 금속의 산화 방지를 위한 환원분위기에서 고온 열처리 공정을 거쳐 Foil 형태의 고유전율 내장 캐패시터를 구현하는 연구가 되고 있고, 이러한 Foil 형태의 캐패시터는 PCB 내부에 부착하여 적용할 수 있기 때문에 기존 폴리머 필름 형식의 장점과 함께 정전용량을 획기적으로 향상시킬 수 있다. 하지만 신뢰성 문제와 까다로운 공정조건으로 인한 제약이 있다.

### 3.2. Chip 형 내장 캐패시터 기술

Films형 내장 캐패시터와는 다른 개념으로 기판 내부에 직접 유전체 층을 형성하는 것이 아니라 Chip 형태의 캐패시터를 내장형 기판안에 삽입하는 기술이 있다. 현재 전자부품 시장에서 가장 많이 쓰이고 있는 MLCC(Multi Layered Ceramic Capacitor)가 바로 이 Chip

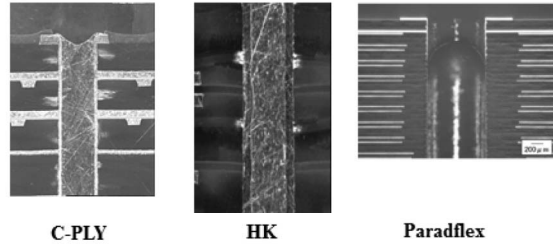


Fig. 3. 상용화된 Film형 내장 캐패시터.

형태의 캐패시터 구조를 가지고 있다. 하지만 기존의 MLCC의 경우 기판 내부 혹은 하단에 삽입하였을 때 적층기판간 접촉시 인가되는 압력에 의해 Fig. 4와 같이 Mechanical Cracking 현상이 발생하게 되는데 이는 내부의 캐패시터 전극들을 연결시키는 Termination에 의해 압력이 chip 전체에 고르게 분포되지 못하고, 세라믹자체의 취성이 강한 성질 때문이다. 때문에 기존의 MLCC 혹은 Chip 형태의 캐패시터를 내장 캐패시터로 응용하기 위해서는 구조적으로 다른 형태의 캐패시터를 고려해야 한다.

최근 TDK와 Murata에서 출시된 Chip형 내장 캐패시터들을 보면 chip의 하단면이 평평하고 양극간의 접촉을 위한 두 개의 전극이 위쪽으로 위치해 있는 것을 알 수 있다. 이러한 형태로 캐패시터를 제작 할 경우 능동소자와 캐패시터의 접촉이 용이하며 기판적층 시 압력을 인가하여도 하단면에 압력이 고루 분포됨으로써 Crack의 생성을 막을 수 있다. 이 캐패시터들의 내부는 기존의 MLCC와 같은 후막형태의 sheet를 사용하거나 박막 형태의 고유전율 물질을 삽입함으로써 고용량과 고주파에서 사용가능하도록 설계되어있고, 기존 MLCC 사용자의 편의를 위해 캐패시터의 크기도 기존 MLCC와 같은 0603,

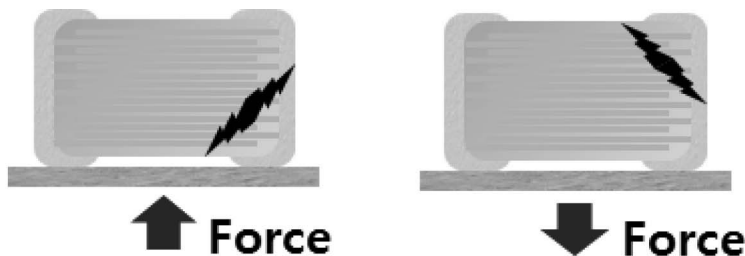


Fig. 4. Mechanical Cracking 현상.

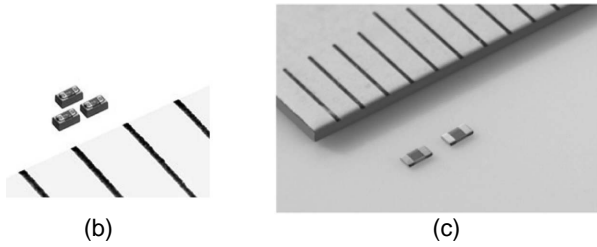
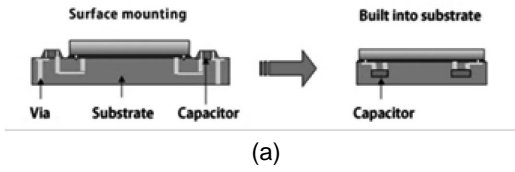


Fig. 5. (a) Chip형 내장 캐패시터의 모식도, (b) TDK에서 출시된 chip형 내장 캐패시터, (c) Murata에서 출시된 Chip형 내장 캐패시터.

1005 등의 크기로 개발되고 있다.

#### 4. 결론

앞서 살펴본 내장 캐패시터의 기술수준에서 볼 수 있듯이 현재의 내장 캐패시터 기술들은 현재 사용되고 있는 표면실장용 캐패시터들 중 일부만을 대체할 수 있는 수준에 이른다. 앞으로의 내장형 캐패시터 기술은 미래 초소형 전자모듈의 구현을 위해서는 더욱 고사양의 내장 캐패시터들을 구현하여 대부분의 캐패시터들을 대체하여 기관 내부로 실장 할 수 있는 방향으로 개발이 이루어질 것으로 예상되며, 미래의 고사양의 내장 캐패시터 기술의 구현을 위해 기존의 캐패시터 제조 기업들은 보유 기술들과 더불어 고유전율 세라믹의 저온공정기술, 박막 공정기술, 미세 패턴기술등의 기술개발과 함께 내장형

PCB 제조기업들과 연계한 기술연구가 이루어져야 할 것이다.

### 감사의 글

본 기술 보고서는 지식경제부 소재원천기술개발사업의 지원으로 이루어졌으므로 이에 감사드립니다.

### 참고문헌

1. Oak-Mitsui Tech., Embedded Capacitance (2006).
2. Rao R. Tummala, "Introduction to System-on-Package" McGraw-Hill, 2008.
3. Murata 홈페이지.
4. TDK 홈페이지.

#### ●● 강종운



- 1993년 연세대학교 전기공학과 학사
- 1995년 연세대학교 전기공학과 석사
- 2000년 연세대학교 전기컴퓨터공학과 박사
- 2002년~2004년 The University of Birmingham, Post-doc.
- 2000년~현재 KIST 전자재료연구센터 책임연구원

#### ●● 강민규



- 2008년 수원대학교 전자재료공학과 학사
- 2010년 고려대학교 전자전기공학과 석사
- 2010년~현재 고려대학교 신소재공학과 박사과정
- KIST 전자재료연구센터 연구원