

# Active/Passive Embedded Substrate 기술

글 \_ 김준철  
전자부품연구원

## 1. 서론

국내에서 스마트폰 가입자가 2010년 말 500만을 넘어섰다고 한다. 삼성과 애플의 스마트폰 경쟁(옵니아 vs. 아이폰)시작이 2009년 말에 있었던 것을 감안하면, 스마트폰의 성장율은 가히 폭발적이라 할만하다. 스마트폰을 일반적으로 정의하기란 쉽지 않지만 굳이 정의하자면 진보된 기능을 지닌 핸드폰이라고 말할 수 있다. 그러면 스마트폰과 비교되는 핸드폰의 역사는 얼마나 될까? 86년도 아시안 올림픽 게임 즈음 자동차에 설치된 이동전화, 이른바 카폰을 시작으로 핸드폰으로 빠른 도입이 기억된다. 단순한 통화기능만 있던 당시의 핸드폰과 현재의 다양한 기능을 갖는 스마트폰의 크기를 비교하면 소비자

들의 편의성에 대응하여 괄목할만한 소형화가 이루어졌음을 알 수 있다. 이러한 소형화는 반도체 집적회로 기술, 패키징 기술 등의 발전에 힘입어 이루어진 결과라 할 수 있다.

특히 패키징 기술은 최근 반도체 메모리가 소요되는 응용 제품군이 확장되고 응용제품 자체가 고도화되면서 설계 및 웨이퍼 생산 단계에서 현재 기술 수준으로 생산할 수 없는 제품을 패키징 방식을 통해 구현하는 등 패키징 자체가 전공정의 기술한계를 극복하는 대안으로 부각되고 있다. 복합 메모리 stack을 이용한 MCP 출현 이후, 메모리 이외에도 휴대폰용 메인 칩 패키지 안에 베이스 밴드와 애플리케이션 프로세서, RF 블록, 블루투스 및 GPS, FM 수신기 등 여러 개의 칩들을 실장하기 위한 다

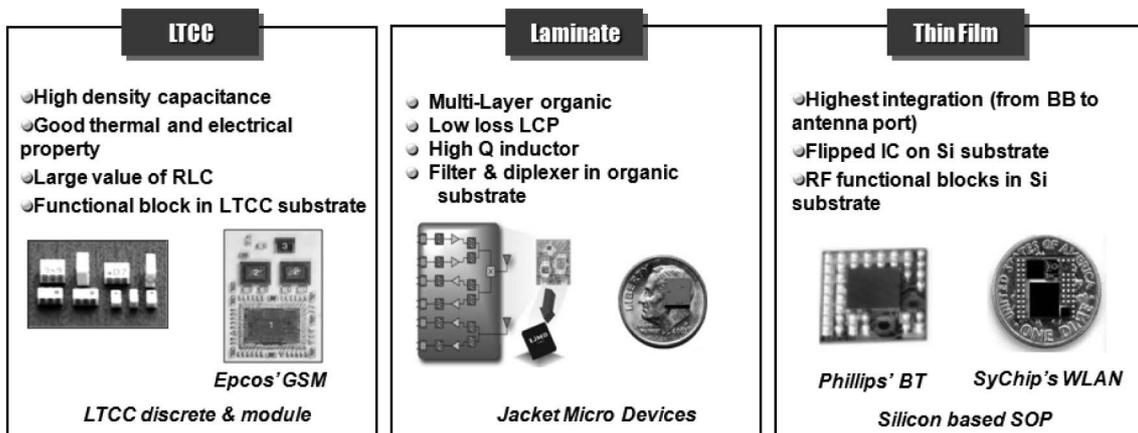


Fig. 1. Active/Passive embedded substrates.

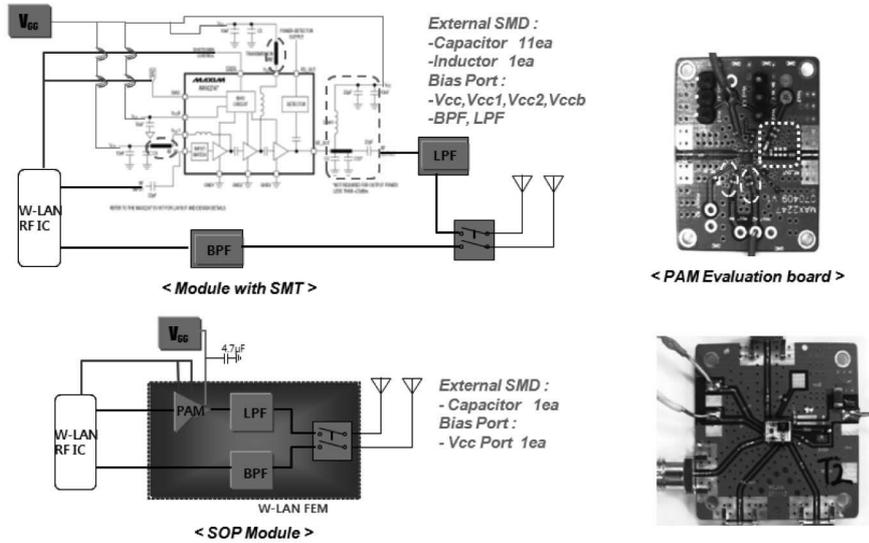


Fig. 2. WLAN(802.11bg) RF front end module.

양한 시스템 패키지 기술개발의 시도가 이러한 방향 하에서 이루어지고 있다.

이러한 패키지형 시스템 개발은 SIP(System in Package) 또는 SOP(System on Package)라고 불리우고 있다. 여러 다른 기술들을 아울러 경제적인 시스템을 구현하는 동일한 목적을 지향하고 있어서, 주로 패키지 레벨에서의 구현 가능 기술이 관심의 대상이 되고 있으며, 집적회로 IC 보다는 패키지 기판에 집적화 하는 방향으로 진행되고 있다. Fig. 1에 이러한 Active IC 및 Passive 소자를 집적화하는 패키지 레벨의 기판기술을 나타내었다.

## 2. 본론

### 2.1. LTCC

SMD 부품을 PCB에 실장하는 기존의 Packaging 방법에 비해, Package 기판에 passive 소자들을 embedding(내장)하여 구현하는 SOP 기술은 기판위에 사용되는 부품수를 줄이고, 배선 길이를 단축시켜 좀 더 개선된 특성 구현과 소형화를 꾀할 수 있으며, system의 신뢰성 향상에 기여할 수 있다. 이러한 이유로 단순히 IC의 보호와 지지대 역할로 평가받아 왔던 과거의 Package와 달리, Package의 기판 특성, 재료 및 공정에 따라 RF 특성

구현에 많은 차이가 나타난다. 특히 회로를 구성하는 금속의 손실 특성과 유전체 재료의 손실 특성이 RF 특성 구현에 많은 영향을 미치기 때문에 재료나 공정 선택에 세심한 주의가 요구된다.

LTCC 기술은 세라믹 고유의 우수한 유전 손실 특성으로 분포소자 구현에 적합하고, 내장소자의 용량값 Tolerance 범위가 작아서 민감한 RF 대역에서의 impedance matching 유리하며, 다층 배선과 via 형성이 유연한 공정의 장점 등으로 인해 단말기의 RF Passive integration으로 가장 각광 받는 기술이다. 적층 Filter, Balun, switch 모듈 등의 부품을 integration하는 단계에서 최근에는 Power-amp까지 integration하는 것이 보편화되고 있으며, WLAN 모듈의 경우 RF IC까지 integration하게 되었다. LTCC 기판은 열전도도가 PCB보다 우수하여 Power Amp.와 같은 High Power 소자의 integration에 유리하고, 열팽창계수가 Si와 비슷하여 Flip Chip 공정에 의한 IC Integration의 경우 Solder 접합 부위의 신뢰성면에서 장점을 갖고 있다.

Fig. 2는 전자부품연구원에서 개발한 802.11 bg 용 Rf Front End 모듈과 SMD(Surface Mount Device)를 PCB 기판에 실장한 경우를 비교한 것이다. LTCC 기판에 BPF, LPF, PA Matching 회로 및 PA DC Bias 회로들이 내

장 되었다. 내장된 부품의 개수 만큼 기판에 실장 되는 부품수가 감소한 것 이외에도 DC Bias Port 개수도 4개에서 1개로 대폭 감소한 것을 볼 수 있다. 이는 LTCC기판내부에서 DC Bias port들 사이에 필요한 격리도 특성을 위한 설계가 감안되었기 때문이다. 소형화 및 고집적화 이외에도 이러한 system 구성을 위한 설계의 편의성까지 제공이 가능하다는 것을 알 수 있다. 이러한 LTCC 기술의 장점의 활용은 GSM 다중대역 단말기의 RF Part 소형화에 적용을 시작으로 시장이 활성화 되어, Antenna Switch 모듈에 SAW Duplexer, Power amplifier 의 집적화를 넘어 transceiver까지 집적화 하지는 Road Map 계획도 수립 되었었다. 그러나 이동통신 부품 시장의 치열한 경쟁과 부품의 단가 하락의 추세는 LTCC 제품에서 RF MMIC(Monolithic Microwave Integrated Circuit)의 Bare die가 차지하는 비중이 높아져(80% 이상) 원활한 사업이 불가능한 상황이 되었다. 실제로 Transceiver IC까지 집적된 LTCC 모듈이 초기 iPhone에 적용된 사례는 보고된바 있으나, GSM 다중대역 Transceiver IC가 사용되는 모듈 시장에서의 점유율이 5% 정도의 수준 이었다. 이러한 상황에서 MMIC Bare Die Business 문제점 이외에 고민해야할 부분은 LTCC 기술이 관련 산업에서 차지하는 위치이다. 기판 공급의 경우 세라믹 공정의 특성상 사용재료 및 공정의 표준화에 문제가 있다. 고객의 입

장에서 공급받는 수동소자가 내장된 기판에 대하여 이해해야할 부분이 너무 많고, 이러한 사항이 공급업체에 따라 달라질 수 있다는 점이다. 우수한 특성에도 불구하고, 비교적 공정 표준화가 많이 진행되어 있는 시스템 IC 산업과 달리 파운드리 산업이 활성화 되지 않는 이유에 이러한 문제점이 있는 것이다. 최근의 척박한 시장 경쟁상황에서 일부 특수용도의 시장을 제외하면 대부분 RF 모듈 사업의 주체가 이러한 IC 메이커라는 사실과 이들이 PCB를 기판으로 사용하고 있으며, IC의 Design Rule 축소를 통한 MMIC 소형화 또는 one chip SOC를 기반으로 한 소형 제품에 주력하고 있음을 주시해야할 바이다.

RF Passive 소자의 특성면에서는 아직도 LTCC 이상의 특성을 구현하면서 또한 SOC와 더불어 집적회로에 포함될 수 있는 기술의 개발은 이루어지지 않고 있는 상황이다. LTCC는 단일소자 부품으로 확고한 시장을 확보하고 있다. Resistor, capacitor array 부품과 같이 여러 개의 수동소자가 결합된 복합부품의 개발을 통한 시장 확보가 필요할 것으로 생각 된다.

## 2.2. Laminate

세라믹 재료를 이용한 LTCC 기술과 달리 Laminate 공정을 통해 유기물 재료를 이용하는 PCB 기반의 기판 기술은 높은 전기 전도도의 Cu를 사용하여 다층의 배선

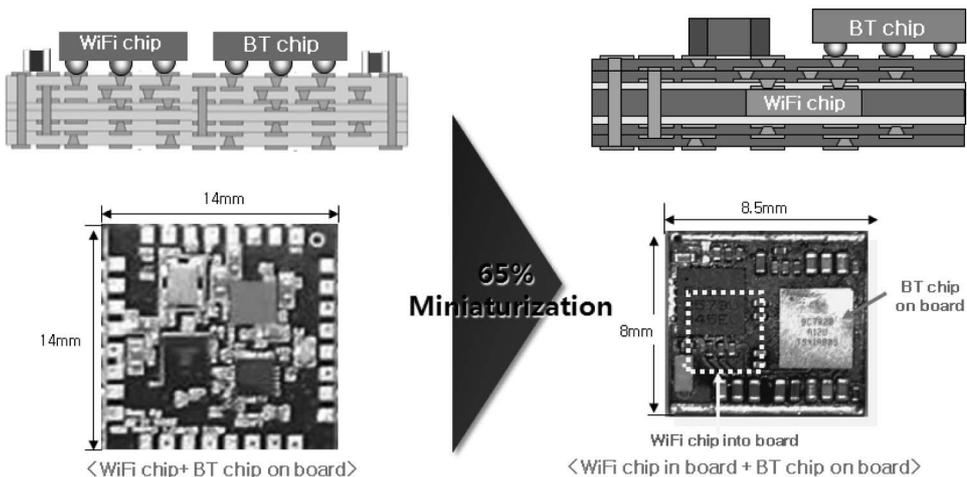


Fig. 3. WiFi/BT IC embedded PCB module.

회로를 사용할 수 있다는 점과 무엇보다도 저렴하고 손쉽게 이용할 수 있다는 점에서 과거부터 많이 사용해 온 방법이다. 최근 관련 공정의 발달에 힘입어 미세 배선 회로와 미세 via의 구현이 가능해 짐으로써 단말기용 PCB에 주로 사용되는 공정의 경우 line/space/via-diameter의 공정 한계는 75/75/75(μm) 정도의 수준이며, 25/25/50(μm) 정도의 공정을 High End용으로 적용하고 있다. 그러나 기판 재료로 사용되는 유기물의 유전율이 낮고 유전 손실 특성이 저하됨으로 인해 Embedded capacitor의 구현 용량과 Filter, Balun과 같은 분포 소자들의 구현에 한계가 있다. 이러한 문제를 해결하고자 Laminate 기판 업계에서는 기판 재료의 유전율을 높이기 위하여 세라믹 분말을 첨가하거나, 사용되는 Cu foil에 박막/후막기술을 이용하여 capacitor를 구현하는 방법을 적용해 보고 있는 중이다. 또한 LCP(Liquid crystal polymer)와 같이 유전 손실이 우수한 재료를 사용하여 분포 소자를 내장하는 기술의 적용도 활발히 진행되고 있다.

그러나 무엇보다도 Laminate 기판 기술중에서 가장 각광을 받고 있는 분야는 SMT에 사용되는 Passive discrete 소자 또는 Active 소자를 기판내부에 내장하는 기술이다. 이는 모듈에 사용되는 IC가 기판에서 차지하는 면적이 제일 크기 때문이며, LTCC 기판에서 내장하는 RF 분포 소자들을 PCB 기판에 내장하기에는 기판재료 및 공정에서 아직도 해결해야할 문제들이 많이 남아 있기 때문이다.

Fig. 3은 전자부품연구원에서 최근 개발한 Bluetooth / WiFi Combo module에 관한 것이다. 2개의 IC를 사용하는 모듈에서 소형화를 위해 1개의 IC를 PCB 기판 내부에 내장한 기술이다. 면적이 좀 더 큰 IC(WiFi IC)를 내장하고, Bluetooth IC를 표면실장 함으로써, 2개의 IC를 모두 표면실장하는 기존의 방식에 비하여 65% 정도를 줄일 수 있다. 그러나 이러한 IC를 PCB기판 내부에 내장하는 기술은 KGD(Known Good Die)문제의 해결이 사업화의 가장 큰 변수로 남아 있다. Packaging 공정은 98% 정도의 수율이 보고되고 있으며, PCB 공정은 95% 정도의 수율이 일반적이라 할 수 있다. 3% 정도의 수율차이가 문제가 된다. 즉 생산시 3% 정도의 불량품에 모듈

Cost중 가장 큰 비중을 차지하는 IC가 포함된다는 점이다. 또한 최종제품 생산자가 아니고 중간 생산자인 PCB 업체에서 이러한 손실을 감당할 수 없기 때문이며, 여기에 KGD 문제가 결부되면 불량률로 인한 손실은 더욱 커질 수 있기 때문이다. 이러한 문제의 해결을 위해 Packaging 업체들의 적극적 사업 참여가 요구 되고 있다. 관련업계에서는 이러한 문제로 Discrete Passive 소자의 기판내장을 좀 더 현실적인 방안으로 생각하고 있다. 휴대폰을 예로하면, 휴대폰내 361개의 소자 가운데 46%가 RF와 관련된 것으로 이중 90%가 수동소자이다. 이러한 많은 수의 수동소자 내장은 소형화뿐 아니라 소자간 연결의 내부접속 길이 감소와 이를 통한 기생성분 제거로 신호전달 속도, 저전력 등의 성능개선 까지 기대 할 수 있을 것이다. 이러한 내부접속은 집적회로 IC와 수동소자들의 연결에서도 일어나는 것으로 집적회로 IC 내장을 통한 성능개선과 비슷한 효과를 나타 낼 것이다. 실제로 이러한 수동소자 내장 PCB는 일본의 경우 덴소를 비롯한 유수의 기업들이 사업화 중이며, 무라타의 경우 PCB 내장을 위한 박막기반의 내장 소자 생산도 준비중에 있을 정도로 상용화에 많이 근접한 상황이다. 다만 이러한 기술의 적용과 관련 새로운 기술의 개발을 위해서는 중간산업으로만 여겨지는 PCB 산업이 좀 더 최종제품 레벨과 간격을 줄여할 필요가 있다.

### 2.3. Si Substrate

SOC의 다기능화, 고집적화는 반도체 공정의 Design Rule 축소로 IC의 Pad size 및 pitch의 미세화로 이어지고 있다. 이러한 Design Rule의 축소는 SOC 면에서는

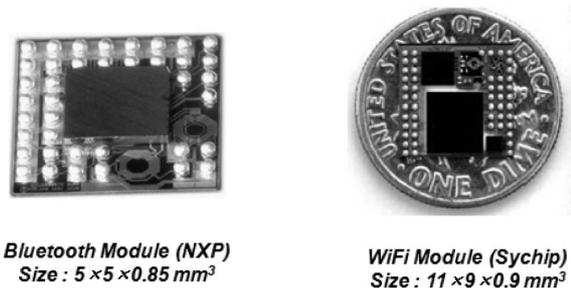


Fig. 4. Si-substrate를 활용한 RF module.

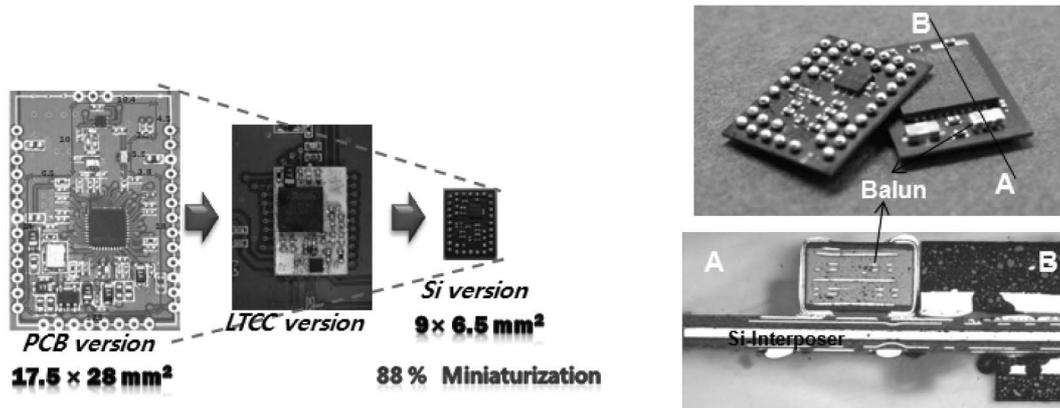


Fig. 5. TSV가 결합된 Si-substrate를 활용한 WPAN module.

결과적으로 wafer 당 Die 개수 증가로 단가 감소로 이어지나, SOC나 이를 이용한 고집적 모듈이 실장 되는 PCB board에서는 반대로 단가 증가로 이어진다. Design rule 축소로 인한 Die 사이즈 축소 경향과 SOC의 다기능화를 감안하면 IC의 단위면적당 I/O 개수 증가로 인한 Pad size 및 pitch 그리고 Bus line들의 밀도가 급격히 증가한다. 라인/공간 폭이  $20\mu\text{m}/20\mu\text{m}$  이하면서 레이어 수가 6~8층인 고성능 인터포저가 서버 등의 고성능 시스템을 비롯해 컨슈머 전자제품에서도 이미 널리 사용되고 있다. 하지만 라인/공간이  $20\mu\text{m}/20\mu\text{m}$  이하인 경우, PCB 기판으로 만족스러운 생산 수율을 달성하기가 어렵다. 또한 단가는 레이어 수에 비례하여 증가한다.

PCB기판에  $20\mu\text{m}/20\mu\text{m}$  미세패턴 제작이 기술적/경제적인 여건상 어려운 상황에서 이미 검증된 반도체 기술을 사용하는 발상이 실리콘 인터포저(Si Interposer)인데, 최근까지는 그 용도가 몇몇 애플리케이션에만 한정됐다. 가격이 비싸기 때문이다. PCB 기판의 경우, 제작의 정밀도가 한계에 도달한 데다 원가도 많이 올랐기 때문에, 실리콘 인터포저가 좀 더 가능성 있어 보인다.  $0.35\mu\text{m}$ 나  $0.5\mu\text{m}$  등 구세대 반도체 라인을 사용하여 생산 수율이 높고 선폭이 약  $1\mu\text{m}$ 인 실리콘 인터포저를 저렴하게 만들 수 있을 것이다.

또한 패키지형 시스템(SIP/SOP) 적용이 증가하는 추세에서 이러한 실리콘 인터포저를 IC와 PCB의 미세라인 레벨차이를 완화해주는 단순한 인터포저 역할에서 벗

어나 주변회로와 부품 등을 패키지 내부에 IPD (Integrated Passive Device)형식으로 통합하여 SIP/SOP를 위한 기관 기술로 활용하고자 하는 시도가 늘고 있다. 이러한 시도는 SIP/SOP를 WL-SCP(Wafer Level CSP) 형태로 제공이 가능하다. Fig. 4에 Si substrate를 이용한 WL-SCP(Wafer Level CSP) 형태의 Bluetooth module(NXP), WLAN module(Sychip)을 나타 내었다. Si-interposer에 Filter, Balun 등의 IPD를 포함하여 모듈 전체의 두께가 0.8~0.9mm 정도의 수준 이다. LTCC를 이용한 비슷한 제품의 두께가 1.2~1.4mm 정도임을 감안하면 현재 슬림화 경향의 스마트폰에 더 적합한 기술이라 할 수 있다. 반도체기술을 사용하기 때문에 가격적 문제와 IPD 특성 및 용량 값의 한계라는 문제가 남아 있다. 현 수준에서 이러한 기술은 원가 절감보다는 슬림화에 우선순위를 두고, 소자의 용량값이 낮은 RF 애플리케이션을 대상으로 한다.

이러한 Si-interposer 기술은 TSV(Through Si Via)와 결합하여 다양한 응용이 전개 되고 있다. TSV는 IC 간 수직 연결이 가능한 3D-IC의 핵심기술이다. 하지만 TSV를 활용한 수직연결 기술은 동일 IC들이 적층되는 복합 메모리 분야와 휴대폰용 CMOS 카메라 모듈 정도이다. 종류가 다른 IC들의 수직배열에 있어 상호 연결되는 I/O Pad들의 위치가 상이하기 때문이다. TSV와 미세배선이 형성된 Si-interposer를 사용하면 이종 Device들의 수직 배열을 통해 패키지 내부에서 고밀도의 interconnection이

가능하므로 최종 제품의 I/O 개수를 대폭 감소시켜 보드 레벨의 미세배선 부담을 줄여 줄 수 있다. Fig. 5는 전자 부품연구원에서 진행중인 Si-interposer에 TSV를 형성하여 WPAN (Wireless Personal Area Network)용 모듈의 사진이다. PCB 보드에 SMD 부품을 실장하여 구성한 동일한 WPAN 모듈에 비하여 1/5 이하로 소형화되었음을 확인할 수 있다.

이렇게 TSV를 이용한 Si interposer는 많은 가능성을 가지고 있음에도 불구하고 산업적 측면에서는 아직도 해결되어야 할 문제가 있다. Si-interposer 기술은 OSAT (Outsourcing Semiconductor Assembly & Test) 중심의 패키징 레벨에서 접근하기에는 높은 수준의 설계 및 공정 인프라가 필요 하고, 파운드리 중심의 팹 레벨에서 접근하기에는 상대적으로 낮은 부가가치를 가지게 된다. 여기에 TSV를 위한 대규모의 신규 투자비용이 필요하다. 이와 비슷한 사례로 플립 칩을 위한 범핑 사업을 들 수 있다. 플립칩 기술의 장점에도 불구하고 범핑 서비스 사업의 대규모 투자가 문제로 예상보다 대규모의 적용 시점이 늦어 졌으며, 오랜 시간이 지난 현재에 이르러 OSAT 업체의 중요한 사업 영역 중 하나로 자리 잡게 되었다. 하지만 현재의 많은 기술 들이 기술적 비용적 문제를 넘어 신기술로 자리 잡아 반도체 성능을 향상 시켜 왔듯이, 조만간 이러한 문제점들을 해결하고 상용화의 시점이 올 것으로 생각한다. 표준화된 반도체 공정을 사용하고, LTCC 및 PCB 기술보다 좀더 SOC 관련산업에 친밀도가 높은 성격을 나타냄으로 3D-IC 산업에서 플랫폼 테크놀로지로 자리 잡을 가능성이 높은 편이다.

### 3. 결론

Active/passive 소자를 기판에 내장하여 패키지형 시스템을 구현하는 SIP/SOP 기술을 살펴보았다. 여러 개의 IC를 탑재하고 다수의 수동소자를 기판에 내장하여 하나의 패키지로 일정 규모의 시스템을 구현하는 SIP/SOP 기술은 시스템 구축의 유연성, 다품종 소량 생산시의 비용절감, 다른 디바이스를 최적화하기 위한 프로세스로 제조할 수 있는 점 등의 장점이 확인되면서 용도에 따라서는 SOC를 능가하는 존재로까지 인식되고 있다. 그렇다고 SIP/SOP를 SOC의 경쟁기술로 볼 수 없다. SOC는 본연의 목적대로 One chip화 개발을 계속 할 것이며, 계속적인 IC의 다기능화 소형화는 이를 위한 미세라인과 증가는 주변회로를 집적화할 수 있는 수단을 필요로 할 것이다. 상호 보완적이면서도 때로는 경쟁관계를 보이면서 소비자의 요구에 따른 지속적인 기술 발전을 이루어 나갈 것으로 생각된다.

#### ●● 김준철



- 1991년 서강대학교 물리학과 학사
- 1993년 서강대학교 전자공학과 석사
- 1996년 전자부품연구원 연구원
- 1998년 서강대학교 전자공학과 박사
- 2005년~2010년 전자부품연구원 책임/수석연구원