

비선형 부하에서 커패시터 전류 궤환을 통한 고성능 UPS 설계

(A Design of a High Performance UPS with Capacitor Current Feedback for Nonlinear Loads)

이우철* · 이택기**

(Woo-Cheol Lee · Taeck-Kie Lee)

Abstract

This paper presents a digital control solution to process capacitor current feedback of high performance single-phase UPS for non-linear loads. In all UPS the goal is to maintain the desired output voltage waveform and RMS value over all unknown load conditions and transient response. The proposed UPS uses instantaneous load voltage and filter capacitor current feedback, which is based on the double regulation loop such as the outer voltage control loop and inner current control loop. The proposed DSP-based digital-controlled PWM inverter system has fast dynamic response and low total harmonic distortion (THD) for nonlinear load. The control system was implemented on a 32-bit Floating-point DSP controller TMS320C32 and tested on a 5[KVA] IGBT based inverter switching at 11[Khz]. The validity of the proposed scheme is investigated through simulation and experimental results.

Key Words : Double Regulation Loop, Digital Control, Nonlinear Load, Capacitor Current Feedback

1. 서 론

최근에 컴퓨터와 공장 자동화 장비, 병원용 생명 유지 장치, 통신 시스템과 같은 전력 환경에 민감한 부하들이 증가하고 있는데 UPS 는 신뢰성 있고 안전한 전력을 공급하기 위한 최적의 수단으로 제시되고 있다[1].

* 주저자 : 한경대학교 전기공학과 부교수

** 교신저자 : 한경대학교 전기공학과 교수
IT융합기술연구소

Tel : 031-670-5323, Fax : 031-670-5329

E-mail : woocheol@hknu.ac.kr/tklee@hknu.ac.kr

접수일자 : 2012년 3월 29일

1차심사 : 2012년 4월 4일

심사완료 : 2012년 4월 23일

그림 1은 정전 또는 외부 영향에 의한 정상 전원에서 나타날 수 있는 외란을 보여 준다. 이에 대해 UPS 는 정전, 전압강하, 전압 상승의 문제뿐만 아니라 주파수 문제에 대한 통합적인 해결책으로 제시되고 있다.

전력 품질에 민감한 부하에 대해 안정된 전력을 공급하기 위하여 UPS의 출력 전압은 일정한 크기, 안정된 주파수 및 왜곡이 없는 정현파 파형을 필요로 한다.

재생에너지를 이용한 독립운전 또는 계통연계 시스템에서 어떠한 모든 부하 조건에서도 정현파 출력 전압을 유지하는 것은 매우 중요하다. 특히 대부분의 부하는 비선형이어서 정현파 파형을 유지하기가 힘들고 결국 왜곡이 발생하게 되고 과도상태에서 응답이 지연되게 된다. 이런 문제를 해결하기 위하여 많은 제어

알고리즘이 개발되고 제안되었다. UPS에서 출력 전압과형을 향상시키기 위하여 사용되는 제어로는 전압 제어, 이중 제어 루프, 데드 비트 제어 등이 있다[2].

정현파 PWM 방식을 사용하는 평균 전압 제어 기법은 일정 출력 전압을 유지하는 가장 간단한 방식이다. 출력 전압을 검출하여 필터를 거쳐 평균전압을 얻고 이를 지령치와 비교하여 변조비가 결정된다. 이 경우 부하 변동에 상관없이 출력전압의 실효치는 거의 일정하게 유지된다.

그러나 출력전압을 정류하고 필터링하는 과정을 통해 지연이 발생되어, 부하 변동 시 출력전압이 변동이 발생되며 정상상태로 복원하는데 다소 시간이 걸리고, 특히 정류기 부하시는 고조파 함유율도 높아진다. 과도 응답 특성을 향상시키기 위하여 순시차 과형 보상 기법이 사용되는데 이는 순시차 정현파 과형과 검출된 출력 전압을 비교하여 제어하는 방식이다.

중성의 실효치 제어부에 순시차 과형 보상부가 결합된 형태의 제어기이다. 이 방식은 실효치 제어 기법 보다 향상된 과도 특성응답을 보여준다. 그러나 전압 지령치가 계속적으로 변화하여 PI 제어기를 사용한 전압 제어기는 항상 정상상태 오차가 발생된다[3-4].

순시차 전압 제어를 갖는 PI 제어기는 전압 지령치가 정현파이기 때문에 출력 전압이 정상상태 에러를 갖고 있다. 이 기법은 출력 전압과 위상의 에러를 제거할 수는 있으나 고조파는 제거를 못한다. 이중 제어 구조를 갖는 제어기법은 출력전압 과형의 THD를 향상시킬 수 있고 제어부는 내부 전류 제어 루프와 외부 전압제어 루프로 이루어진다. 이는 단순히 제어기의 차수를 증가하여 동적특성을 향상시키는 것과 비교하여 보다 효과적이다. 전류 제어 루프는 필터용 인덕터 전류를 제어 변수로 하고, 전압제어는 전류제어를 포함한 이중구조로 커패시터 전압을 제어하고 대부분의 이중 제어 기법은 직렬 구조를 갖는다. 데드비트 제어는 디지털 제어기에서 가장 빠른 응답 특성을 갖는데, 먼저 이산치계 모델을 세운 후 한 샘플링 시간동안 지령치 신호를 추종하게 제어를 한다. 이 방식은 설계 방식에 따라 차이가 많이 존재하고 최적 설계를 하더라도

시스템 자체가 너무 민감하게 동작을 하는 문제가 존재한다[5-6].

특히 파라미터의 변동 또는 피드백 노이즈에 대한 민감한 응답이 시스템을 쉽게 불안하게 만든다. 또한 동작 지연 인자가 있어 제어기 구현을 더욱더 힘들게 만든다. 대개의 경우 동작 지연은 없다고 가정을 하고 나서 제어기를 설계를 하게 된다.

동작 지연 문제를 해결하기 위하여 시간 지연 인자를 시스템의 일정한 파라미터로 가정을 하고 설계를 하게 되면 제어기의 차수는 증가를 하여 2차 제어기가 되며 이 제어기는 응답은 에러와 오버슈트 없이 2 샘플링 시간 내에 기준 신호와 동일하게 된다. 그러나 데드 비트 제어기에서는 상태 변수는 시스템 파라미터에 종속한다는 가정 하에 동작을 하게 되어 잡음이나 비선형 파라미터에 의해 심각하게 영향을 받게 된다.

현재 대부분의 제어 시스템은 이중 제어 루프 기법을 사용하는데 전압 제어 루프 내에 전류 제어 루프가 있는 제어 시스템으로 구성되어 있다. 특히 전류 제어 루프는 전체 시스템의 성능을 좌우하는 중요한 인자가 된다.

그러나 인버터는 시변 비선형 인자로 구성되어 있어 미지의 파라미터와 부하 변동에 의해 영향을 받는다. 특히 UPS 에서 부하는 대부분 비선형 부하여서 출력 전압이 왜곡되게 되어 정현파 과형을 유지할 수가 없고 낮은 과도상태 응답 특성을 갖는다.

본 연구에서는 UPS 성능을 향상시키기 위하여 출력 측 LC필터의 커패시터 전압뿐만 아니라 커패시터 전류를 왜곡하여 사용하는 이중 제어 구조의 제어기를 제안한다. 또한 부하 변동과 외란에 민감성을 제거하기 위하여 부하전류 예측 제어기가 전류제어 내에 부가되어 외란은 2 샘플링 시간 내에 전향 보상이 된다[7].

단상 인버터 시스템에서 정상상태의 오차를 없애기 위하여 출력 전압 제어 루프는 축 변환을 통한 d-q 축의 PI 제어기로 보상이 된다. 본 연구의 타당성을 입증하기 위하여 5[kVA] UPS 시스템을 PSIM을 이용한 시뮬레이션과 DSP(TMS320C32)를 제어기로 사용한 시스템으로 실험을 수행하였다.

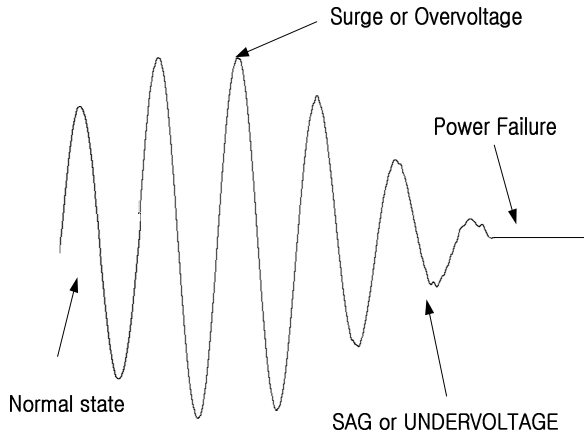


그림 1. 전원이상의 종류
Fig. 1. Type of power failure

2. 파워 회로 설계

그림 3은 UPS 용 단상 인버터 시스템을 보여준다. IGBT로 구성된 풀 브리지 인버터, 수동 필터인 LC 필터, 부하로 이루어져있다.

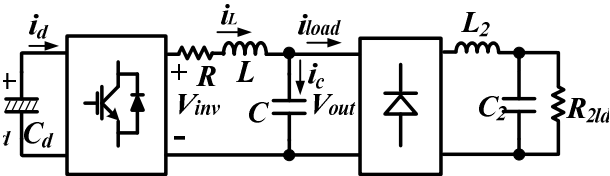


그림 2. 단상 UPS 시스템
Fig. 2. A single phase UPS system

2.1 LC 필터 모델링

그림 2에 의해서 LC 필터를 갖는 UPS의 상태 방정식은 다음과 같다.

$$v_{inv} = L \frac{di_L}{dt} + Ri_L + v_c \quad (1)$$

$$C \frac{dv_c}{dt} = i_L - i_{Load} \quad (2)$$

$$i_L = i_c + i_{Load} \quad (3)$$

$$v_{out} = Z_{Load} i_{Load} = v_c \quad (4)$$

상태 변수에서 초기치 값이 0이라고 가정하면 식 (1)~(4)는 라플라스 변환을 통하여 다음과 같은 전달 함수가 얻어진다.

$$V_{inv}(s) = (L_s + R)I_L(s) + V_C(s) \quad (5)$$

$$C_s V_C(s) = I_L(s) - I_{Load}(s) \quad (6)$$

$$I_L(s) = I_c(s) + I_{Load}(s) \quad (7)$$

$$V_{out}(s) = sZ_{Load}I_{Load}(s) \quad (8)$$

$$G(s) = \left| \frac{V_{out}(s)}{V_{inv}(s)} \right| = \frac{1}{LCs^2 + RCs + 1} \quad (9)$$

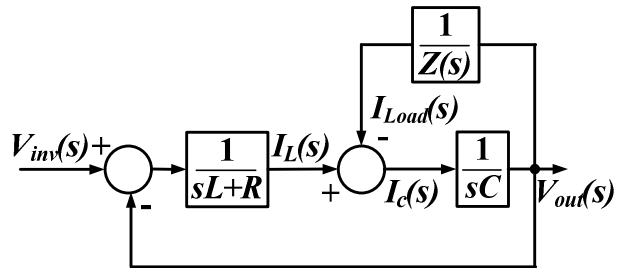


그림 3. 단상 인버터 제어 블록도
Fig. 3. A control block diagram of a single phase inverter

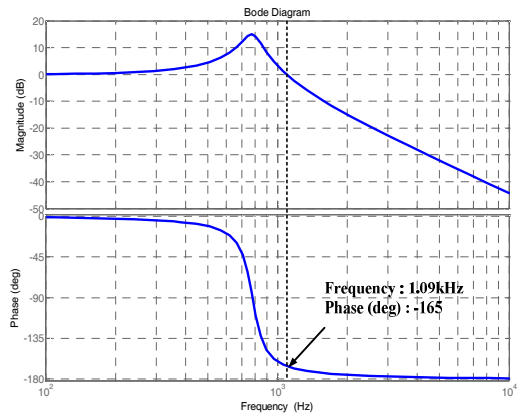


그림 4. LC필터를 갖는 UPS의 보드 선도
Fig. 4. Bode plot of the UPS with LC filter

그림 3은 단상 인버터 제어 블록도를 나타낸다. 출력전압과 지령치 전압의 차이에 의해 인덕터 전류가 생성되고 부하 전류 전향제어값과 합쳐서 출력 전압

이 발생됨을 보여준다. 식 (9)를 이용하여 전달함수를 사용하여 시스템의 보드선도를 그려 주파수 응답특성을 해석할 수 있다. 그림 4에서 알 수 있듯이 이득여유와 위상여유가 낮아서 시스템이 불안하게 된다. 따라서 정상상태 시 오차가 존재하게 되어 PI 제어를 사용하여 제어 시스템을 구성하게 된다.

2.2 LC의 부하 해석

식 (10)은 출력 LC 필터와 등가 부하 R이 결합된 전달함수를 보여준다. 이는 출력 임피던스의 역수이다. LC 필터의 동적 강인함은 다음과 같은 수식으로 표현된다.

$$\left| \frac{I_{Load}(s)}{V_{out}(s)} \right| = \frac{Ls + R}{LCs^2 + RCs + 1} \quad (10)$$

부하 임피던스 해석을 통해 출력전압에서 부하전류의 영향을 분석할 수 있다. 그림 5는 부하전류에 대한 부하전압의 영향이 민감함을 보여 주며 LC 필터의 공진 주파수 774[Hz]에서 21.3[dB]의 이득 여유를 보여준다. 이때 스위칭 주파수는 11[kHz]이다. LC 필터의

공진 주파수는 대개 스위칭 주파수의 보다 훨씬 낮은 주파수에서 형성되며 이는 출력 파형에서 낮은 THD를 얻게 해준다.

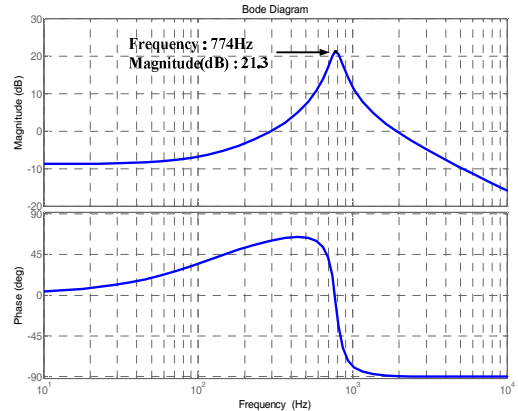


그림 5. $|I_{load}(s)/V_{out}(s)|$ 의 보드 선도
Fig. 5. Bode plot of $|I_{load}(s)/V_{out}(s)|$

단상 풀 브리지 PWM 인버터를 사용하게 되는데 이는 스위칭 주파수를 2배로 올리는 것과 같은 역할을 하기 때문이다. 따라서 출력 필터의 저가화, 소형경량화 및 구현화가 용이하게 된다[7].

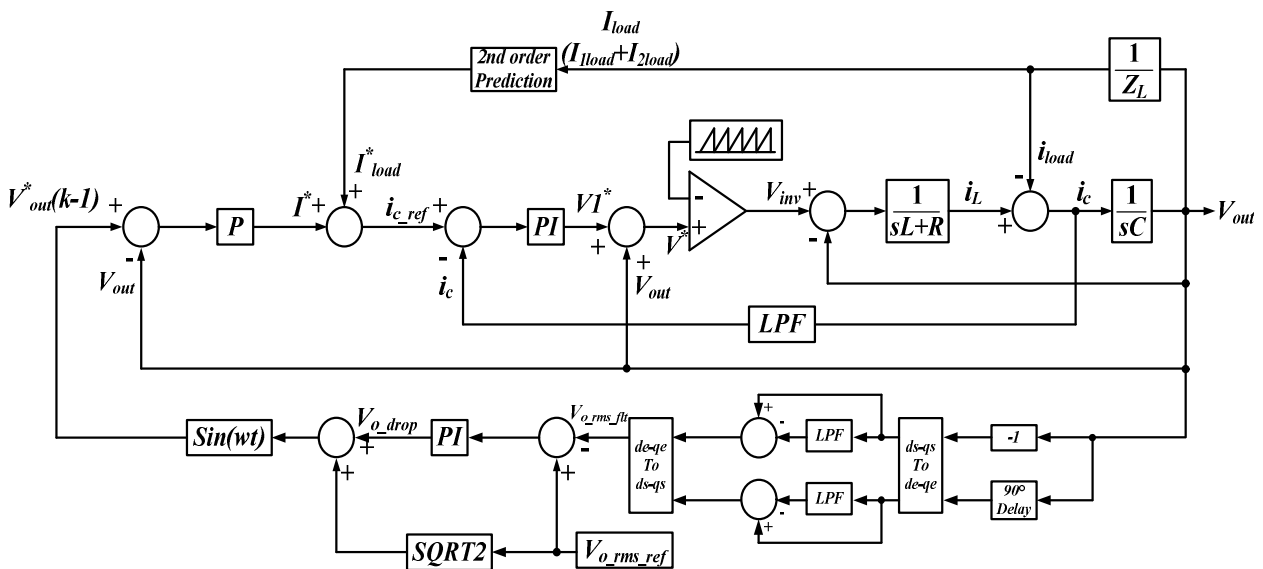


그림 6. 제안된 UPS 제어 블록도
Fig. 6. Proposed UPS control block diagram

2.3 제안된 디지털 제어기

제안된 디지털 제어기는 그림 6에 보여지며, 순시치 부하전압과 필터 커패시터 전류가 검출되어 사용되며, 내부의 전류제어기와 외부 전압 제어기 루프를 갖는 이는 이중 제어 루프 구조를 가진다.

내부 전류 제어기는 필터 커패시터 전류를 검출하여 사용한다. 또한 부하로 인한 출력 전압 강하는 전압 강하 보상기에 의하여 보상된다. 외부 전압 제어 루프는 P 제어기로 구현을 하였다[8-9].

그림 7은 출력전압 V_{out} 과 커패시터 전류 i_c 를 검출받아 PI 제어기에 사용 시 보드선도를 보여주는 그림으로 그림 5에 비해 공진 주파수는 동일하나 이득, 진폭을 9.16[dB]로 낮추었다. 그리고 공진주파수가 스위칭 주파수 값보다 이하의 값에 존재하여 출력 전압은 부하 전류 고조파에 덜 민감하게 됨을 보여준다. 이들 특성은 안정된 동작을 하고 있음을 보여주며, 출력 전압은 낮은 THD를 보여 주며 부하변동과 비선형 부하에 빠른 동적 응답을 보여준다.

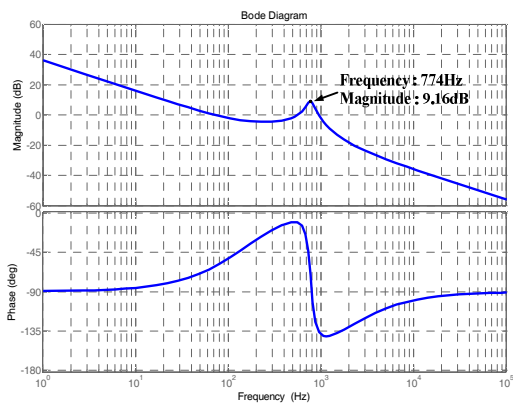


그림 7. 제안된 시스템의 $|I_{load}(s)/V_{out}(s)|$ 의 보드 선도
 Fig. 7. Bode plot of $|I_{load}(s)/V_{out}(s)|$ of the proposed system

2.4 커패시터 전류 검출 시 저역 통과 필터의 영향

그림 6 에서와 같이 인덕터 전류와 부하 전류를 검

출하여 제어기에 사용하는 대신에 필터 커패시터 전류를 검출하여 사용할 수가 있다. 필터 커패시터 전류를 검출하여 사용하는 이유는 필터 커패시터 전류를 이상적으로 정현파 파형으로 할 수가 있다면 필터 커패시터 전류는 출력전압의 미분에 해당하기 때문이다.

$$i_c(s) = \frac{dv_{out}}{dt} \tag{11}$$

커패시터 전류를 검출하여 사용하는 데 대한 단점 중의 하나는 커패시터 전류에 많은 양의 스위칭 노이즈가 존재한다는 점이다. 따라서 직접적으로 커패시터 전류를 전류 제어 루프에 사용할 수는 없지만 약간의 필터를 사용한다면 기본파 전류 성분을 검출해 낼 수가 있다[10-11].

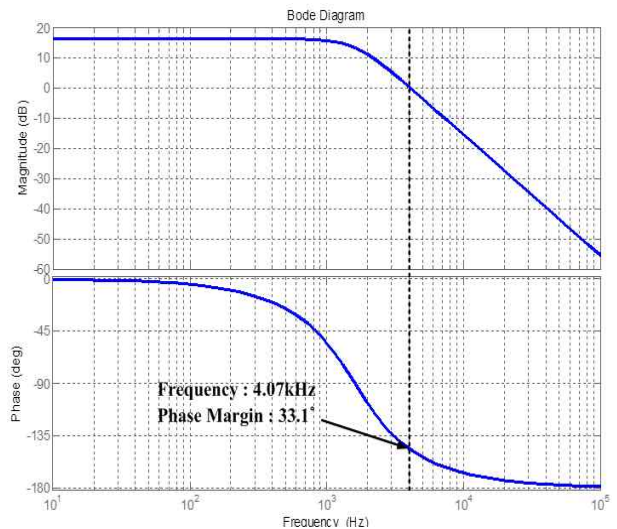


그림 8. 필터의 보드 선도
 Fig. 8. Bode plot of filter

그림 8은 본 연구에서 시스템 성능에 대하여 필터의 영향을 분석하기 위한 보드선도를 보여준다. 2차 저역 통과 필터를 사용하여 부하전압을 검출하는 제어보다 빠른 동적 응답 특성을 보여주고, UPS의 성능이 개선될 수 있음을 보여 준다. 본 연구에서 2차 저역 통과 필터를 설계하고 적용한 결과는 오직 부하 전압만 피드백을 받는 것 보다는 빠른 동적 응답을 보여주고, 4.07[kHz]에서 위상 여유가 33.1[°]임을 보여 준다. 식

(12) LC 필터의 입출력 전달비를 나타낸다.

그림 9는 실제 커패시터 전류와 필터링 된 전류 값을 보여준다. 실제 커패시터 전류값을 제어에 사용시 스위칭 리플로 인하여 오 동작의 우려가 있어 적절히 필터링하여 DSP 제어기로 입력되어 제어를 수행한다.

$$G(s) = \frac{k\omega_c^2}{s^2 + 2\zeta\omega_c s + \omega_c^2} \quad (12)$$

$k(\text{gain}) = 6.5, \zeta = 0.7$, (수식에서 오메가로 변경) $\omega_c = 10.08\text{k[Hz]}$

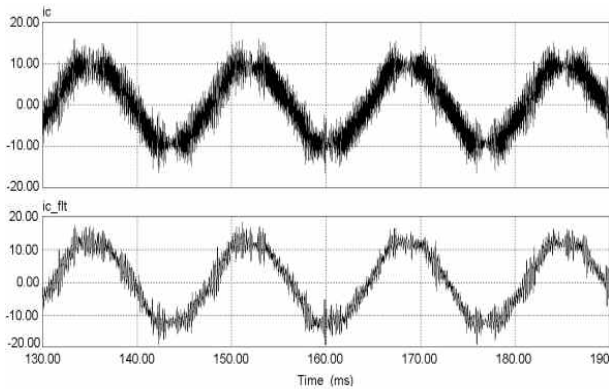


그림 9. 실측 커패시터 전류와 필터링된 전류
Fig. 9. The actual capacitor current and its filtered value

3. 시뮬레이션 및 실험 결과

제안된 디지털 제어 기법은 32[bit] 부동 소수점 DSP TMS320c32를 사용하여 구현되었다. 이는 25MIP의 DSP제어기로 고성능의 디지털 제어 알고리즘을 쉽게 구현하는데 적절하다. 단상 60[Hz], 207[V]에서 5[kVA]의 IGBT 인버터를 사용하였으며 정상 DC 전압은 350[V]이고 스위칭 주파수는 11[kHz]이다. THD 측정은 Hioki사의 Motor/Harmonic Hitestor를 사용하였다. 인버터 제어 보드와 신호 검출 보드는 그림 11에 보여주었다. 시뮬레이션 및 실험에 사용된 비선형 부하는 풀 브리지 정류기로 구현하였다.

표 1은 시뮬레이션 및 실험에 사용된 시스템 파라미터를 보여준다.

표 1. 시스템 파라미터
Table 1. System parameters

Parameters	Value
전원전압(V_g), 정격	207[V], 60[Hz], 5[kVA]
스위칭 주파수(f_s)	11[Hz]
DC-link 커패시터(C_d)	5,600[μ F]
DC-link 전압(V_d)	350[V]
필터용 R, L, C	(0.4[mH]+0.3[Ω]), 100[μ F]
정류기부하용 L_2, C_2	4[mH], 1500[μ F]
정류기 부하용 $R_{2ld}(100\%)$	30[Ω]
정류기 부하용 $R_{2ld}(50\%)$	60[Ω]

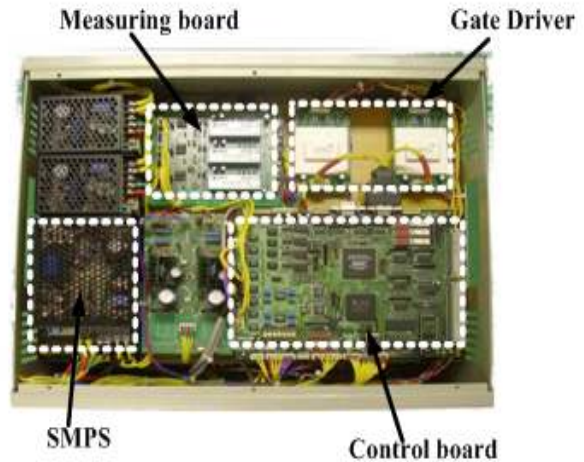


그림 10. 제안된 UPS 시스템의 프로토타입
Fig. 10. Prototype of the proposed UPS system

3.1 시뮬레이션 결과

본 연구에서 제안된 방식의 타당성을 검증하기 위하여 PSIM을 사용하여 시뮬레이션을 수행하였다. 그림 11은 필터링 된 필터 커패시터 전류(ic_flt)와 출력 전압(V_{o_P}), 부하전류(ild_P)를 보여준다. 출력 전압은 295[V] 피크치를 갖고 왜곡이 없는 정현파로 제어되고 있음을 보여준다.

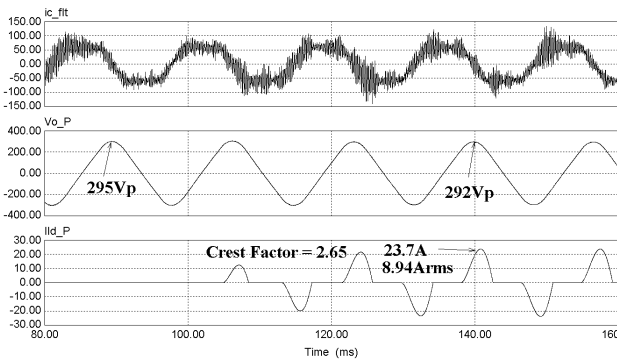


그림 11. 필터링된 커패시터 전류, 출력전압, 부하전류
 Fig. 11. Filtered capacitor current, output voltage, load current

3.2 실험 결과

제어기의 성능을 검증하기 위하여 비선형 부하 조건에서 실험을 수행하였고, 비선형 부하는 풀 브리지 다이오드 정류기를 사용하였다. 그림 2와 표 1에 다이오드 정류기 부하에 대한 시스템 구성도와 파라미터를 보여준다. 그림 12의 실험 결과는 부하전압과 부하 전류를 보여준다. 다이오드 정류 부하에서도 출력전압이 일정한 파형임을 보여준다. 이는 그림 11의 시뮬레이션 결과에서 보여준 출력 전압파형과 유사함을 보여준다. 그림 13은 출력전압 THD가 약 4.47%가 됨을 보여준다. 부하전류에 대한 THD는 일반 다이오드 정류기 부하에서의 THD와 같다.

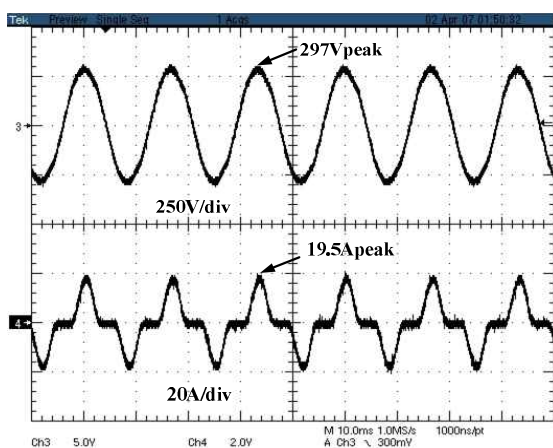


그림 12. 출력전압과 부하전류
 Fig. 12. Output voltage and load current



그림 13. 출력전압 THD
 Fig. 13 THD of output voltage

4. 결 론

제안된 UPS는 순시치 부하전압과 필터 커패시터 전류를 사용하여 내부 전류제어 루프와 외부 전압 제어 루프를 갖는 2중 구조의 제어기를 갖는다. 순시치 부하 전압 보상 부는 정류기 부하 시 전압 강하의 영향을 줄여 주며, 필터 커패시터 전류를 직접적으로 제어기에 사용함으로써 보다 빠른 제어 성능을 구현하였다.

본 연구는 지식경제부의 지원에 의하여 기초전력연구원 (2010T100100428) 주관으로 수행된 과제임.

References

- [1] S. K. Chung, D. S. Lee, "Steady-State Performance of Single-Phase PWM Inverters Using PLL Technique," The Transactions of The Korean Institute of Power Electronics, Vol. 9, No. 4, pp. 356-363, 2004. 8.
- [2] J. H. Park, T. K. Roh, C. S. Kim, I. M. Ahn, J. I. Woo, "Design of Robust Double Digital Controller to Improve Performance for UPS Inverter", The Transactions of The Korean Institute of Power Electronics, Vol. 4, No. 2, pp. 116-127, 2003. 4.
- [3] P. Maussion, M. Grandpierre, J. Faucher, and J.C. Hapiot, "Instantaneous Feedback Control of a Single-phase PWM Inverter with Nonlinear Loads by Sine Wave Tracking," IEEE-IECON 1989, pp. 130-135.
- [4] del Viejo, M.; Alou, P.; Oliver, J.A.; Garcia, O.; Cobos, J.A, "Fast control technique based on peak current mode control of the output capacitor current," IEEE-ECCE2010, 2010, pp 3396-3402.
- [5] K. P. Gokhale, A Kawanura, and R. G. Holl, "Dead beat microprocessor control of PWM inverter for sinusoidal

output waveform synthesis," IEEE-PESC Conf Rec., 1985, pp. 28-36.

[6] T. Kawabata, T. Miyashita, and Y. Yamamoto, "Deadbeat control of three phase PWM inverter," IEEE Trans. on Power Electronics, vol. 5, no. 1, 1990, pp. 21-28.

[7] Michael J. Ryan, William E. Brumsickle, and Robert D. Lorenz, "Control Topology Options for Single-Phase UPS Inverters," IEEE Trans. on Industry Application, 1997, VOL. 33, NO. 2.

[8] D. K. Ku, J. K. Ji, G. S. Cha, J. H. Moon, "Design of Robust Voltage Controller for Single-Phase UPS Inverter", The Transactions of The Korean Institute of Power Electronics, Vol. 16, No. 4, pp. 317-325, 2011. 8.

[9] Q. V. Tran, T. W. Chun, H.H. Lee, H. G. Kim, E. C. Nho, "Analysis of a Synchronizing PLL System for Single-phase Grid-tie Inverters", The Transactions of The Korean Institute of Power Electronics, Vol. 13, No. 6, pp. 447-452, 2008. 12.

[10] S. D. Finn, "A High Performance Inverter Technology, Architecture and Applications," IEEE-APEC Conf. Rec., 1993, pp. 556-560.

[11] M. J. Ryan and R. D. Lorenz, "A high-performance sine wave inverter controller with capacitor current feedback and "Back-EMF" decoupling", Conf. Rec, IEEE-PESC, pp. 507-513, 1995.

◆ 저자소개 ◆



이우철 (李雨哲)

1964년 3월 24일생. 1987년 한양대학교 전기공학과 졸업. 1989년 한양대학교 대학원 전기공학과 졸업(석사). 1988~1998년 효성중공업 기술연구소 책임연구원. 1995~2001년 한양대학교 대학원 전기공학과 졸업(박사). 2007~2009년

Virginia Polytechnic Institute and State University USA Visiting Professor. 현재 한경대학교 전기전자제어공학과 부교수. 2011년~현재 전력전자학회 학술위원.



이택기 (李宅基)

1963년 9월 4일생. 1987년 한양대학교 전기공학과 졸업. 1989년 동 대학원 전기공학과 졸업(석사). 1993년 동대학원 전기공학과 졸업(박사). 1994~1996년 서남대학교 전기공학과 전임강사. 1996년~현재 한경대학교 전기전자제어공학과 정

교수. 2010~2011년 성균관대학교 전력전자연구센터 방문교수. 2010년~현재 전력전자학회 학술이사.