

논문 2012-49SD-4-2

# X-ray CMOS 영상 센서의 대조 해상도 향상을 위해 Micro-inductor를 적용한 새로운 Sample-and-Hold 회로

(A noble Sample-and-Hold Circuit using A Micro-Inductor To Improve  
The Contrast Resolution of X-ray CMOS Image Sensors)

이 대 희\*, 조 규 성\*\*, 강 동 욱\*, 김 명 수\*, 조 민 식\*, 유 현 준\*, 김 예 원\*

(DAE HEE LEE, Gyuseong Cho, Dong-Uk Kang, Myung Soo KIM,  
Minsik Cho, Hyunjun YOO, and Yewon KIM)

## 요 약

X-ray용 CMOS 영상 센서의 대조 해상도는 신호처리부 첫 단의 sample-and-hold 회로에서 단일 MOS 스위치를 사용하거나 이를 개선한 bootstrapped clock circuit을 스위치로 사용할 경우에도 높은 신호에서 제한되는 문제를 가지고 있다. Bootstrapped clock circuit을 이용하는 sample-and-hold 회로가 charge injection 현상으로 인해 sample 신호의 왜곡을 일으키기 때문이다. 본 논문에서는 계산을 통해 필요로 하는 범위의 L(Inductor)값 구현을 위해 표준 CMOS 공정에서 구현 가능한 micro-inductor를 3차원 구조로 설계하였고, 이를 이용하여 센서의 대조 해상도 혹은 ENOB(Effective number of bit)값이 향상된 sample-and-hold 회로를 제안하였다. 0.35 um CMOS 공정에서 BCC를 이용해 설계된 sample-and-hold 회로에 최적화된 L 값을 갖는 micro-inductor를 추가하여 ENOB가 17.64 bit에서 18.34 bit로 약 0.7 bit의 해상도 상승을 시뮬레이션으로 검증하였다. 제안된 micro-inductor 방법은 고해상도를 필요로 하는 mammography의 경우 환자가 받는 방사선량을 줄이는 효과가 있을 것으로 기대한다.

## Abstract

An image quality is limited by a sample-and-hold circuit of the X-ray CMOS image sensor even though simple mos switch or bootstrapped clock circuit are used to get high quality sampled signal. Because distortion of sampled signal is produced by the charge injection from sample-and-hold circuit even using bootstrapped. This paper presents the 3D micro-inductor design methode in the CMOS process. Using this methode, it is possible to increase the ENOB (effective number of bit) through the use of micro-inductor which is calculated and designed in standard CMOS process in this paper. The ENOB is improved 0.7 bit from 17.64 bit to 18.34 bit without any circuit just by optimized inductor value resulting in verified simulation result. Because of this feature, micro-inductor methode suggested in this paper is able to adapt a mamography that is needed high resolution so that it help to decrease patients dose amount.

**Keywords :** X-ray 영상 센서, Sample-and-Hold 회로, 표준 CMOS, Inductor, High Resolution

## I. 서 론

1990년대 이후에 등장한 X-ray 촬영용 디지털 센서는 그림 1. 에서 보이듯이 인체를 투과한 엑스선을 가시광선으로 변환해주는 섬광체 패널과 변환된 가시광선

\* 학생회원, \*\* 정회원-교신저자, 한국과학기술원 원자력 및 양자공학과

(KAIST Department of Nuclear Quantum Engineering)  
접수일자: 2012년2월20일, 수정완료일: 2012년3월27일

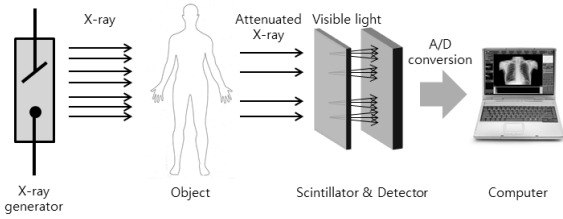


그림 1. X-ray CMOS Image Sensor 개념도  
Fig. 1. A Concept of X-ray CMOS Image Sensor.

을 측정하는 CMOS 영상 센서로 구성되어 있다.<sup>[1]</sup> 센서의 신호처리회로를 통해 최종적으로 얻어진 영상의 질은 공간 해상도(spatial resolution)와 대조 해상도(contrast resolution)로 표현된다.

공간 해상도는 센서로 구분할 수 있는 두 물체 사이의 최소각 또는 직선 간격을 측정하는 것을 의미한다. 공간 해상도는 섬광체 패널의 두께와 CMOS 영상 센서의 화소크기에 의해 결정되어진다. 한편 대조 해상도는 센서에 측정된 신호 값 중, 영상 강도 차를 구분할 수 있는 정도를 나타내는 요소이다. 대조 해상도는 각 화소에 반응하는 엑스선의 세기에 비례하는 신호와 센서 및 신호처리회로의 전기적 잡음의 비 즉, SNR(Signal to Noise Ratio)로 결정되어진다. 따라서 대조 해상도 즉, SNR을 높이기 위해서는 센서의 암전류와 신호처리회로 각 부분의 전기적 잡음을 최소화할 필요가 있다. 신호처리회로는 순차적으로 화소 내부에 위치한 화소신호 전송회로, 센서 밖으로 전송된 신호의 sample-and-hold 회로, analog-to-digital converter 회로 구성되는데 일반적으로 화소신호전송회로와 sample-and-hold 회로가 가장 큰 잡음원이 되고 있다.<sup>[2]</sup> 그 동안 화소신호전송회로의 잡음에 대해서는 많은 연구가 진행되어 왔으나 sample-and-hold 회로의 잡음에 대한 연구는 다소 무시되어 왔다. sample-and-hold 회로는 charge injection과 clock feedthrough라는 두 가지 주요한 요소에 의해 성능에 가장 큰 영향을 받는다.<sup>[3]</sup>

위의 두 문제의 해결은 SNR 향상을 의미한다. charge injection 문제 해결을 위해 dummy switch, offset cancelation 회로, complementary switch들이 개발되었다. 하지만 그림 2. 에서와 같이 시간에 따라 변하는 charge injection 문제를 시간에 독립적인 charge 로 만드는 회로가 BCC(Bootstrapped Clock Circuit)이다.<sup>[4]</sup> 이 회로는 구동 스위치 전압을 입력 신호에 VDD 만큼이 더해진 신호로 사용하여 입력 신호에 독립적인

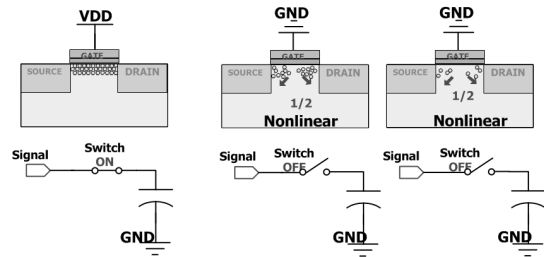


그림 2. Charge injection 개념도  
Fig. 2. Concept of the charge injection.

일정 charge를 만든다. 하지만 이 BCC 자체에 의해 생기는 비이상적 왜곡을 제거하고자 많은 회로들이 개발되어 추가되고 있다.<sup>[5-6]</sup> 높은 SNR을 얻기 위해서는 신호 왜곡성분을 없애는 것이 필수적이다. 또한 X-ray CMOS 영상 센서에서는 방사선에 노출에 영향이 적은 회로 설계가 요구된다.<sup>[7]</sup> MOS로 설계된 회로들은 oxide층의 hole trap에 의해 성능의 저하를 일으킨다. 본 논문에서는 표준 CMOS 공정에서 표준 cell로 제공은 되지 않지만 계산, 설계된 micro-inductor를 통해 추가적인 복잡회로 없이 Sample 신호의 대조 해상도 향상과 복잡한 회로가 추가되었을 때보다 내방사선 증가 효과를 얻을 수 있는 방법을 제안하였다.

본 논문의 구성은 본문에서 우선 기본적인 sample-and-hold 회로인 BCC의 기본적 동작을 설명하고, 이어서 micro-inductor를 추가한 새로운 sample-and-hold 회로를 설명하였다. 새로운 회로의 검증을 위한 시뮬레이션 방법과 결과를 제시하였다. 최종적으로 시뮬레이션 결과를 대조 해상도 관점에서 분석한 후 결론을 도출하였다.

## II. 본 론

### 1. BCC(Bootstrapped Clock Circuit)

그림 3은 MOS TR을 sampling 스위치를 사용할 경우 “OFF” 상태(좌)와 “ON” 상태(우)를 나타내며 BCC를 이용할 경우 gate-source간 전압이 항상 “ON”상태

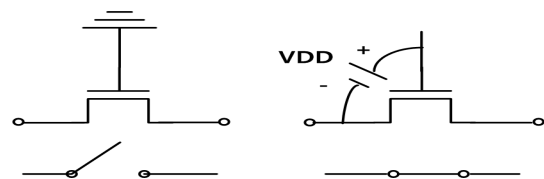


그림 3. BCC의 기본 개념도  
Fig. 3. The Concept of BCC.

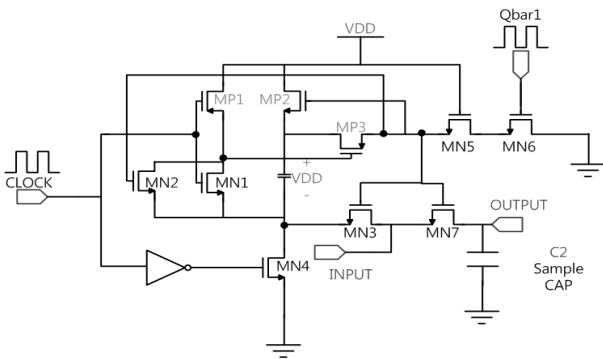


그림 4. BCC의 구현을 위한 회로 구조  
Fig. 4. The circuit of implementation of a BCC.

에서 VDD가 되어야 함을 보여주고 있다. 이 경우 source-gate간 VDD의 전압차가 항상 일정하게 존재함으로써 channel charge가 output 전압에 추가되는 charge injection 문제를 일으킨다.

그림 4는 BCC를 이용한 기본적인 sample-and-hold 회로로서 input 단자의 신호전압을 MN7 스위치 TR을 이용하여 C2 sample cap에 전하 형태로 input 신호를 sample 하는 회로이다. 동작을 보면 Q clock이 low인 상태에서 MN4, MP2, MN2가 “ON”이 되면서 MN4와 MP2 사이의 C1을 VDD로 충전한다. 이 때에 MN6, MN5, MP3, MN7, MN3은 “OFF” 상태가 된다. Q clock이 high 일 때는 이와 반대로 MOS들이 “ON” 상태가 된다. clock high 상태에서 입력이 C1의 아래 단자에 연결되어 MN3, MN7의 Gate 구동 전압을 “INPUT+VDD”의 전압으로 만든다. 이 전압을 이용하여 MN7을 Sample하기 위한 switch로 사용한다. 이 회로에서 MN2는 MP3의 Vgs 전압이 VDD를 넘지 않게 하는 역할이고, MN5은 MN6에 부여되는 전압을 낮추어 주는 저항 역할을 한다.

본 회로를 설계함에 있어 중요한 것은 C1의 크기가 MN7과 MN3의 gate cap, MP2, MP3 및 MN5의 diffusion cap의 합보다 충분히 크도록 하는 것이다. C1 cap이 충분히 크지 않으면 input 전압이 변화함에 따라 MN3, MN7등 MOS TR의 source 또는 drain과 body단자 간의 diffusion cap 값이 변화함으로써 높은 input 전압 값에 대해서 output 전압의 왜곡이 일어난다. 그 결과 식 (1)과 같이 MN7의 gate 전압,  $V_{O,G}$ , 값이 왜곡된다.<sup>[8]</sup>

$$V_{O,G} = V_{input} + \frac{C1}{C1 + C_{gate(MN3,7)} + C_{diff(MP3,2,MN5)}} VDD \quad (1)$$

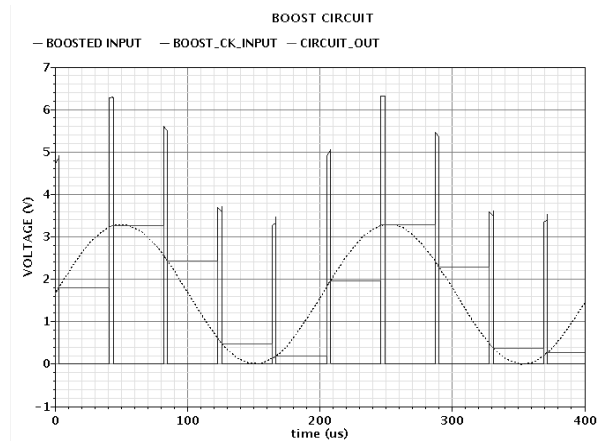


그림 5. Bootstrapped Clock Circuit의 출력 파형  
Fig. 5. Output Wave of A Bootstrapped Clock Circuit.

그림 5는 BCC에 sin파를 입력하고 시뮬레이션한 출력 파형이다. 검은 점선이 입력 파형, 파란색은  $V_{OP}$ 을 나타낸다. 파란색의 펄스가 “ON”일 때는 입력 파형과 함께 gate 전압이 움직이는 모습을 보여준다. sample 주기는 41usec로 설정하였으며, Q clock “HIGH” 상태는 3usec이다. Q clock “LOW” 상태인 38 usec 동안 sampled signal이 변하지 않았음을 확인 할 수 있다.

2. micro-inductor를 이용한 고해상도 sample-and-hold 회로 구현

대조 해상도인 SNR에 가장 큰 영향을 미치는 것이 charge injection과 clock feedthrough이다. 본 연구는 charge injection 문제를 복잡한 회로가 아닌 내방사선에 큰 영향을 받지 않는 금속만으로 이루어진 물리적인 구조를 제안하였다.

그림 4의 BCC는 sample을 위한 cap으로 C2를 사용

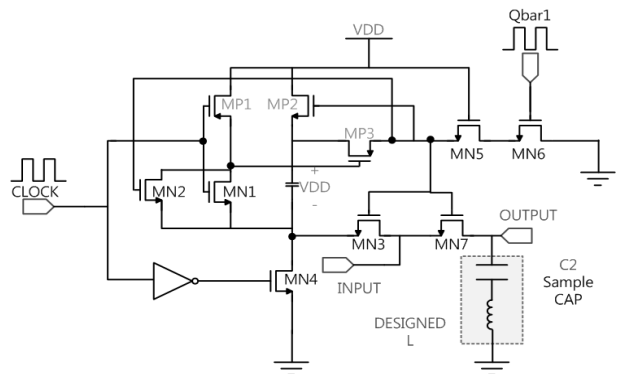


그림 6. BCC의 charge injection 문제를 해결을 위한 micro-inductor를 추가한 구조  
Fig. 6. The circuit of implementation of a BCC to eliminate charge injection effect.

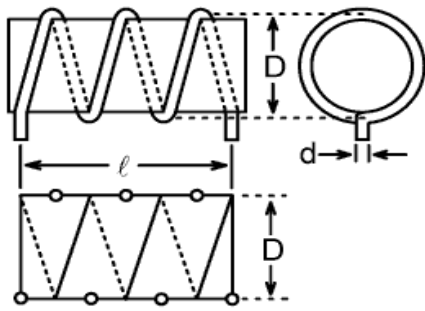


그림 7. 인덕터의 기본 구조  
Fig. 7. A basic Structure of Inductor.

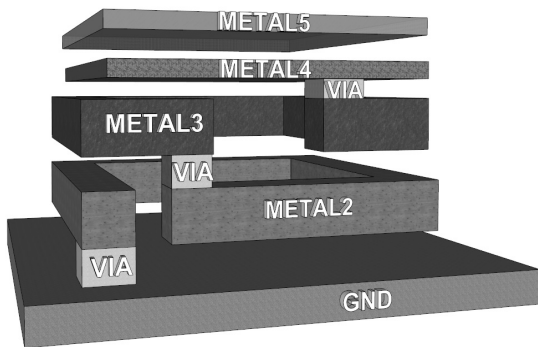


그림 8. 제안된 아이디어의 Layout  
Fig. 8. Suggested Idea of Layout.

한다. BCC는 일정한 channel charge가 생긴다. 하지만 이 회로 또한 source, drain 에서 생기는  $C_{diffusion}$  과 노이즈 성분을 가지고 있어 왜곡을 일으킨다. 문제점을 해결하기 위한 micro-inductor를 제안한다. 그림 5. 는 제안된 아이디어의 간략도이다.

charge injection은 switch가 짧은 시간 동안 “OFF” 가 될 때 생기는 급격한 charge의 이동에 의한 현상이다. R, L, C의 수동 소자 중에서 L(Inductor)이 바로 짧은 시간 갑작스런 변화를 막는 역할을 하는 소자이다. 이에 L을 C2의 bottom에 연결을 하여 charge injection 인 급격한 변화를 막을 수 있다. 하지만 L과 C가 연결되어 있어 공진의 문제를 고려해야 한다.

그림 6.은 C2의 bottom에 사용할 micro-inductor의 기본 구조이다. micro-inductor의 값을 계산하기 위해 식 (2)를 사용하였다.<sup>[9]</sup>

$$L_s = \mu\pi D^2 N^2 / 4l \quad (2)$$

식 (2)에서  $\mu$ 는 permeability, D는 지름, N은 권선수,  $l$ 은 코일의 지름을 나타낸다.

하지만 좀 더 정확한 계산을 위하여 여러 논문을 바탕으로 만들어진 프로그램, “Single-Layer Helical Round Wire Coil Inductor Calculator”를 사용하여 계산하였다.<sup>[10-13]</sup>

실제 layout 상에서는 원형이 아닌 그림 7.의 3D 모양대로 사각형의 권선이 쓰였다. 사각형을 쓴 이유는 설계의 편의성을 위해서 사각형으로 하였으며, 사각형의 면적을 계산하여 동일한 면적을 가지는 원 구조로 환산하였다. 본 연구에 사용된 metal의 정보는 CSMC 0.35 um 공정에서 제공되는 PDK에서 추출하여 사용하였다.

### III. 시뮬레이션

#### 1. 시뮬레이션 방법

본 아이디어의 핵심인 최적화된 micro-inductor의 inductance 값을 찾기 위해 시뮬레이션을 하였다. 시뮬레이션은 cadence 사의 spectre와 mentor 사의 calibre를 이용하였다. 최적화된 micro-inductor의 값을 찾기 위해서 신호분석 방법인 FFT(Fast Fourier Transform)를 이용하였다.

FFT 신호 분석은 입력에 대한 출력의 왜곡도를 보는 과정이다. 우선 sample-and-hold의 입력으로는 4.95426 kHz의 sine 파를 입력으로 사용하였다. 본 입력은 픽셀의 출력을 모의한 것으로써 임의로 sine 파를 sample 할 경우, 모든 상황의 입력을 가상할 수 있기 때문이다. 이에 sampling 주기인 41  $\mu$ sec과 256개의 sample이 있을 동안 모두 다른 값이 얻어지도록 설정하였다. 이에 256개의 pixel 출력에 대하여 모사할 수 있게 하였다. 또한 획득된 256개의 신호 값에 대해서 정량적 분석을 위해 FFT방법을 이용하였다. FFT 방법은 Fourier Transform의 확장된 방법으로, 연속적 신호의 값들을 FFT하면 이산적 각각의 주파수 값에 대한 각 주파수들의 성분으로 변환해주는 변환 매개체다. 이를 이용하면 가장 큰 Harmonic 왜곡을 살펴 볼 수 있고 또한 입력신호의 주파수 성분의 크기 또한 알 수 있다. 이를 이용해 입력 크기와 가장 크게 두드러지는 왜곡 성분의 차를 이용하여 ENOB를 측정할 수 있다. ENOB(Effective Number Of Bit)을 나타내고 이는 sample된 신호의 해상도가 얼마나 좋은가에 대한 평가가 된다. 이러한 과정을 통해 sample-and-hold 회로에 대한 평가를 하였고, 제안된 회로를 추가하였을 때의

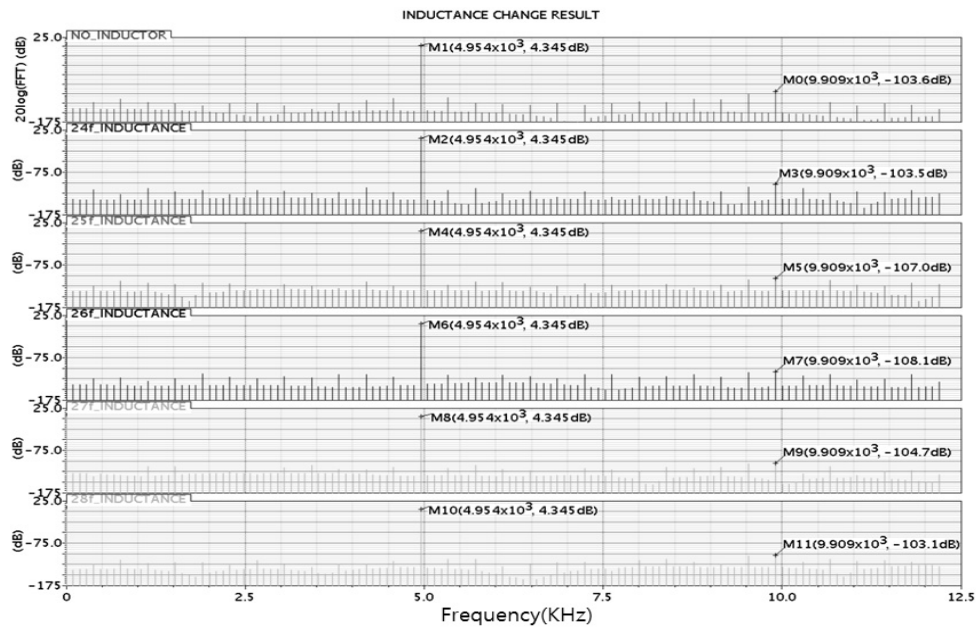


그림 9. L값의 변화에 따른 Sample 신호의 FFT(Fast Fourier Transform) 분석 결과  
 Fig. 9. The FFT(Fast Fourier Transform) Analysis Result of Sampled signal as Changing L value.

결과를 살펴보았다. 2절에서 실험 결과에 관한 사항을 살펴본다.

2. 시뮬레이션 결과 및 분석

Sample-and-hold 회로의 입력으로 4.95426 KHz sine 파를 입력하였고 출력을 통해 256개 Sample을 하여 FFT 분석을 하였다. micro-inductor값을 24 fH에서 28 fH까지 변화 시키며 Sample 신호의 FFT를 결과 분석하였다.

입력 주파수와 가장 큰 왜곡의 차이를 SNDR(Signal to Noise and Distortion Ratio)이라고 한다. 또한 ENOB은 실제적인 신호의 대조 해상도를 이야기 한다.

ENOB과 SNDR의 관계는 아래 식 (3)과 같다.<sup>[14]</sup>

$$ENOB = \frac{(SNDR - 1.78)}{6.02} \quad (3)$$

식 (3)을 이용하여 계산된 값을 표 1.에 나타내었다. 본 결과로부터 본 논문의 아이디어가 추가되지 않은 경우 ENOB은 17.64 bit 이었으나 제안된 방법을 사용하여 획득된 신호는 ENOB이 18.38 bit가 되었다. 이는 높은 대조 해상도 영역인 16 bit 이상의 영역에서 단순한 layout만의 방법으로 0.7 bit ENOB 향상을 의미한다. 이 방법을 X-ray CMOS 영상 센서에 적용한다면 보다 적은 X-ray dose로 높은 대조 해상도를 얻을 수 있고,

표 1. Micro-inductor의 inductance 값 변화에 따른 Sample 신호의 ENOB 변화

Table 1. The ENOB Change of Sampled signal as varing Micro-inductor's inductance value.

연결 micro-inductor값(fH)	입력 주파수(dB)	가장 큰 왜곡(dB)	SNDR (bit)	ENOB (bit)
0	4.34	-103.6	107.94	17.64
24	4.34	-103.5	107.84	17.62
25	4.34	-107	111.34	18.20
26	4.34	-108.1	112.44	18.38
27	4.34	-104.7	109.04	17.82
28	4.34	-103.1	107.44	17.55

금속만으로 구현된 회로이므로 지속적 방사선 노출에 의해 생기는 MOS의 결함에 관계없이 방사선에 강한 회로를 설계할 수 있다. 그림 9는 방사선에 의한 MOS의 oxide층의 결함이 생기는 과정을 묘사한다.<sup>[7]</sup> 방사선에 의해 생긴 oxide 층의 결함은 MOS의 Threshold 전압을 변화시켜 회로의 성능을 저하시킨다.

하지만 본 논문에서 제안된 금속만을 이용한 회로의 경우 Oxide층의 결함과 무관한 방법이므로 방사선 영상 센서 설계에 있어 최적화된 단순한 micro-inductor 구현만을 통해 대조 해상도를 증가시킬 수 있었다.

표 2.는 시뮬레이션 결과를 바탕으로 찾은 최적화된 micro-inductor의 값인 26 fH를 구하기 위해 프로그램

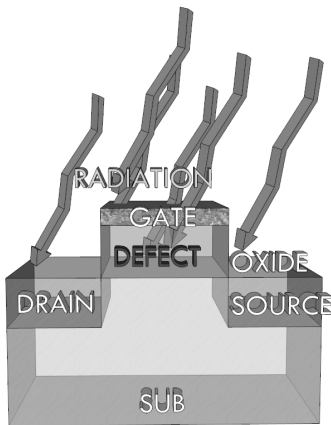


그림 10. MOS의 방사선에 의한 Oxide 층에서의 DEFECT 생성

Fig. 10. DEFECT Generation in Oxide by Radiation in MOS.

표 2. L값 변화에 따른 Sample 신호의 ENOB 변화  
Table 2. The ENOB Change of Sampled signal as varying L value.

프로그램 입력 변수	D (지름)	N (권선수)	l (L의 두께)	d (선의 두께)	u (투자율)
변수 값	1.41 um	1	0.001um	0.852 um	0.999

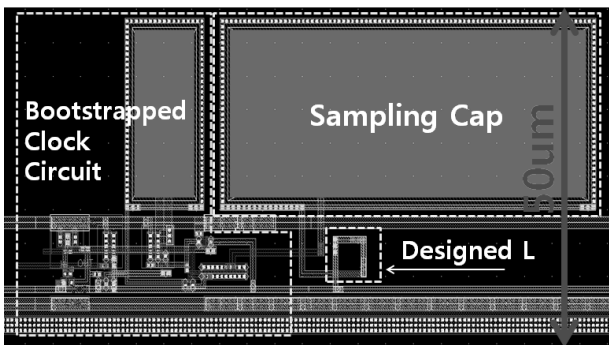


그림 11. 50um 폭에 설계된 아이디어가 더해진 Bootstrapped Clock Circuit

Fig. 11. Designed Bootstrapped Clock Circuit with suggested IDEA in 50um wide.

에 입력한 값들이다.  $\mu$ 는 금속에 사용된 Cu의 정보를 사용하였다.

그림 10.은 표 2.에 표시된 정보를 바탕으로 실제 BCC와 micro-inductor를 연결한 layout 그림이다. X-ray CMOS 영상 센서의 경우 섬광체를 사용한다. 하지만 섬광체의 특성에 의해 공간 해상도가 제한을 받는다. 이에 pixel pitch를 섬광체의 공간해상도에 해당하는 50 um pitch이상을 사용한다.<sup>[15]</sup> 이에 본 설계

에서는 50 um X-ray CMOS영상 센서의 column-level sample and hold로 사용하기위해 50um 폭으로 설계하였다. 그림 11.은 50 um폭의 제안된 아이디어를 결합한 BCC이다.

#### IV. 결 론

본 연구에서는 X-ray dose를 줄이기 위해 신호처리 회로 앞단인 sample-and-hold 회로의 대조 해상도 즉, ENOB 값의 증가를 위한 새로운 방안을 제시하였다. BCC의 charge injection 문제를 수동소자인 micro-inductor와 sample cap의 직렬연결을 통해 추가적인 회로 면적의 증가 없이 구현하였다. 제안된 방법을 통해 sample 신호의 대조 해상도, ENOB, 값이 17.64 bit에서 18.38 bit로 0.7 bit 즉 5 dB가 증가하였다. 또한 그림 10과 같이 LAYOUT을 통하여 설계된 실제 회로를 실험에 있어 대조 해상도의 향상이 micro-inductor가 없을 때 비하여 증가할 것으로 생각된다. 추후 실제 Chip이 나오면 실험해 볼 계획이다. 본 설계 시뮬레이션 결과로 볼 때 신호의 대조 해상도 영역이 고해상도 영역이라는 점에서 16 bit이상 고해상도를 필요로 하는 mammography 등에 적용할 경우 원가가 비교적 낮은 0.35 um 표준 CMOS 공정에서 설계 여유도가 충분할 것으로 기대된다.

#### V. 사 사

본 연구는 Nuclear R&D Program of MEST (Ministry of Education, Science and Technology), Korea, through KOSEF (20110021268)의 지원받아 진행된 연구이다.

#### 참 고 문 헌

[1] 배준형, “픽셀화된 섬광체와 결합된 엑스-선 CMOS 영상 센서의 개발 및 평가”, pp.1-7, 2007.  
 [2] B. FAYOMI and W. ROBERT, “Low-Voltage CMOS Analog Bootstrapped Switch For Sample-and-Hold Circuit: Design and Chip Characterization” IEEE International Symposium, pp. 2200-2203 Vol. 3, 23-26 May 2005.  
 [3] B. Razavi, Design of Analog CMOS Integrated

- Circuit, McGraw-Hill, 2000.
- [4] M Abo and Gray P.R, "A 1.5-V, 10-bit, 14.3MS/s CMOS Pipeline Analog-to-Digital Converter" IEEE journal isseue. 5. pp.599-606, 1999.
- [5] M. dessouky and A.Kaiser, "Input switch configuration for rail-to-rail operaton of switched opamp circuit" Electronics Letters, vol. 35, no.1, pp.8-10, 1999.
- [6] Koichi TANNNO, Kiminobu SATO, "Low-Voltage, Low-Distortion and Rail-to-Rail CMOS Sample and Hold circuit" IEICE Trans. vol.E88-A, 10 October 2005.
- [7] 한국과학기술원, 교육과학기술부, "전자빔 조사시설을 이용한 방사선 센서 핵심 부품의 내방사선 조사 연구", 과제번호 2010-0018643, 일반과제, 20110228.
- [8] E.Weste, Integraed Circuit Design, fourth edition
- [9] Knight David W, "Inductors and Transformers", *From transmitter to Antenna*
- [10] Lundin R. "A handbook formula for the inductance of a single-layer circular coil", *Proc. IEEE*, Vol 73, No.9 pp.1428-1429, Sep. 1985.
- [11] Rosa E. B. *Bulletin of the Bureau of Standards*, Vol. 2, pp. 161-187, 1996.
- [12] Rosa E. B. and Grover F. W. Formulas and Tables for the Calulation of Mutual and Self Induction", [Revised], *Bulletin of the Bureau of Standards*. Vol. 8, No. 1, p. 122, 1911.
- [13] Grover F. W. *Inductance Calculations Working Formulas and Tables*, 1946 & 1973, Dover Phoenix Edition, p. 150, 2004.
- [14] K.Adimulam, K.Movva "A Low Power, Variable Resolution Two-Step Flash ADC", Great Lakes Symposium on VLSI '10, pp.39-44, 2010.
- [15] Bo Kyung Cha, "Performance studies of a monolithic scintillator-CMOS image sensor for X-ray application", Nuclear Instruments & Methods in Physics Research, Section A. 591, pp.113-116, 21 March 2008.

저 자 소 개



이 대 희(학생회원)  
2010년 경북대학교 IT대학 학사 졸업.  
2010년~현재 한국과학기술원 원자력 및 양자공학과 재학.

<주관심분야 : X-ray Image sensor, ADC, ROIC, 반도체>



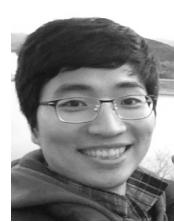
조 규 성(정회원)-교신저자  
1983년 서울대학교 원자핵공학과 학사 졸업.  
1985년 서울대학교 원자핵공학과 석사 졸업.  
1992년 캘리포니아 버클리대학 박사 졸업.

현 한국과학기술원 원자력 및 양자공학과 교수  
<주관심분야 : Radiation, X-ray 대면적 sensor, 반도체, 방사선 계측기>



강 동 옥(학생회원)  
2010년 건국대학교 전자공학과 학사 졸업.  
2012년 한국과학기술원 원자력 및 양자공학과 석사 졸업  
2012년~현재 한국과학기술원 원자력 및 양자공학과 박사과정

<주관심분야 : X-ray Image sensor, pixel 최적화, 아날로그 회로, 반도체>



김 명 수(학생회원)  
2011년 경북대학교 IT 대학 학사 졸업.  
2011년~현재 한국과학기술원 원자력 및 양자공학과 석사 재학 중

<주관심분야 : X-ray 대면적 Image sensor, ADC, 디지털 회로, X-ray sensor pixel optimization>



조 민 식(학생회원)  
2011년 건국대학교 전자공학과 학사 졸업.  
2011년~현재 한국과학기술원 원자력 및 양자공학과 석박통합 과정 중

<주관심분야 : X-ray Image sensor, PET ASIC, FPGA>



유 현 준(학생회원)  
2010년 건국대학교 전자공학과 학사 졸업.  
2011년~현재 한국과학기술원 원자력 및 양자공학과 석사 재학 중

<주관심분야 : Radiation, SiPM, 방사선 계측기, 반도체 소자 >



김 예 원(학생회원)  
2010년 충남대학교 화학공학과 학사 졸업  
2012년~현재 한국과학기술원 원자력 및 양자공학과 석사 과정

<주관심분야 : Scintillator, Medical Radioisotope, X-ray image>