

TSV 를 이용한 3 차원 적층 패키지의 본딩 공정에 의한 휨 현상 및 응력 해석

Warpage and Stress Simulation of Bonding Process-Induced Deformation for 3D Package Using TSV Technology

이행수¹, 김경호², 좌성훈^{2,✉}

Haeng-Soo Lee¹, Kyoung-Ho Kim² and Sung-Hoon Choa^{2,✉}

¹ 울산과학기술대학교 디지털기계학부 (School of Mechanical Engineering, Ulsan College)

² 서울과학기술대학교 NID 융합기술대학원 (Department of Nano IT, Seoul National University of Science and Technology)

✉ Corresponding author: shchoa@seoultech.ac.kr, Tel: 02-970-6593

Manuscript received: 2011.11.7 / Accepted: 2012.1.16

In 3D integration package using TSV technology, bonding is the core technology for stacking and interconnecting the chips or wafers. During bonding process, however, warpage and high stress are introduced, and will lead to the misalignment problem between two chips being bonded and failure of the chips. In this paper, a finite element approach is used to predict the warpages and stresses during the bonding process. In particular, in-plane deformation which directly affects the bonding misalignment is closely analyzed. Three types of bonding technology, which are Sn-Ag solder bonding, Cu-Cu direct bonding and SiO₂ direct bonding, are compared. Numerical analysis indicates that warpage and stress are accumulated and become larger for each bonding step. In-plane deformation is much larger than out-of-plane deformation during bonding process. Cu-Cu bonding shows the largest warpage, while SiO₂ direct bonding shows the smallest warpage. For stress, Sn-Ag solder bonding shows the largest stress, while Cu-Cu bonding shows the smallest. The stress is mainly concentrated at the interface between the via hole and silicon chip or via hole and bonding area. Misalignment induced during Cu-Cu and Sn-Ag solder bonding is equal to or larger than the size of via diameter, therefore should be reduced by lowering bonding temperature and proper selection of package materials.

Key Words: TSV (관통 실리콘 비아), 3D Package (3 차원 패키지), Warpage (휨 현상), Finite Element Analysis (유한요소 해석), Bonding Process (접합 공정)

기호설명

E = Young's modulus

ν = Poisson's ratio

CTE = Coefficient of Thermal Expansion

1. 서론

최근 전자제품의 소형화로 반도체 패키지 기술의 경향은 경박단소, 다기능, 고집적, 저가격 및 높은 전기적 특성을 만족시키기 위해 발전되고 있다. 특히 기존의 와이어 본딩(wire-bonding) 형태가 아닌 TSV(through silicon via)를 이용하여 칩들을 수직으로 적층하는 3 차원 적층(3D integration) 패키지

기술이 최근 큰 관심을 얻고 있다. TSV 를 이용한 3 차원 적층 패키지 기술은 전기적 손실의 감소, 칩 면적의 감소 등 다양한 장점을 갖고 있다. 반면 3 차원 적층 기술은 다양한 재료로 이루어진 복잡한 구조로 되어 있어, 전기적 혹은 기계적인 신뢰성 문제가 발생할 가능성이 높다. TSV 공정 중에 발생하는 열응력은 패키지의 응력 집중 및 파괴를 초래하게 되며, 패키지의 휨 변형(warping)을 발생시킨다. 따라서 TSV 구조의 신뢰성에 대한 다양한 연구가 진행되고 있다.^{1,2}

TSV 기술을 이용한 3 차원 적층 패키지의 공정은, 우선 본딩(bonding) 기술을 이용하여 각각의 실리콘 칩을 3 차원으로 적층하는 공정, 칩을 적층한 후 PCB 에 솔더 볼(solder ball)을 형성하는 공정, 솔더 볼 사이를 언더필(underfill)로 충전하는 공정, 그리고 최종적으로 EMC(epoxy mold compound)로 칩을 몰딩(molding)하는 공정이 있다. 이러한 일련의 복잡한 공정 과정에서 패키지 재료들의 열팽창 차이로 인하여 다양한 형태의 휨 변형이 발생하게 되고, 본딩 접합면 및 비아 홀(via hole), 접합 패드(pad) 등의 TSV 구조에 변형 및 응력 집중 현상을 초래할 가능성이 높다. 따라서 패키지 각 공정에서의 휨 변형 현상을 분석하여 이를 최소화하기 위한 구체적인 방안이 필요하다. 특히, 최근에 TSV 를 이용한 3 차원 적층 패키지 기술에서 가장 중요한 이슈 중의 하나는 본딩 얼라인먼트(alignment) 정밀도이다. TSV 적층 공정은 얇게 박형화(thinning) 된 실리콘 칩을 본딩 기술로 고온에서 접합하는 적층 과정과 칩과 칩 사이를 언더필 재료로 채우는 과정, 그 후에 어닐링(annealing)하는 과정을 반복적으로 수행하게 된다. 만약 8 층의 칩을 적층한다면 이러한 과정을 8 번 반복해야 한다. 이와 같이 고온과 상온의 공정 조건이 반복적으로 수행되게 되면 실리콘 칩(silicon chip), 비아 홀에 충전된 구리(copper) 및 언더필 재료 등의 열팽창계수의 차(CTE mismatch)에 의하여 휨 변형이 발생하게 되고, 이러한 휨 변형의 발생으로 인하여 적층된 칩들은 in-plane 및 out-of-plane 방향으로 변형을 초래하게 된다. 이러한 변형은 칩을 접합하는 과정에서, 본딩 얼라인먼트에 영향을 미치며, 칩이 적층될 때 마다 정렬 불량(misalignment)의 양은 증가하게 된다. 이 경우 본딩 공정을 할 때마다, 실리콘 칩을 얼라인, 혹은 정렬(alignment) 하기 위하여 추가적인 공정이 필요하다. 통상적으로 얼라인을 위해서 광학시스템을 사용하게 되는데 실리

콘은 투명하지 않기 때문에 광학시스템을 이용하여 적층된 상·하부의 칩을 동시에 정확하게 얼라인 하는 것은 매우 어렵다. 또한, 정렬 불량량의 양이 증가하면 비아 홀과 본딩 접합부 패드 사이의 접합 강도가 저하되거나 전기적인 손실이 발생할 가능성이 높다. 즉, 휨 현상으로 인하여 적층된 칩들이 변형하게 되면 본딩 접합부에는 전단응력이 발생하게 되고, 응력이 집중된 본딩 접합면이 파괴될 가능성이 높다. 또한, 구리로 채워진 비아 홀에도 응력 집중 현상이 발생되어 칩이 파괴되는 현상을 초래하게 된다. 특히, 비아 홀에 충전된 구리는 실리콘 칩에 비하여 6~7 배의 높은 열팽창계수 값을 갖고 있기 때문에 구리로 충전된 TSV 구조에서는 열팽창에 의한 신뢰성 문제가 큰 이슈가 되고 있다.^{3,4} 한편, 비아 홀과 접합부의 본딩 얼라인먼트의 양은 비아 홀의 크기와 직접적인 관계가 있다. 즉, 비아 홀의 지름이 작아지면 본딩 얼라인먼트에 요구되는 정밀도는 높아지게 된다. ITRS 로드맵에 의하면 비아 홀의 지름은 2014 년에 5 μm 이하로 작아질 것이라고 예측하고 있으며,⁵ 이 경우 본딩 얼라인먼트 정밀도는 약 0.6 μm 이하가 되어야 한다고 예측하고 있다.^{6,7}

따라서 본 연구에서는 TSV 기술을 이용하여 실리콘 기판 위에 8 개의 실리콘 칩을 적층하는 본딩 공정 과정에서 발생하는 열응력에 의한 휨 변형과 응력 집중 현상에 대해 수치해석을 이용하여 분석하였다. 특히, 현재 개발이 진행 중인 다양한 본딩 접합 기술에 대하여 본딩 방법에 따른 정렬 불량 및 응력을 해석하여 공정 신뢰성에 미치는 영향을 고찰하였다. 궁극적으로는 TSV 기술을 이용한 3 차원 적층 패키지의 설계 방향을 제시하고자 하였다.

2. 해석모델 및 조건

2.1 유한요소 해석모델

TSV 를 이용한 3 차원 적층 패키지 기술에서 실리콘 칩을 접합하는 기술은 우선 구리로 채워진 비아 홀이 있는 실리콘 칩 위에 언더필 혹은 충전 재료를 도포한 후 다양한 본딩 기술에 의하여 실리콘 칩들을 접합하게 되며, 접합의 신뢰성을 향상시키기 위하여 칩 혹은 언더필을 어닐링 또는 큐어링(curing) 하는 과정으로 이루어진다. 이러한 공정을 통하여 여러 개의 실리콘 칩을 차례대로 실리콘 기판이나 PCB 기판 위에 적층하게 된다.

본 논문에서는 8 개로 이루어진 실리콘 칩을 적층하는 과정, 즉, 고온 접합 공정과 상온의 공정 조건이 반복적으로 진행되면서 발생된 열응력으로 인한 적층 칩의 변형을 해석하였다. Fig. 1 은 실리콘 칩이 8 층으로 적층되면서 칩들이 어떻게 변형되는지를 도시적으로 나타내고 있다. Fig. 1 에서 z 방향의 변형, 즉 수직방향의 변형을 out-of-plane 변형이라고 하며 통상적으로 패키지 업계에서 휨(warpage)이라고 부른다. xy 방향의 변형, 즉 in-plane 변형은 본 연구에서 관심 있는 접합 공정 과정에서 정렬 불량을 유발하는 수평방향의 변형이다. 한 개의 칩을 접합한 후에는 휨 변형과 잔류응력이 남게 되고, 이러한 변형과 잔류응력이 여러 칩이 접합되면서 지속적으로 증가하게 된다. 이러한 적층 공정을 해석하기 위해서는 시간에 따른

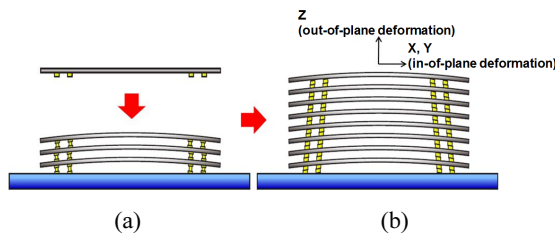


Fig. 1 (a) Schematic drawing of Si chip bonding process (b) Out-of-plane deformation (z-direction) and in-plane deformation (xy-direction) after completion of 8th chip bonding process

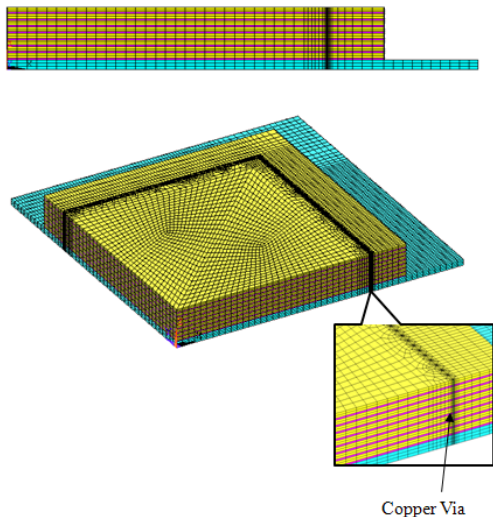


Fig. 2 3D FE model of TSV structure with 8 silicon chip integration

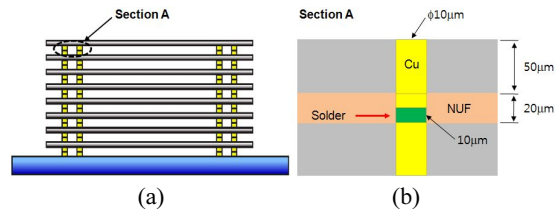


Fig. 3 Schematic drawing of 3D packaging using TSV interconnection, (b) detailed drawing of TSV interconnection area

변형의 형상을 잘 표현할 수 있어야 함으로 공정 전체를 과도(transient) 해석으로 수행하고, 각 칩을 적층 후에 칩들의 변형과 비아 홀 주위에 발생하는 잔류 응력의 변화를 공정 단계별로 살펴보았다. 수치해석 상용 프로그램인 ANSYS 를 이용하여 Fig. 2 와 같이 8 층의 실리콘 칩을 가진 3 차원 TSV 모델을 구성하였다. 비아 홀은 각 칩의 가장 자리를 따라 배치되어 있고, 칩과 칩 사이에는 언더필 재료가 채워져 있다. 본 연구를 위하여 제안된 TSV 적층 패키지의 개략도는 Fig. 3 과 같다. 폭 30 mm × 30 mm, 두께 0.6 mm 인 실리콘 기판 위에 얇게 박형화된 8 층의 실리콘 칩이 구리 TSV 로 배선되어 있으며, Sn-Ag 솔더 본딩에 의하여 연결되어 있다. 실리콘 칩의 크기는 13.5 mm × 13.5 mm 이며, 두께는 50 μm 이다. 비아 홀의 지름은 10 μm, 비아 홀 간의 간격은 100 μm 로 하였으며, 언더필의 두께 즉, 적층된 실리콘 칩과 칩 사이의 간격은 20 μm 이다.

현재 TSV 기술에서 사용되는 본딩 기술은 매우 다양하다. 본 연구에서는 그 중에서도 최근에 대표적으로 연구되고 있는 3 가지의 본딩 기술 즉, 솔더를 이용한 본딩 기술 중 하나인 Sn-Ag eutectic 본딩 기술, Cu-Cu 직접 본딩(Cu-Cu direct bonding)

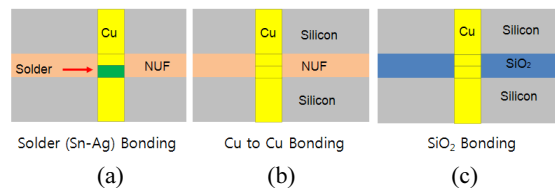


Fig. 4 Schematic drawing of different types of bonding technology and bonding temperature (a) Sn-Ag solder bonding at typical bonding temperature of 280°C (b) Cu-Cu direct bonding at typical bonding temperature of 350°C (c) SiO₂ direct bonding at typical bonding temperature of 300°C

기술, 및 SiO₂ 직접 본딩(oxide direct bonding) 기술⁸에 대해서 각 기술을 적용하였을 경우의 휨 발생과 열응력을 해석하였다. Fig. 4는 각 본딩 기술로 접합하였을 경우의 TSV 구조를 도시적으로 나타내고 있다. 본딩 방법에 따라서 본딩 온도가 각각 다르다. 본 연구에서는 현재 각 기술에서 대표적으로 사용되고 있는 본딩 온도를 사용하였다. Eutectic 솔더 본딩은 낮은 용융점의 솔더를 사용하여 칩들을 저온에서 본딩시키는 방법으로써, 금속간 화합물(intermetallic compound)을 형성하면서 본딩이 이루어진다. 본 연구에서 사용된 Fig. 4(a)의 Sn-An 솔더 본딩의 경우 칩과 칩 사이의 언더필 재료로서 NUF(no flow underfill)를 사용하였으며, 본딩 온도는 280 °C 이다. Fig. 4(b)의 Cu-Cu 본딩은 미리 뚫어 놓은 비아 홀에 구리를 채우고 구리 패드에 열과 압력을 가하는 열-압착 본딩(thermo-compression bonding) 방식이 기본적으로 적용되고 있다. 본 연구에서는 NUF 를 언더필로 사용하고 본딩 온도는 350 °C 로 설정하였다. Fig. 4(c)의 SiO₂ 직접 본딩은 정밀하게 폴리싱(polishing)된 실리콘 칩에 온도와 압력을 가하여 SiO₂ 산화막을 직접 접합하는 방법으로써 표면 세척 공정과 플라즈마(plasma) 처리를 통해 표면을 친수성으로 만들고, 고온에서 열처리를 통해 본딩된다. 본 연구에서 본딩 온도는 300 °C 로 설정하였다.

2.2 유한요소 해석조건

각 부분의 요소(element)로는 8 절점 사면체 요소를 선택하였으며, 해석 결과의 정확도를 높이기 위하여 비아 홀 부분은 더 조밀하게 격자구조(mesh)를 이루었다. 변위 경계 조건은 실제 본딩 공정에서 실리콘 기판을 아래쪽에서 진공으로 고정된 상태이기 때문에 실리콘 칩 밑면의 수직 변위를 구속시킨다. 본딩 공정에서 칩 접합 후, 최고 온도를 거쳐 상온으로 온도가 떨어지게 되면서 응력이 발생하기 시작한다. 따라서 본딩의 온도를 응력 자유(stress free) 조건, 즉, 응력을 zero 상태로 가정한다. 각각의 칩을 본딩하기 위하여 최고 온도까지 상승시키고 다시 상온인 25 °C 로 온도를 하강시키는 것을 하중 조건으로 한다. 또한, Fig. 5와 같이 시간대별로 칩을 차례로 추가해가며 해석을 수행하는 birth & death 기법을 사용하여 이전 공정에서의 응력 상태와 변형 상태를 유지한 채 해석이 진행될 수 있게 하였다. 구리를 제외한 나머지 재료들은 등방성 탄성재료로 가정하였고, 패

Table 1 Material properties used in FEM simulation

Parts	Material	E (GPa)	Poisson's Ratio (ν)	CTE (ppm/°C)
Via	Cu (Elastic)	120	0.34	17
	Cu (Plastic)	10		
Chip	Si	130	0.28	2.8
Substrate				
Dielectric	SiO ₂	70	0.16	0.6
Underfill	NUF	5.3	0.35	37.15
Solder	Sn96.5-Ag3.5	52.7	0.4	21.85

Table 2 Strain-stress values for multi-linear properties of copper

Strain (-)	0.001	0.004	0.01	0.02	0.04
Stress (MPa)	120	186	217	234	248

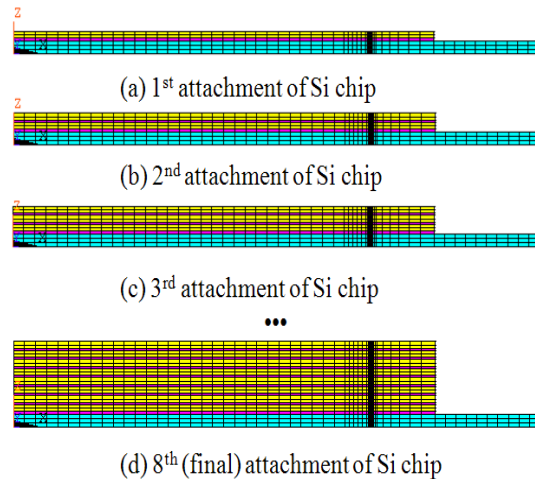


Fig. 5 Simulation of bonding process using birth & death method

키지 재료의 물성치인 탄성계수(E), 프아송비(ν), 열팽창계수는 Table 1에 제시하였다. 이 물성 값들은 여러 논문에서 제시된 대표 값을 선택하였다.⁹⁻¹¹ 구리는 소성변형을 고려하기 위하여 Table 2와 같이 이동 경화 모델(kinematic hardening model)로 표현되는 소성 재료로 모델링 하였으며, 항복응력을 172 MPa로 정의하였다.

3. 공정 해석 결과

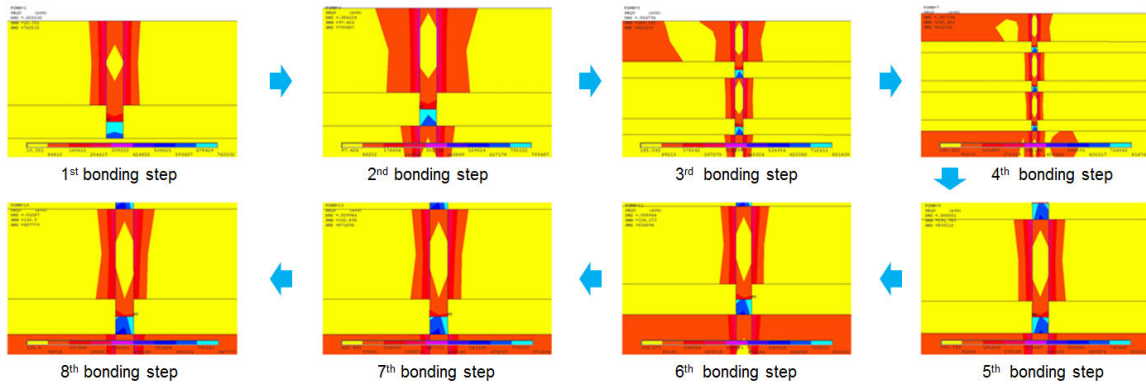
3 가지 타입의 본딩 기술에 대하여 하나의 공

정이 끝날 때마다 발생하는 최대 휨 변형, 최대 응력값 및 in-plane 변형으로 표현되는 본딩 얼라 인먼트 등을 해석하였다.

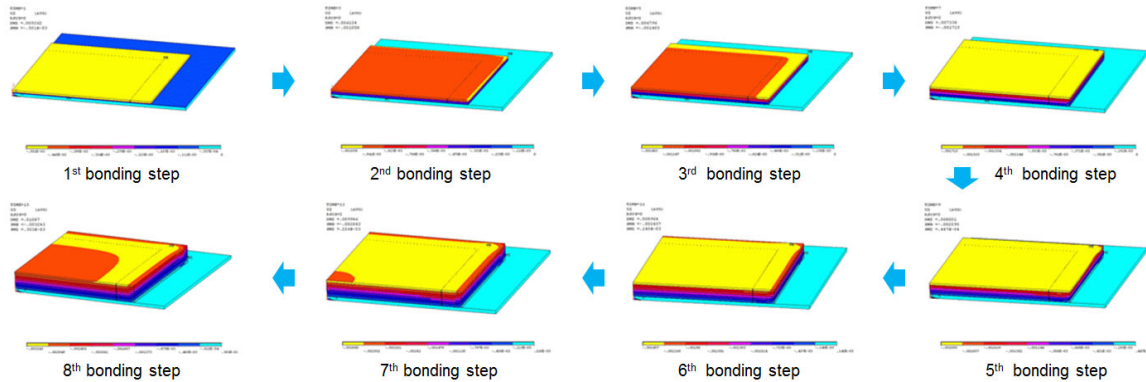
3.1 Sn-Ag 솔더 본딩

Fig. 4(a)의 Sn-Ag 솔더 본딩 경우에 대해 8 층의 비아 홀을 가진 실리콘 칩을 각각 적층했을 때의 최대 von Mises 응력과 휨 변형 분포 결과를 Fig. 6 에 각각 나타내었다. 또한, Table 3 에 최대 휨 변형 값과 TSV 구조에서 발생하는 최대 von Mises 응력 및 실리콘 칩에 발생하는 주응력(principal stress)에 대한 값을 정리하였다. 실리콘 칩의 주응력 결과를 본 이유는 실리콘 칩은 주로 인장(tensile) 응력에 의하여 파괴되기 때문이다. 해석 결과 첫 공정(1st 스텝) 이후부터 솔더와 구리가 접합되는 계면에 큰 응력 집중이 발생하는 것을 알 수 있다. 또한, 비아 홀과 실리콘 칩 사이의 계면에도 응력이 집중됨을 알 수 있었다. 솔더 볼과

구리 간의 강성과 열팽창 차이로 인하여 솔더볼과 구리 패드 계면에 큰 응력이 발생하여 균열 또는 파손의 우려가 있음을 알 수 있다. Table 3 에 정리된 바와 같이, 공정이 진행될수록 최대 응력은 지속적으로 증가하고, 마지막 8 층의 칩이 접합된 공정 후에는 888 MPa 에 이르고 있다. 또한 최대 휨 변형도 칩이 적층되면서 증가하게 된다. In-plane 변형은 1 층 칩이 본딩된 경우 3.6 μm 에서 8 층으로 본딩이 완료된 후에는 9.6 μm 가 되었다. 비아 홀의 지름이 약 10 μm 임을 고려한다면 비아 홀의 지름만큼 정렬 불량 발생을 알 수 있었다. 즉, 층이 적층되어감에 따라 이전에 적층되었던 층의 비아 홀의 위치를 벗어난 지점에 다음 층의 비아 홀이 본딩되고, 따라서 칩을 본딩할 때마다 정렬 불량의 양이 커지면서 칩을 적층하기가 어려워진다는 것을 의미한다. 정렬 불량 양이 증가하면 접합 강도가 감소하고, 결과적으로는 전기적 연결에 문제가 발생한다. 따라서 접합 재료 및 공



(a) Variation of stress distribution around via hole and bonding area during bonding process from 1st chip bonding to 8th chip bonding step



(b) Variation of warpage contour during bonding process from 1st chip bonding to 8th chip bonding step

Fig. 6 Stress distribution and warpage contour for each bonding process step using Sn-Ag solder bonding

Table 3 Maximum warpage and stress values induced during Sn-Ag solder bonding process at 280°C

Chip bonding step	Max. in-plane warpage (μm)	Max. out-of-plane warpage (μm)	Max. von Mises stress (MPa)	Max. principal stress in Si chip (MPa)
1st	3.6	-0.5	763	279
2nd	4.3	-0.9	793	367
3rd	5.1	-1.2	801	370
4th	5.9	-1.6	817	372
5th	6.9	-2.0	835	373
6th	7.8	-2.4	854	373
7th	8.8	-2.8	872	373
8th	9.6	-3.2	888	373

정 프로세스 조정 등에 의한 변형의 절감이 필요하다. Out-of-plane 변형 즉, z 방향의 변형은 8 층의 칩이 모두 접합되었을 때 최대 -3 μm의 변형이 발생하였으며, 변형의 형태는 crying(↘) 형태이다. 실리콘 칩에서 발생한 주응력의 값은 적층 공정에 따라 거의 일정한 값을 나타내고 있으며, 최대 373 MPa로 해석되었다. 실리콘 재료의 파괴 응력이 1 GPa인 점을 감안하면 실리콘 칩의 응력에 의한 영향은 미미하다고 할 수 있다. 그러나 실리콘은 취성 재료로서 파괴 응력은 재료에 존재하는 결함이나 미세 손상에 좌우된다. 특히, 실리콘 기판을 얇게 박형화하는 공정은 기판의 손상이나 결함을 발생시킬 가능성이 많다. Zang의 연구에 의하면 이러한 박형화 공정에 의하여 실리콘 기판의 파괴 응력이 175 MPa 정도로 급격히 감소한다는 결과를 제시한 바 있다.¹² 따라서 실리콘 칩의 파괴를 방지하기 위해서는 실리콘 기판 및 칩의 박형화 공정, 본딩 공정 및 핸들링 과정 즉, 본딩, 디본딩(debonding) 과정에서 칩이 손상이 되지 않도록 유의해야 한다.

3.2 Cu-Cu 직접 본딩

Fig. 4(b)의 NUF로 채워진 Cu-Cu 본딩의 경우에 대해 8 층의 비아 홀을 가진 실리콘 칩을 쌓아가며 해석을 수행한 후 von Mises 응력과 휨 변형 분포 결과를 Fig. 7(a)-(d)에 나타내었고, 최대 변형과 최대 응력값을 Table 4에 정리하였다. 최대 응력은 구리로 채워진 비아 홀과 실리콘 칩의 계면에서 발생하였고, 첫 번째 칩을 적층하는 공정에

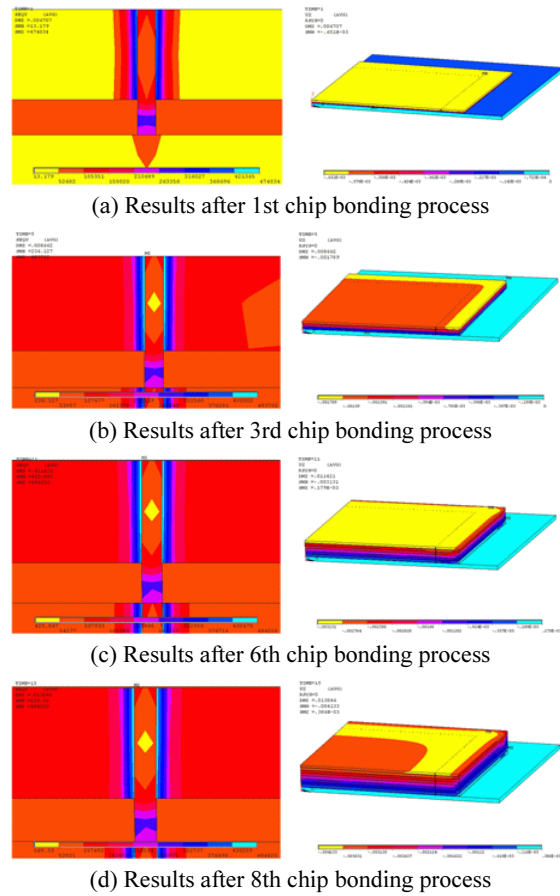


Fig. 7 Stress distribution (left) and warpage contour (right) for each bonding process step using Cu-Cu direct bonding

Table 4 Maximum warpage and stress values induced during Cu-Cu direct bonding process at 350°C

Chip bonding step	Max. in-plane warpage (μm)	Max. out-of-plane warpage (μm)	Max. von Mises stress (MPa)	Max. principal stress in Si chip (MPa)
1st	4.6	-0.7	474	347
2nd	5.5	-1.1	483	459
3rd	6.5	-1.6	484	463
4th	7.6	-2.1	484	466
5th	8.7	-2.6	484	467
6th	10.0	-3.1	484	467
7th	11.2	-3.6	484	467
8th	12.3	-4.1	484	467

서 이미 큰 응력 집중을 보이고, 공정이 진행되면서 그 값에는 큰 변화가 없다. 이것은 첫 번째 단계에서의 최대 응력 발생 위치가 공정이 지나가면서 바뀌지 않고, 또한 단계별 온도 변화에 의한 응력 변화량이 같다는 것을 의미한다. 최대 응력이 484 MPa 정도로 이미 소성변형이 비아 홀 주위에서 진행되었음을 알 수 있다. 적층 시의 얼라인먼트에 크게 영향을 미치는 비아 홀의 in-plane 변형은 힘 변형이 커짐에 따라 점점 커져 8 개의 층을 모두 집합한 후 12.3 μm 가 되며, 비아 홀의 직경 10 μm 를 초과하였다. Out-of-plane 의 최대 휨 변형 또한 공정이 진행될수록 누적되어 최대 -4.1 μm 가 발생되었다. Sn-Ag 솔더 본딩과 비교하여 보았을 때, 휨 변형은 컷으며, 비아 홀 영역에서 발생된 최대 von Mises 응력의 크기는 적다. 반면, 실리콘 칩에서 발생한 주응력의 값은 Sn-Ag 솔더 본딩에 비하여 크을 알 수 있었다.

3.3 SiO₂ 직접 본딩

Fig. 4(c)와 같이 SiO₂ 산화막을 이용한 직접 본딩한 경우에 대해 실리콘 칩을 쌓아가며 해석을 수행하여 그 결과를 Fig. 8 에 나타내었으며, 최대 변형값과 최대 응력값을 Table 5 에 정리하였다. 최종 공정 후의 휨 변형, 즉 in-plane 변형은 6.8 μm 로 비아 홀 크기의 약 70% 정도임을 알 수 있었다. 이는 SiO₂ 직접 본딩 기술을 사용하였을 경우에도 정렬 불량 발생하여 공정 조건의 최적화가 필요함을 알 수 있다. Out-of-plane 변형은 -0.2 μm 로써 매우 적으며, 적층 과정에서 변형의 양은 변화가 매우 미미함을 알 수 있었다. 한편, 최대 응력에 대해서는 5 번째의 실리콘 칩을 본딩하기까지는 Cu-Cu 직접 본딩의 결과와 같이 응력의 최대 발생 지점이 비아 홀 주변이었으나, 6 번째의 실리콘 칩을 본딩하면서 부터는 비아 홀 주변의 응력은 크게 변하지 않고, 맨 아래에 있는 SiO₂ 접합층과 실리콘 기판의 모서리에 있는 계면에서의 최대 응력이 발생하고, 8 번째의 칩을 본딩하면서 응력이 최대 586 MPa 까지 커짐을 알 수 있다. 이는 SiO₂ 층의 CTE 값이 0.6 ppm/°C 로 매우 작기 때문에 SiO₂ 층 자체는 열변형이 거의 일어나지 않고, 모서리에서 최대로 늘어나는 수직 변형을 SiO₂ 층이 구속하고 있기 때문이다. SiO₂ 본딩의 경우 실리콘 칩과 실리콘 기판 사이에서의 계면 균열 등 접합 부위의 응력 집중 해결이 필요하다.

Table 6 은 각 본딩 기술에 대한 최대 변형량과

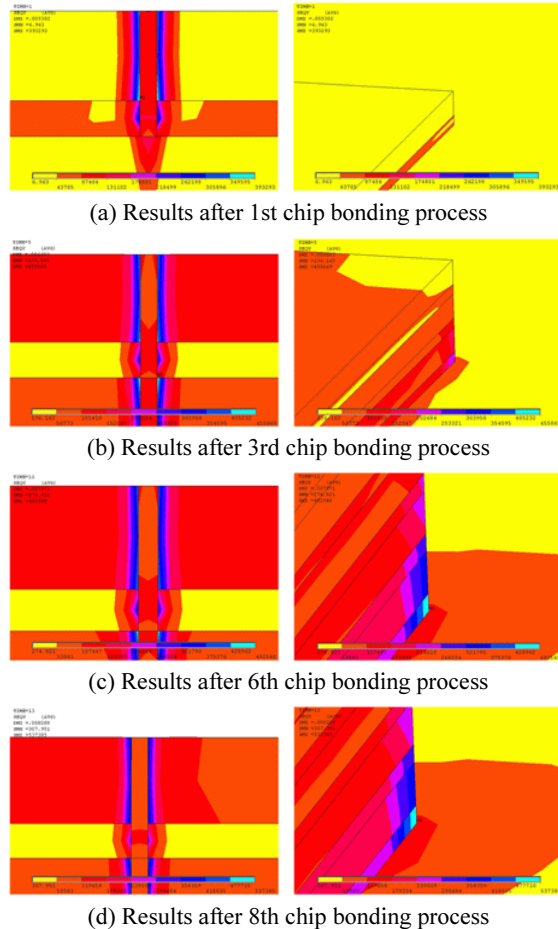


Fig. 8 Stress distribution (left) and warpage contour (right) for each bonding process step using SiO₂ direct bonding

최대 응력값을 정리한 표이다. 휨 변형에 있어서는 수직 방향의 out-of-plane 변형보다는 본딩 얼라인먼트에 영향을 미치는 in-plane 변형이 매우 크을 알 수 있었다.

In-plane 변형 및 out-of-plane 변형이 제일 많은 본딩은 Cu-Cu 본딩이었고, 변형이 제일 적은 본딩은 SiO₂ 본딩임을 알 수 있었다. 특히, Sn-Ag 솔더 본딩과 Cu-Cu 본딩의 경우는 8 층의 실리콘 칩을 적층한 후에는 비아 홀의 지름 (10 μm) 보다 큰 in-plane 변형이 발생한다. 한편, 최대 응력은 Sn-Ag 솔더 본딩의 경우가 제일 컷으며, 그 다음으로는 SiO₂ 본딩, 그리고 Cu-Cu 본딩의 응력이 제일 작음을 알 수 있었다. 그러나 Cu-Cu 본딩의 경우는 실리콘 칩에 걸리는 주응력이 높음을 알 수 있었다.

Table 5 Maximum warpage and stress values induced during SiO₂ direct bonding process at 300°C

Chip bonding step	Max. in-plane warpage (μm)	Max. out-of-plane warpage (μm)	Max. von Mises stress (MPa)	Max. principal stress in Si chip (MPa)
1st	3.6	-0.2	393	334
2nd	4.3	-0.2	436	439
3rd	4.8	-0.2	456	444
4th	5.3	-0.2	459	448
5th	5.7	-0.2	460	453
6th	6.1	-0.2	483 (at corner)	455 (at corner)
7th	6.5	-0.2	537 (at corner)	459 (at corner)
8th	6.8	-0.2	586 (at corner)	506 (at corner)

응력이 집중되는 영역은 주로 비아 홀과 실리콘 칩의 경계면, 비아 홀과 본딩 패드의 경계면 등 주로 이종 재료간의 계면이었다. 본 연구의 해석 결과에 따르면 현재 개발되고 있는 본딩 방식을 적용하였을 경우 칩이 적층될 수록 변형은 증가하고, 기계적 혹은 전기적인 신뢰성에 대한 문제를 발생할 가능성이 매우 높다. 궁극적으로 변형 및 응력을 낮추기 위해서는 본딩 공정의 온도를 낮추어서 본딩에 의한 열응력을 최소화하여야 한다. 이를 위한 많은 연구가 현재 진행 중이다.^{13,14} 또한, 열팽창계수의 차를 최소화 할 수 있는 적절한 언더필 재질 선택이 중요할 것으로 판단된다. 이에 대한 보다 자세한 연구는 향후에 진행할 예정이다.

4. 결론

본 연구에서는 TSV 기술을 이용한 3 차원 적층 패키지 공정의 핵심 기술인 본딩 기술을 이용한 접합 공정 중에 발생한 휨 변형과 열응력을 수치 해석을 통하여 예측하였다. 8 층의 실리콘 칩을 본딩하는 과정 중에 발생한 변형을 해석하기 위하여 공정 전체를 과도 해석으로 수행하였으며, 본딩 정렬 불량에 직접적으로 영향이 있는 in-plane 변형에 대해서 중점적으로 살펴보았다. 휨 변형이 제일 많은 본딩은 Cu-Cu 본딩이었고, 변형이 제일 적은 본딩은 SiO₂ 본딩이었다. 특히, Sn-Ag 솔더 본딩과

Table 6 Summary of maximum warpage and stress values induced for each bonding technology

	Max. in-plane warpage (μm)	Max. out-of-plane warpage (μm)	Max. von Mises stress (MPa)	Max. principal stress in Si chip (MPa)
Solder (Sn-Ag) bonding at 280°C	9.6	-3.2	888 (at Cu via-solder interface)	373 (at via hole-Si interface)
Cu-Cu bonding at 350°C	12.3	-4.1	484 (at via hole-Si interface)	467 (at via hole-Si interface)
SiO ₂ bonding at 300°C	6.8	-0.2	586 (at Si chip edge)	506 (at Si chip edge)

Cu-Cu 본딩의 경우는 8 층의 실리콘 칩을 적층한 후에는 비아의 지름과 같거나, 지름 보다 큰 in-plane 변형, 즉 정렬 불량이 발생하였다. 최대응력은 Sn-Ag 솔더 본딩의 경우가 제일 컸으며, 그 다음으로는 SiO₂ 본딩, 그리고 Cu-Cu 본딩의 응력이 제일 작음을 알 수 있었다. 응력이 집중되는 영역은 주로 비아 홀과 실리콘 칩의 경계면, 비아 홀과 본딩 패드의 경계면, 즉 주로 재료들이 맞닿고 있는 계면이었다. 본딩 시 변형을 줄이기 위해서는 본딩의 온도를 낮추는 방안과 주변의 패키지 재료, 예를 들어 언더필 재료의 적절한 선정이 중요할 것으로 판단된다.

후 기

본 연구는 지식경제부, 산업기술연구회의 협동 연구사업 일환인 “차세대 반도체 MCP 핵심기술 개발 사업”의 지원에 의한 것입니다. 또한 2010 년도 한국연구재단의 기초연구사업(No.2010- 0004218)에 대한 지원을 받아 수행된 것입니다.

참고문헌

1. Barnat, S., Fremont, H., Gracia, A., Cadalen, E., Bunel, C., Neuilly, F. and Tenailleau, J., “Design for reliability: Thermo-mechanical analyses of stress in through silicon Via,” Proc. of 11th Int. Conf. on

- Thermal, Mechanical and Multiphysics Simulation and Experiments in Micro-Electronics and Micro-Systems, pp. 1-6, 2010.
2. Shen, L., Chien, C., Cheng, H. and Lin, C., "Development of three-dimensional chip stacking technology using a clamped through-silicon via interconnection," *Microelectronics Reliability*, Vol. 50, No. 4, pp. 489-497, 2010.
 3. Selvanayagam, C. S., Lau, J. H., Zhang, X., Seah, S. K. W., Vaidyanathan, K. and Chai, T. C., "Nonlinear thermal stress/strain analyses of copper filled TSV and their flip-chip microbumps," *Proc. Electronic Components and Technology Conference*, pp. 1073-1081, 2008.
 4. Karmarkar, A. P., "Performance and reliability analysis of 3D-integration structures employing through silicon via (TSV)," *Proc. of IEEE 47th Annual International Reliability Physics Symposium*, pp. 682-687, 2009.
 5. Eric, M., Jerome, B. and Jean-Christophe, E., "A market & technology analysis of WLP solution for IC's, CMOS Image Sensors & MEMS," *Proc. Electronic Components and Technology Conference*, pp. 27-30, 2008,
 6. Bioh, K., Thorsten, M., Markus, W. and Paul, L., "Advanced wafer bonding solutions for TSV integration with thin wafers," *Proc. IEEE International Conference on 3D System Integration*, pp. 1-6, 2009.
 7. Ko, C. and Chen, K., "Wafer-level bonding/stacking technology for 3D integration," *Microelectronics Reliability*, Vol. 50, No. 4, pp. 481-488, 2010.
 8. Yoo, S., Ko, Y., Shin, Y. and Lee, C., "Technologies of TSV Filling and Solder Bumping for 3D Packaging," *J. of Korean Society for Precision Engineering*, Vol. 26, No. 12, pp. 18-22, 2009.
 9. Hsieh, M. C. and Yu. C. K., "Thermo-mechanical Simulations For 4-Layer Stacked IC Packages," *International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Micro-Systems*, pp. 1-7, 2008.
 10. Kitada, H., Maeda, N., Fujimoto, K., Suzuki, K., Kawai, A., Arai, K. and Suzuki, T., "Stress sensitivity analysis on TSV structure of wfer-on-a-wafer(WOW) by Finite Element Method(FEM)," *IEEE Interconnect Technology Conference*, pp. 107-109, 2009.
 11. Leila, J. L., "Numerical analysis of thermo-mechanical reliability of through silicon vias (TSVs) and solder interconnects in 3-dimensional integrated circuits," *Microelectronic Eng.*, Vol. 87, No. 2, pp. 208-215, 2010.
 12. Zhang, J., Bloomfield, M. O., Lu, J., Gutmann, R. J., and Cale, T. S., "Thermal stresses in 3D IC inter-wafer interconnects," *J. of Microelectronic Engineering*, Vol. 82 No. 3-4, pp. 534-547, 2005.
 13. Howlader, M. M. R., Zhang, F., Deen, M. J., Suga, T., and Yamauchi, A., "Surface activated bonding of copper through silicon vias and gold stud bumps at room temperature," *Journal of Vacuum Science & Technology A*, Vol. 29, No. 2, Paper No. 021007, 2011.
 14. Wang C. and Suga, T., "A novel room-temperature wafer direct bonding method by fluorine containing plasma activation," *Proc. Electronic Components and Technology Conference*, p. 303, 2010.