

저전력, 저면적 임베디드 메모리 설계 기술과 전망

I. 서론

임베디드 메모리(Embedded Memory)는 모바일 Application Processor(AP), Central Processing Unit(CPU), Digital Signal Processor (DSP)와 같은 칩 안에서 코어와의 빠른 접근성을 목적으로 사용되는 캐쉬(Cache)/버퍼(Buffer)용 메모리이다. 임베디드 메모리는 위에서 언급된 칩들 및 다양한 SoC에서 전체 면적의 50% 이상을 차지하고 있으며 시스템의 클럭 스피드 (Clock Speed), 공급전압, 소모전력 등에 큰 영향을 미치면서 칩 전체의 성능을 좌우하고 있다. 또한, 반도체 공정의 미세화로 인해 임베디드 메모리 동작의 신뢰성에 대한 중요성도 더더욱 강조되고 있는 실정이다.

PC 수준에 근접한 모바일기기의 고사양화 추세에 따라 모바일 기



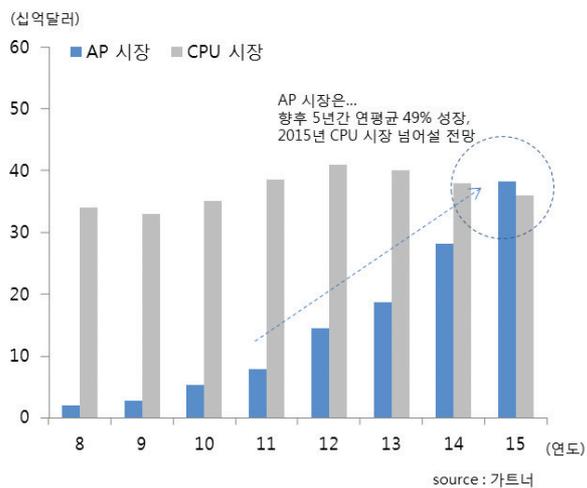
최 응
고려대학교



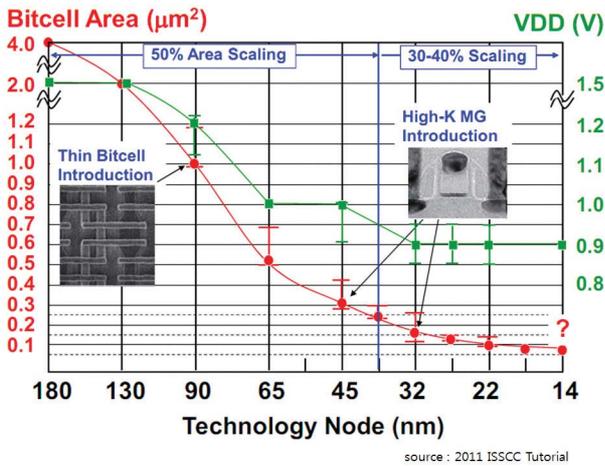
강 규 성
고려대학교



박 종 선
고려대학교



〈그림 1〉 전세계 CPU 및 AP 시장 전망 [1].



〈그림 2〉 SRAM 비트셀의 면적 및 공급전압 트렌드 [2].

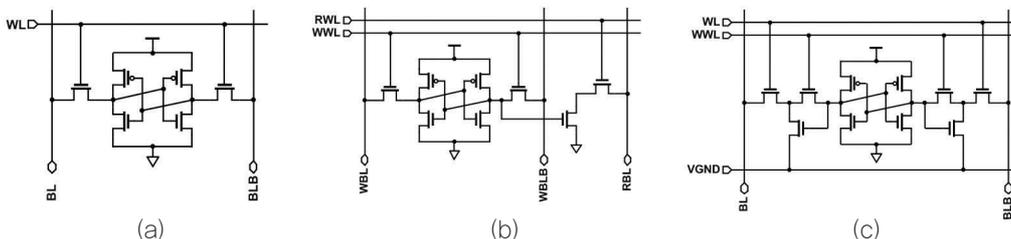
기 내 핵심부품인 AP시장은 향후 5년간 연평균 49%의 성장세를 보일 것이라고 전망된다(그림 1). 향후 AP의 성능향상을 위하여 AP 면적의 50% 이상을 차지하는 임베디드 메모리의 사용량은 계속하여 증가될 것으로 예상되며 이에 따라 임베디드 메모리 연구의 필요성은 점점 더 강조될 것으로 보인다. 그러나 아직까지 기존 임베디드 메모리의 설계방식은 저전압 동작에서 메모리의 신뢰성문제, 면적의 효율성 증대, 미세 공정으로 갈수록 증가하는 누설전류 등 여러 가지 설계의 문제점을 보이며 이를 해결하기 위한 기술들이 요구되고 있다. 이에 따라 본 논문에서는 임베디드 메모리의 주가 되는 SRAM과 eDRAM에 대하여 살펴보고 향후 발전 방향에 대해 논해보도록 하겠다.

II. SRAM(Static Random Access Memory)

SRAM은 빠른 동작 속도, 리프레쉬 동작없이 데이터 유지가 가능한 특성, 일반 로직 공정에의 호환성 등으로 인하여 임베디드 메모리의 중추적인 역할을 담당해 왔다. 무어의 법칙(Moore's Law)을 따르며 SRAM의 집적도 또한 지속적으로 증가해왔지만 최근 공정의 미세화와 더불어 공정변이(Process Variation)의 증가 문제는 SRAM이 안정적으로 동작하는데 큰 걸림돌이 되고 있다. 〈그림 2〉는 공정별 SRAM 비트셀(Bitcell)의 면적 및 공급전압 트렌드를 나타낸다. 90nm 공정 이후로 사용하기 시작한 Thin Bitcell 레이아웃(Layout) 방식은 비트셀의 안정도에 영향을 미치는 비트라인 커패시터(Bitline Capacitor) 성분을 감소시키고 폴리(Poly)라인의 방향을 일정하게 바꾸어 생산성과 수율을 향상 시켰다. 그러나 극소로 스케일된 SRAM 비트셀은 Random Dopant Fluctuation(RDF)에 의해 발생하는 Mismatch 현상에 매우 민감하기 때문에 SRAM의 안정도를 높일 수 있는 새로운 기법이 요구되어왔다. Intel에서 발표한 High-K Metal Gate(HKMG)공정은 트랜지스터의 온오프 전류비율을 증가시키고 누설전류를 효과적으로 차단하여 45nm 공정부터 사용되고 있다. 하지만 여전히 낮은 SRAM의 설계마진을 높이기 위해서 여러 가지 회로기법들이 연구되고 있으며 본 장에서는 이들을 소개하고자 한다.

1. SRAM 기본 구조 및 동작

우선, SRAM의 일반적인 구조를 살펴보면 다음과



〈그림 3〉 다양한 SRAM 비트셀 구조 (a) 6T 비트셀. (b) 8T 비트셀 [3]. (c) 10T 비트셀 [4].

같다. 데이터의 저장은 두 쌍의 맞물린 인버터 (Cross-coupled Inverter)에 의하여 이뤄지며 추가적인 액세스 트랜지스터(Access Transistor)를 통하여 읽기/쓰기 동작을 수행하게 된다. <그림 3>은 데이터 한 비트를 저장할 수 있는 여러 가지 비트셀(Bitcell) 구조를 나타낸다. 이중 <그림 3. a>는 가장 흔히 사용되는 비트셀 구조로 6개의 트랜지스터로 구성되며, 이렇게 데이터를 저장하는 비트셀은 비트셀의 집합체인 메모리 어레이(Array)를 구성한다. 메모리 어레이는 주변회로(Peripheral Circuit)에 의하여 제어되는데, 주변회로는 어드레스 디코더(Address Decoder), 감지 증폭기(Sense Amplifier), 쓰기 드라이버(Write Driver), 타이밍 제어기(Timing Controller), 데이터 I/O 등이 있다.

기본적인 6T SRAM 구조의 읽기/쓰기 동작은 다음과 같이 수행된다. 읽기 동작의 경우 초기 두 개의 비트라인(<그림 3, a>의 BL & BLB)이 Precharge 회로에 의하여 VDD 레벨로 세팅된다. 이후 워드라인(<그림 3, a>의 WL)에 VDD 전압이 인가되면 Precharge 된 비트라인의 전하가 '0'에 해당되는 Storage Node를 통하여 빠져나가면서 한쪽 비트라인의 전압레벨이 감소하게 된다. 이 때 두 개의 비트라인 사이에 전압 차이가 발생하게 되고 이는 Sense Amplifier에 의하여 증폭되면서 데이터가 판별된다. 쓰기 동작의 경우 데이터 I/O를 통하여 들어온 데이터는 Write Driver를

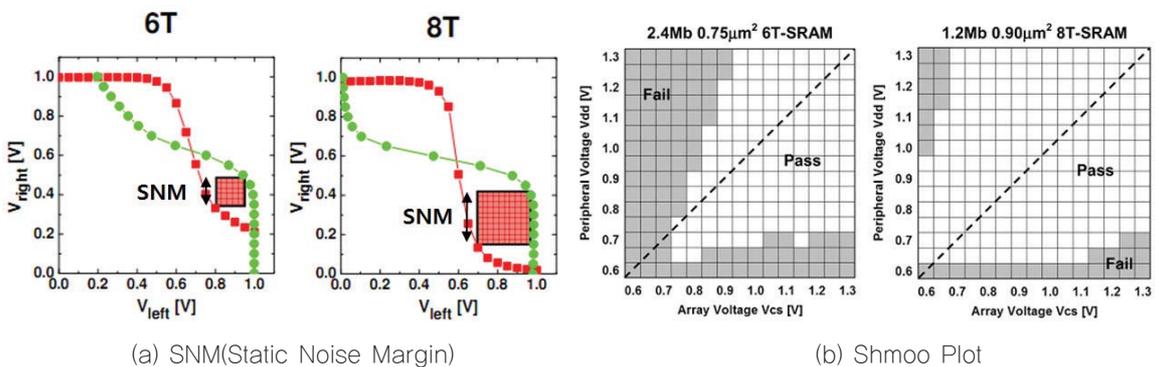
거쳐 선택된 비트셀의 비트라인을 변화시킨다. 이 후 워드라인에 VDD 전압이 인가되고 액세스 트랜지스터가 켜지면서 비트라인에 준비된 데이터가 비트셀의 Storage Node에 저장된다.

2. SRAM의 안정도와 여러 가지 비트셀

최근 모바일 기기의 배터리 문제로 인하여 회로설계에서의 저전력 시스템 구성은 필수적인 요소로 자리잡았다. 이를 위하여 여러 가지 저전력 회로 설계 기법들이 연구되고 있으며 그 중 공급전압의 스케일링(Supply Voltage Scaling)은 소모 전력을 낮추는데 가장 효과적인 방법으로 대부분의 저전력 칩 설계에 사용되고 있다. 그러나 고집적화를 위하여 극소 면적으로 스케일된 SRAM 비트셀 어레이는 이와 같은 공급전압의 감소에 취약하며 저전압 환경에서의 안정된 동작을 보장하기 위해서는 새로운 비트셀 구조나 읽기/쓰기 동작을 돕는 추가적인 회로를 필요로 한다.

기존의 6T SRAM 비트셀 구조는 읽기/쓰기 동작이 하나의 동일한 경로를 통하여 이루어지기 때문에 트랜지스터의 사이즈를 최적화하기 어렵다. 예를 들어 액세스 트랜지스터의 크기를 증가시키면 쓰기 동작의 안정도는 증가하는 반면 읽기 동작의 안정도는 감소하게 된다. 이와 같은 문제를 해결하기 위하여 새로운 SRAM 비트셀 구조가 연구되고 있다.

<그림 3, b>는 8개의 트랜지스터를 사용하는 8T



<그림 4> 6T SRAM 비트셀 구조와 8T SRAM 비트셀 구조의 안정도 비교

SRAM 비트셀 구조를 나타낸다. 기존 6T 구조와 달리 읽기/쓰기 동작을 하는 경로가 각각 분리되어 있기 때문에 해당 동작에 최적화된 트랜지스터 사이즈 조절이 가능하며 기존 6T SRAM 비트셀에서 나타나는 ‘읽기 동작 시 데이터 플립현상(Read Disturbance)’이 발생하지 않기 때문에 좀 더 낮은 공급전압에서 동작이 가능하다.

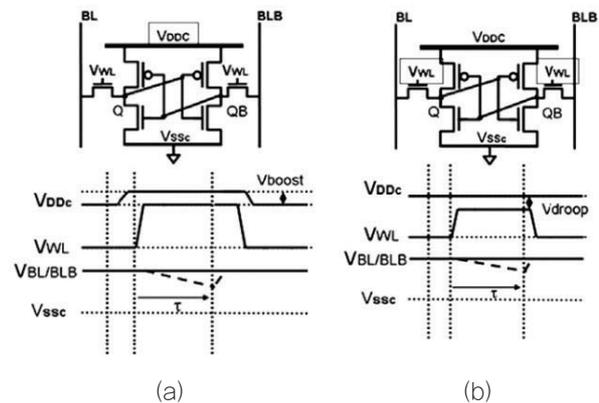
〈그림 4〉는 기존 6T 구조와 8T 구조의 안정도 비교를 나타낸다. SRAM의 안정도는 흔히 SNM(Static Noise Margin)이라는 파라미터를 통하여 측정되며 Cross-coupled 인버터의 VTC 커브(Voltage Transfer Characteristic Curve)를 통하여 구해진다. 향상된 안정도를 통하여 좀 더 저전압에서 동작이 가능한 8T 비트셀 구조는 Muti-VDD, DVFS(Dynamic Voltage Frequency Scaling)등의 낮은 공급전압이 필요한 어플리케이션에 주로 사용되고 있다. 그러나 8T SRAM 비트셀의 구조 역시 Half-select(위드라인이 공유됨에 따라 의도하지 않은 액세스가 발생하는 경우를 일컫음)된 비트셀의 데이터 안정성이 떨어지기 때문에 이를 해결하기 위하여 새로운 비트셀 구조에 대한 연구가 이루어지고 있다.

〈그림 3. c〉는 10T SRAM 비트셀 구조를 나타낸다. 8T 구조와 달리 10T 구조는 두 개의 액세스 트랜지스터를 갖으며(〈그림 3. c〉의 WL, WWL가 게이트에 연결된 MOSFET) 이렇게 두 개의 액세스 트랜지스터는 기존의 Row 방향으로만 액세스되던 방식에서 벗어나 Row/Column 신호에 의하여 정확히 의도하는 비트셀만을 선택할 수 있어 Half-select 문제를 해결할 수 있다. 그러나 10T 비트셀 구조 역시 두 개로 늘어난 액세스 트랜지스터로 인하여 문턱전압의 손실(V_{th} Loss)이 발생하기 때문에 승압된 전압을 필요로 하는 문제점을 갖는다. 이에 따라 아직까지 상대적으로 집적도가 높은 6T SRAM 비트셀 구조가 주로 사용되고 있으며 일부 저전압(Sub/Near Threshold Voltage) 동작이 필요한 어플리케이션에 그 외의 SRAM 비트셀이 사용되고 있다.

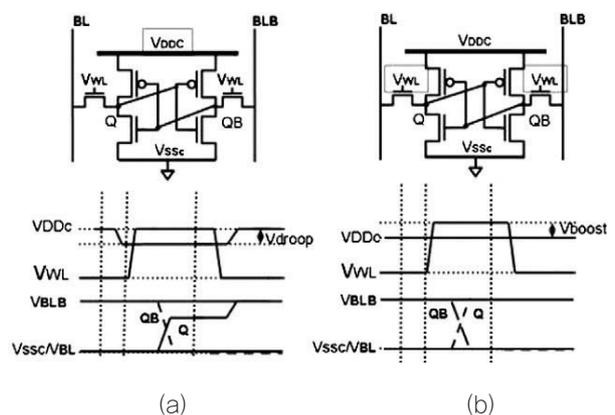
3. SRAM 동작의 Assist Technique

비트셀의 구조를 바꾸어 SRAM의 안정도를 높이는 방법 외에 기존 6T 비트셀을 그대로 사용하면서 주변 회로의 도움으로 SRAM 동작의 안정도를 높이는 연구 또한 여러 가지가 진행된 바 있다. 아래에서는 이와 같은 SRAM의 읽기/쓰기 동작을 도와주는 Assist Technique에 대해 간략히 소개해보도록 하겠다.

읽기 동작의 경우 Precharge된 비트라인으로부터 Storage Node까지 전하가 유입되면서 비트셀에 저장된 데이터가 손실될 수 있는데 이를 막기 위하여 액세스 트랜지스터의 게이트에 인가되는 전압을 낮추거나



〈그림 5〉 Read assist technique. (a) VDD boost at bitcell. (b) Wordline droop [5].



〈그림 6〉 Write assist technique. (a) Reduce VDD at bitcell. (b) Wordline boost [5].

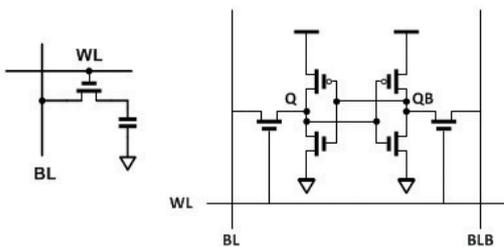
〈그림 5, b〉 일시적으로 비트셀에 인가되는 공급전압을 높여 비트셀의 SNM을 높여주는 방식이 있다.〈그림 5, a〉.

쓰기 동작의 경우에는 이와 반대로 비트셀에 인가되는 공급전압을 일시적으로 낮춰주어 〈그림 6, a〉 Cross-coupled 인버터에 의해 유지되고 있는 기존의 데이터가 쉽게 새로운 데이터로 써질 수 있도록 하거나 액세스 트랜지스터의 게이트에 걸리는 전압을 높여주어 비트라인에 인가된 데이터가 쉽게 Storage Node에 쓰여질 수 있도록 돕는 방식이 있다.〈그림 6, b〉.

III. eDRAM 연구 동기 및 현황

1. 연구 동기

DRAM(Dynamic Random Access Memory)은 6개의 트랜지스터를 사용해 1 bit를 저장하는 SRAM과는 달리, 1개의 트랜지스터와 1개의 커패시터를 사용하여 1 bit를 저장한다. 따라서 SRAM에 비해 집적도가 높으나, 커패시터를 사용해 값을 기억하는 특성상 전원이 연결되어 있어도 누설 전류에 의해 데이터가 손실되는 특성을 띤다. 데이터가 손실되지 않도록 일정 시간마다 값을 재기록 해야 하기 때문에, 이 같은 시간 지연은 곧 성능의 하락을 가져온다. 따라서 DRAM은 이로 인한 성능 하락을 감소시키기 위해 커패시터를 크게 설계하여 재기록 빈도를 최소화한다. DRAM의 집적도는 SRAM보다 높음에도 불구하고, 커패시터를 증가시키는 특수한 공정을 사용하기 때문

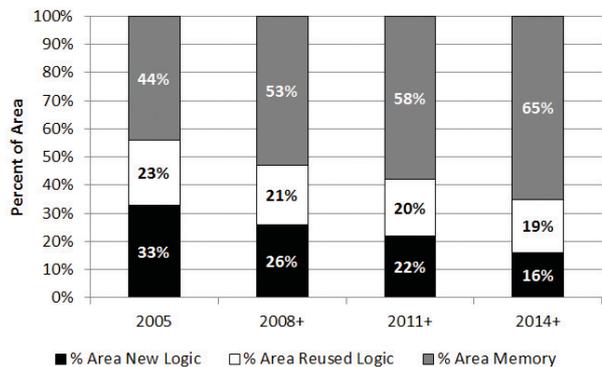


〈그림 7〉 1T 1C DRAM과 6T CMOS SRAM

에 일반적인 로직 공정에서 설계되는 회로와 함께 집적하기 힘든 문제점이 있다.

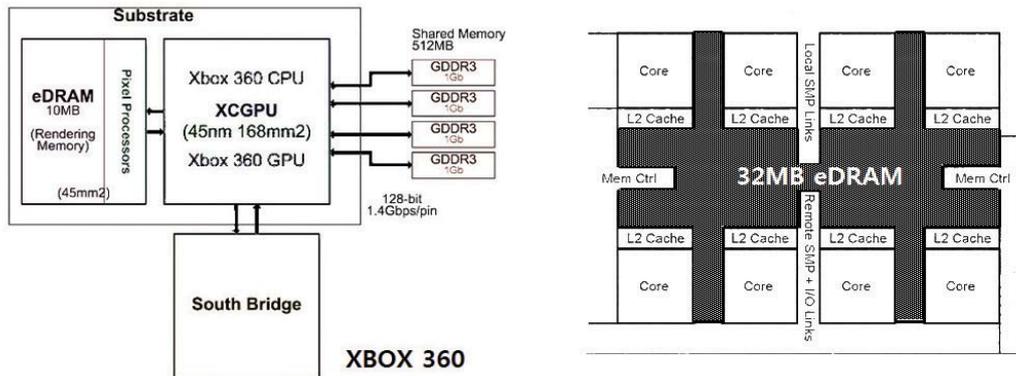
IT 기술이 발전해 감에 따라, 고성능의 연산이 필요한 칩에 대한 요구가 급부상하고 있다. 대용량의 데이터를 실시간으로 처리해야 하는 멀티미디어 프로세서나 멀티 코어 CPU의 연산을 뒷받침해 주기 위해서 대용량의 고속 캐시 메모리가 필수적이고, 〈그림8〉에서 보는 바와 같이 그 비중이 점차 증가하는 추세이다. 따라서 캐시 메모리의 면적만을 비교할 경우, 집적도가 높은 DRAM을 사용하는 것이 SRAM을 사용하는 것보다 유리하다고 볼 수 있다. 그러나 앞서 언급한 것처럼 공정상의 문제로 함께 집적되지 못하는 문제가 있어, DRAM을 외부 버스 인터페이스를 통해 액세스할 수밖에 없다. 외부 인터페이스를 사용한다는 것은 칩 외부의 큰 커패시턴스와 저항을 구동해야 한다는 것이고, 이는 곧 높은 전력소모를 의미한다. 시스템에 주어진 전력 소모량을 만족하기 위해서는 버스 크기 및 클럭이 일정 수준 이하로 제한되어야 하고, 그로 인해 메모리 대역폭도 제한될 수밖에 없는 문제가 있다.

DRAM은 위와 같은 문제점이 있으나, 면적에 대한 메리트가 있기 때문에 로직 공정 하에서 구현하려는 연구가 진행되고 있다. 이러한 DRAM을 eDRAM (embedded DRAM) 이라 한다. eDRAM은 이미 몇몇 제품에서 상용화 된 상태인데, Microsoft 사의



Source: Semico Research Corp.

〈그림 8〉 SoC에서의 각 로직별 면적 비율 추세



〈그림 9〉 eDRAM이 사용된 Microsoft XBOX 360의 CPU, GPU SoC와 IBM Power 7 CPU

XBOX360 게임 콘솔에 비디오 버퍼 메모리로 10MB가 집적되었고^[6], IBM 사의 Power7 CPU에는 L3 캐시로 32MB가 집적되었다^[7]. 이러한 추세를 볼 때, SoC에 대용량의 임베디드 메모리를 집적하기 위해서는 eDRAM 개발기술 확보가 반드시 필요하다고 본다.

2. eDRAM 특징

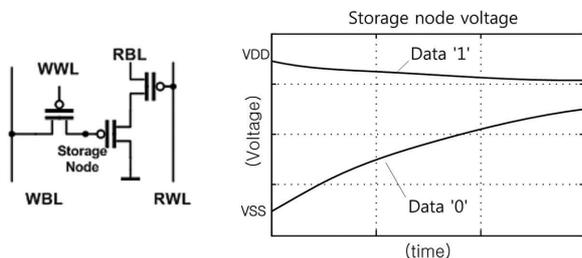
eDRAM은 기존 로직 공정에 추가적인 커패시터 생성 공정을 거쳐 DRAM과 같은 1개의 트랜지스터와 1개의 커패시터를 사용하는 구조와 오직 트랜지스터만 사용해 구현하는 구조로 나뉜다. DRAM 구조의 eDRAM은 로직 공정에서 구현 가능하도록 하기 위해 MIM(Metal Insulator Metal) 커패시터 공정^[8] 또는 SOI(Silicon On Insulator) 공정^[7] 등이 추가로 필요

하다. 따라서 본 논문에서는 추가공정 없이 기존 CMOS 공정에서 구현 가능한 트랜지스터만을 사용하는 Gain Cell eDRAM에 대해 알아보겠다.

3T Gain Cell eDRAM은 3개의 트랜지스터로 1bit를 저장하는 메모리 셀로, 6T SRAM의 약 50% 정도의 면적을 차지하는 구조이다. 데이터는 Storage Node에 존재하는 기생 커패시터스에 값을 저장한다. 기존 DRAM과 마찬가지로 커패시터에 데이터를 저장하는 구조이기 때문에, 누설전류를 최소화시켜야 데이터가 오래 지속되어 Refresh 빈도 수를 줄일 수 있다. 따라서 전하 이동도가 낮은 PMOS를 사용해 쓰기 트랜지스터로의 누설전류를 최소화한다. 저장된 데이터는 전원에 직접적인 영향을 받지 않기 때문에, SRAM에 비해 Off Current는 적다.^[9]

Gain Cell eDRAM의 동작은 다음과 같다. 쓰기 동작은 WBL을 기록하고자 하는 값으로 유지하고, WWL에 VBB를 인가하여 Storage Node를 충전시킨다. VSS가 아닌 VBB를 사용하는 이유는 PMOS를 사용하기 때문에, '0' 기록 시 문턱 전압으로 인한 손실을 줄이기 위함이다. 읽기 동작은 RBL을 VSS로 프리차지하고, RWL에 VSS를 인가하여 RBL의 변화를 감지한다.

Gain Cell eDRAM은 쓰기와 읽기 경로가 각각 분리된 구조를 띄고 있다. 일반적으로 읽기와 쓰기 경로를 공유하는 메모리는, 읽기에 대해 최적화하면 쓰기가



〈그림 10〉 Conventional 3T gain cell eDRAM과 누설전류로 인한 시간에 따른 Storage node 전압 변화

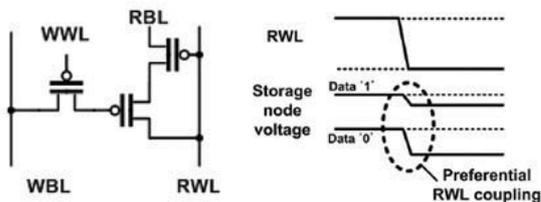
약화되는 등 각 동작이 트레이드 오프 관계에 있으나 eDRAM은 분리된 경로로 인해 각각의 역할에 맞추어 최적화 설계를 할 수 있다. 또한 비트라인에 Storage Node가 연결되어 있지 않아 읽기 동작을 수행하더라도 직접적인 전하 손실이 없다. DRAM은 읽기 시 전하 공유를 통해 비트라인을 변화시키지만, eDRAM은 증폭 트랜지스터를 사용하기 때문에 비트라인을 더 크게 변화시킬 수 있다.

한편, 데이터 유지모드에서는 각 WWL, RWL의 전압은 트랜지스터를 Off 시키기 위해 VDD 값을 유지해야하고, RBL, WBL은 VSS를 유지한다. 각 트랜지스터는 PMOS로 구성되어 있으므로 Body Bias는 VDD이다. 따라서 누설전류는 Pull-up 방향으로 더 많이 존재하기 때문에, 시간이 지나면 Storage Node는 VSS보다는 VDD에 가까운 값으로 수렴하게 된다. 즉 Conventional Gain Cell에서는 '0' 값이 시간이 지날수록 읽기 안정도가 감소하는 경향을 보인다.

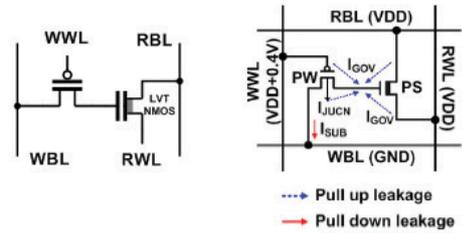
3. 기술 동향

Conventional 3T eDRAM 이후, 읽기 동작을 향상시키거나, 트랜지스터의 수를 줄여 집적도를 높이는 등의 다양한 eDRAM이 연구되었다. 본 장에서는 그 중 몇 가지를 살펴보고자 하겠다.

Boosted 3T 구조^[9]는 Storage 트랜지스터의 노드를 VDD가 아닌 RWL과 연결한 구조이다. 이는 읽기 동작 시에 발생하는 RWL의 하강펄스를 이용해 커패시턴스 커플링을 발생시켜, 일시적으로 Storage Node의 전압을 낮추는 효과를 일으킨다. 누설 전류에 의해 Storage Node의 전압이 VDD 방향으로 변하



〈그림 11〉 3T Boosted gain cell eDRAM



〈그림 12〉 2T Gain Cell

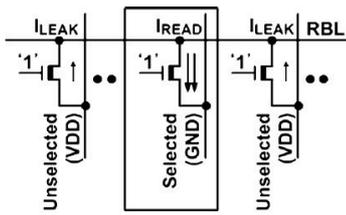
로, 이 효과는 '0'을 읽어야하는 경우 더 큰 비트라인 변화를 가져올 수 있다. '1'이 저장된 경우에는 커플링으로 인해 전압이 낮아지더라도, 문턱 전압 때문에 트랜지스터가 Off 상태이므로 비트라인이 크게 변하지 않는다.

2T 구조^[10]는 읽기 트랜지스터로 전하 이동도가 높은 NMOS에 낮은 문턱전압의 트랜지스터를 사용함으로써, 읽기 성능을 향상시켰다. 또한 데이터 유지모드에서 Storage Node에 대한 누설전류를 Pull-up이 우세하도록 전환하여 '1'의 전압을 VDD에 가깝게 유지한다.

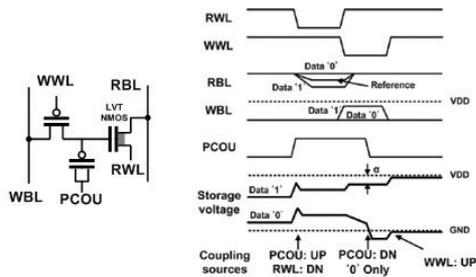
이전 3T에서 Storage Node의 값이 어떤 레벨이든 지 간에 읽으려는 Cell만이 RBL에 영향을 끼쳤다. 그러나 2T는 트랜지스터 1개를 제거함으로써 면적은 감소하게 되었지만, 같은 RBL을 공유하는 다른 Cell들의 저장된 값이 읽기 트랜지스터를 켤 수 있는 레벨일 경우, RBL과 RWL 간의 경로가 형성되어, 비트라인 스윙 폭이 제한되는 문제가 있다.

PMOS를 쓰기 트랜지스터로 사용하는 eDRAM은 쓰기 동작 시 문턱 전압으로 인한 손실을 감소시키기 위해 VBB를 인가한다. 이 VBB 전압은 칩 내부에서 생성해서 사용하는 것이므로, 저전력 시스템에서는 VBB를 생성 회로 자체로 인한 전력 소모도 큰 부담이 될 수 있다.

이에 따라 VBB를 사용하지 않고도 문턱 전압 손실을 감소시킬 수 있는 Cell 구조도 발표되었다. 2T1C 구조^[11]는 쓰기 동작 시 PCOU 신호에 하강 펄스를 인가하여 발생하는 커패시턴스 커플링을 사용하여 WWL에 VSS를 인가하더라도 문턱 전압 손실 없이 '0'을



〈그림 13〉 2T Gain cell 비트라인 누설 전류 문제



〈그림 14〉 2T 1C Gain cell 구조

기록할 수 있게 한다. 또한 PCOU 트랜지스터가 추가적인 기생 커패시턴스를 제공하기 때문에 데이터 지속 시간을 증가시킬 수 있다.

IV. 앞으로 나아갈 길

본 논문에서는 현재 가장 많이 사용되는 임베디드 메모리인 SRAM과 앞으로 사용될 것으로 기대되는 eDRAM에 대해 알아보았다. SRAM은 로직 공정으로 설계가 가능하기 때문에 임베디드 메모리로 가장 빈번하게 사용되고 있으며 eDRAM은 면적 및 대기전력 소모가 작으나 SRAM에 비하여 안정도가 낮고 리프레쉬 동작을 필요로 하기 때문에 한정적으로 사용되고 있다.

프로세서와 같은 SoC에서의 대용량 임베디드 메모리는 Cache Miss를 감소시켜, 하위 계층 메모리인 하드 디스크나 플래시 메모리에서 데이터를 가지고 오는 빈도를 낮출 수 있으므로 칩의 성능을 크게 증가시킬 수 있다. 이러한 이유로 고성능을 요하는 프로세서에서 메모리가 차지하는 면적 비중이 점차 커지고 있는 추세이고, 이는 그림2에서 다시 확인 할 수 있다. 게다가 수많은 메모리 셀이 안정적으로 동작할 수 있는 클

럭 속도와 전압 범위가 있기 때문에, 전체 SoC의 동작 범위를 제한하는 요소가 되기도 한다.

과거의 고성능 임베디드 메모리의 대부분은 PC의 CPU 등에 국한되어 필요했었기 때문에 CPU 설계 기술을 가진 특정 회사에서만 자사의 프로세서에 탑재하기 위해 임베디드 메모리를 주로 개발하였다. 그러나 스마트폰으로 대표되는 휴대용 기기들의 발달을 통해 우리나라도 프로세서 설계에 뛰어날 수 있는 기회가 생겼다. 앞으로 프로세서 기술에서 경쟁력을 갖추기 위해서는 프로세서 자체의 설계 기술도 중요하지만, 임베디드 메모리도 고성능, 고집적 그리고 저전력 화할 수 있는 설계 기술 연구에도 힘써야 할 것이다.

참고문헌

- [1] 송중호, 이왕섭 “2012 Outlook Report” KDB대우증권 리서치센터.
- [2] H. Pilo “Embedded Memories for SoC : Overview of Design, Test and Application and Challenges in the Nano-Scale CMOS” ISSCC Tutorial, 2011.
- [3] Chang. L, et al., “An 8T-SRAM for Variability Tolerance and Low-Voltage Operation in High-Performance Caches”, Solid-State Circuits, IEEE Journal of , vol.43, no.4, pp.956-963, April 2008.
- [4] Ik Joon Chang, et al., “A 32 kb 10T Sub-Threshold SRAM Array With Bit-Interleaving and Differential Read Scheme in 90 nm CMOS,” Solid-State Circuits, IEEE Journal of , vol.44, no.2, pp.650-658, Feb. 2009
- [5] R. Mann, et al., “Impact of Circuit Assist Methods on Margin and Performance in 6T SRAM”, Solid-State Electronics, pp1398-1407, Nov.2010.
- [6] J. Andrews and N. Baker, “Xbox 360 System Architecture,” IEEE Micro, vol. 26, no. 2, pp. 25-37, Mar-Apr. 2006.
- [7] J. Barth, et al., “A 45 nm SOI embedded DRAM macro for the POWER processor 32 MByte on-chip

- L3 cache,” IEEE J. Solid-State Circuits, vol. 46, no.1, pp. 64–75, Jan. 2011.
- [8] F. Fishburn, et al., “A highly manufacturable 110nm EDRAM process with Al2O3 stack MIM capacitor for cost effective high density, high speed, low voltage ASIC memory applications,” in VLSI Tech. Digest, pp. 75–76, Jun. 2003.
- [9] K. Chul, et al., “A 3T gain cell embedded DRAM utilizing preferential boosting for high density and low power on-die caches,” IEEE J. Solid-State Circuits, vol. 46, no. 6, pp. 1495.1505, Jun. 2011.
- [10] Ki Chul, et al., “A 667 MHz Logic-Compatible Embedded DRAM Featuring an Asymmetric 2T Gain Cell for High Speed On-Die Caches,” IEEE J. Solid-State Circuits, vol. 47, no. 2, pp. 547–559, Feb. 2012.
- [11] Ki Chul, et al., “A 700MHz 2T1C embedded DRAM macro in a generic logic process with no boosted supplies,” IEEE ISSCC Dig. Tech. Papers, pp. 506–508, Jan. 2011.



최 응

2011년 2월 고려대학교 전기전자전파공학 학사
2011년 3월~현재 고려대학교 전기전자전파공학 석박통합과정

<관심분야>
임베디드 메모리, 저전력 SoC, 통신용 디지털 신호 처리 프로세서



강 규 성

2011년 2월 고려대학교 전기전자전파공학 학사
2011년 3월~현재 고려대학교 전기전자전파공학 석박통합과정

<관심분야>
임베디드 시스템 및 메모리, 에러 정정 코드



박 종 선

1998년 2월 고려대학교 전자공학과 학사
2000년 8월 Purdue Univ., School of ECE 석사
2005년 12월 Purdue Univ., School of ECE 박사
2005년 5월~2008년 2월
Marvell Semiconductors, Staff Design Engineer

<관심분야>
신뢰성 강한 저전력 통신 및 디지털 신호처리 프로세서 설계, 저전력 임베디드 메모리, 초저전력 sub-threshold 회로설계.