



플래시 메모리 컨트롤러 (Flash Memory Controller) 기술

I. 서론

NAND Flash 메모리는, 데이터를 저장하는 기본 단위인 셀 (cell) 및 어레이 (array) 구조 <그림 1>가 비교적 단순하고 집적도를 높이기 위해 유리하여 MP3 player, cellular phone 및 SSD (solid state drive) 등의 데이터 저장장치용으로 많이 사용되고 있다 <그림 2>. NAND Flash에서 일반적으로 채택하고 있는 셀 구조는 부동 게이트 (FG: floating gate)인 데 여기에 저장된 전하량에 따라 트랜지스터를 On-Off 시킬 수 있는 문턱전압 (V_{th} : threshold voltage)이 달라지게 되어 정보 저장여부를 판별할 수 있게 된다. NAND Flash는, string내에서 각각의 셀들이 직렬로 연결 (NAND logic과 같은 구조) 되어 있어서 붙여진 이름이다.

NAND Flash의 응용분야를 더욱더 확대시키기 위해서는 NAND Flash 제조에 필요한 비용을 줄이는 것이 필수적인 데 집적도를 높여주는 것이 하나의 방법이 될 수 있다. 메모리의 집적도를 높이기 위해 대표적으로 사용되는 기법들로는 스케일링 (scaling) 및 멀티 레벨링 (multi leveling)이 있다. 스케일링은 메모리제조뿐만 아니라 로직 설계에 있어서도 일반적으로 사용되는 기법으로 회로선폭을 줄여서 셀 및 로직의 집적도를 높이는 방법이다 [2]. 멀티 레벨링은 특히 NAND Flash에서 유용하게 사용되고 있는 데, 셀당 저장되는 정보량을 늘려 줌으로써 집적도를 높여주는 방법이다 [3].

스케일링과 멀티 레벨링으로 메모리의 집적도를 높일 경우에 가장 심각한 문제점은 메모리 자체의 신뢰성을 높은 수준으로 유지하는 것이 상당히 어려워진다는 것이다. NAND Flash 메모리의 신뢰성은 endurance와 retention으로 나타낼 수가 있는데, endurance는 메모리에 데이터를 저장하기 위한 쓰기 횟수 (P/E cycle:



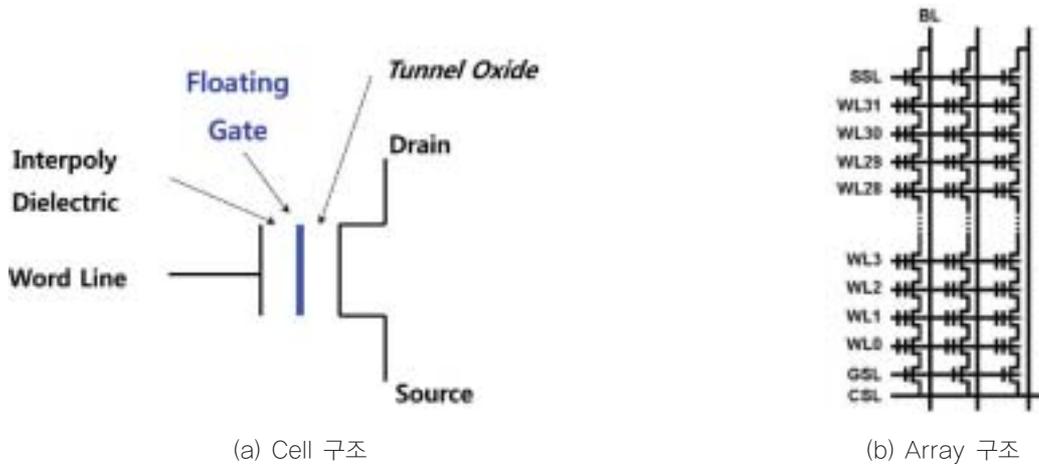
공 준 진
삼성전자



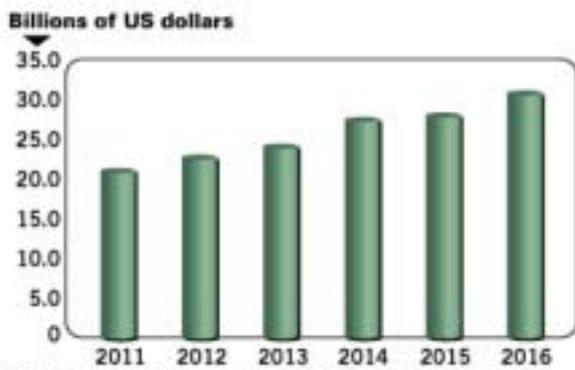
손 홍 락
삼성전자



설 창 규
삼성전자

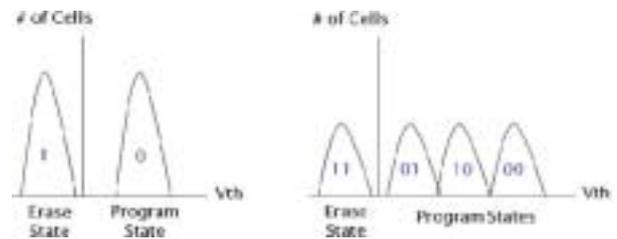


〈그림 1〉 NAND Flash 구조 [1]



〈SOURCE: IHS iSuppli Research, April 2012.〉

〈그림 2〉 NAND Flash 시장 동향



(a) SLC

(b) MLC: 2-bit/cell

〈그림 3〉 NAND Flash의 문턱전압분포

program-erase cycle: Flash 메모리에 데이터를 쓰기 위해서는 이전에 저장되어 있던 데이터를 지우는 작업인 erase가 먼저 수행되어야 함) 한계를 나타내며 retention은 저장되어 있는 데이터를 얼마나 오랜 시간 동안 유지할 수 있는지를 나타내는 척도이다. 스케일링 및 멀티 레벨링 정도가 증가할 수록 메모리의 물리적인 특성 열화 및 문턱전압 분포 (산포: V_{th} distribution) 겹침이 증가하게 되어 저장된 데이터를 메모리로부터 정확하게 읽어내는 것과 저장된 데이터를 오랫동안 유지하는 것이 점점 더 어려워지게 된다.

〈그림 3〉은 SLC (single level cell: 1-bit/cell) 및 셀당 2 비트의 정보를 저장할 수 있는 2-bit/cell MLC (multi level cell)의 문턱전압 분포를 보여 주고

있다. 데이터가 저장되어 있지 않은 상태가 erase 상태이며 데이터가 저장되어 있는 상태가 program 상태이다. 셀당 1비트를 저장하는 경우, 두 개의 상태 (erase 및 program)로 구분할 수 있게 되는 데 이 경우에는 program 상태가 한 개뿐이므로 SLC라고 부른다. 2비트의 정보는 erase 상태를 포함하여 모두 네 개의 구분된 상태로 표현이 가능하며 이 경우 program된 상태가 두 개 이상이라 MLC라는 이름이 붙여진 것이다.

데이터 저장에 사용되는 모든 셀들의 물리적인 특성이 동일하지는 않으므로 동일한 데이터를 저장하는 셀들조차도 서로 다른 문턱전압 값을 갖게 됨으로써 분포를 형성하게 되고 각 program 상태 별 분포의 범위

가 넓게 되면 인접한 program 상태간 겹치는 영역이 증가하게 된다. 겹치는 영역이 넓을수록 오류가 많아 지므로 원본 데이터를 복원하는 것을 더욱 어렵게 만든다. 또한 셀당 저장되는 비트수를 증가시킬수록 동일한 전압창 (voltage window)에 더 많은 program 상태가 들어가게 되므로 산포결집이 더욱 증가하게 되어 원본 데이터를 복원하는 것이 점점 더 어려워진다. 추가로 scaling에 의해 cell간 간격이 줄어들면서 각 cell간의 interference도 증가하게 되어 신뢰성은 더욱 저하된다 [3].

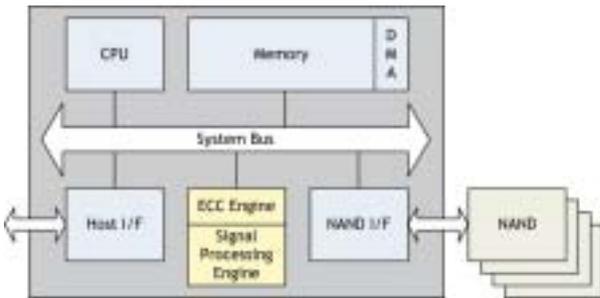
II. Flash 메모리 컨트롤러

Flash 메모리를 사용하는 저장장치의 신뢰성과 성능이 시스템에서 요구되는 수준을 만족할 수 있도록 하기 위해서는 다양한 기법들이 적용되어야 하는 데, 이

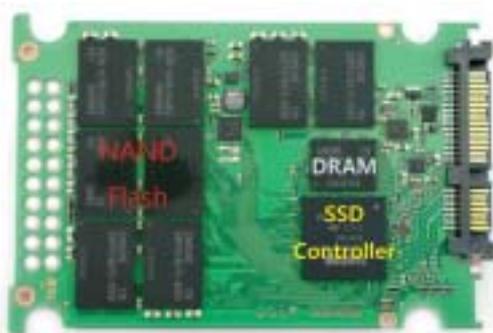
러한 기법들은 hardware 또는 software 형태로 controller에 구현될 수 있다. Flash 메모리 컨트롤러는, host에서 요구하는 여러가지 명령들을 판독/수행하기 위한 CPU와 bus system등의 backbone, flash 메모리와 컨트롤러 간 데이터 통신을 수행하기 위한 NAND I/F, NAND에서 발생하는 오류를 정정하기 위한 ECC (error control code) 및 신호처리 엔진 등으로 구성된다 (그림 4).

Flash 메모리 컨트롤러의 세부적인 기능 및 사양은 Flash storage에 요구되는 저장 공간 크기 및 성능에 따라 좌우되며, Flash 메모리 컨트롤러가 지원하는 host에 따라 SD Card/eMMC (secure digital card/embedded multimedia controller)를 지원하는 embedded용 컨트롤러와 SATA/SAS를 지원하는 SSD 용 컨트롤러로 분류할 수 있다. 본고에서는 SSD 컨트롤러를 예로들어 컨트롤러의 전반적인 동작 및 architecture를 설명하고자 한다.

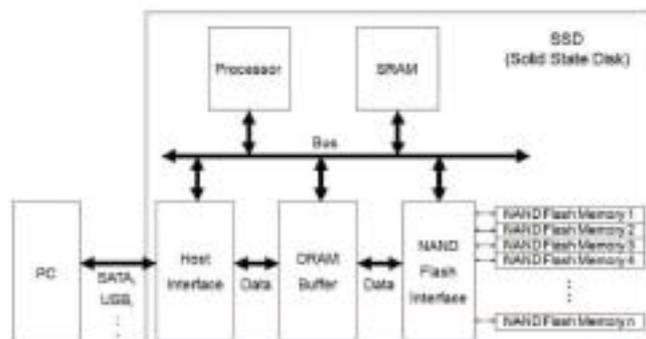
SSD는 여러 개의 NAND Flash 메모리들이 병렬로 연결되는 형태의 저장장치인데, 제조사마다 약간의 차이는 있지만, 일반적인 SSD 및 SSD 컨트롤러 구조는 (그림 5)와 같다. Host 인터페이스를 통하여 읽기 또는 쓰기에 대한 명령이 들어오면 DRAM 버퍼를 거쳐서 컨트롤부인 프로세서와 SRAM이 데이터의 알맞은 위치를 파악하고 다시 DRAM 버퍼를 통해 NAND Flash 메모리에 데이터를 기록하거나 읽어오게 된다. SSD 컨트롤러 내부에는 host와 데이터를 주고받는



〈그림 4〉 Flash 메모리 컨트롤러



(a) SSD PCB [4]



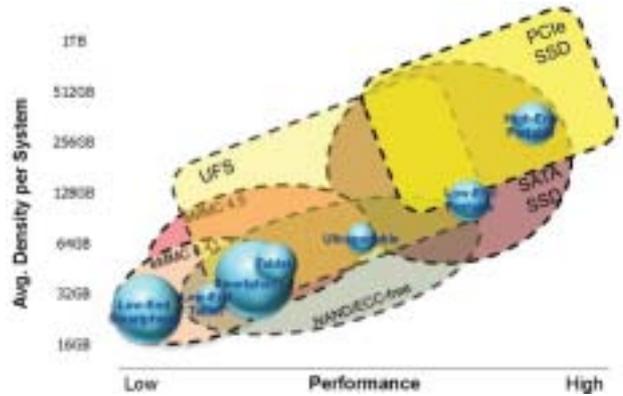
(b) SSD 컨트롤러 구조 [5]

〈그림 5〉 SSD 및 SSD 컨트롤러 구조

host 인터페이스와 NAND Flash와 데이터를 주고 받는 플래시 인터페이스가 존재하고 각각의 인터페이스 내부에는 FIFO (first in first out) 버퍼가 존재하여 데이터들이 CPU 및 bus system에서 지원하는 모드에 맞춰 전송될 수 있도록 임시로 데이터를 저장하는 역할을 하게 된다. DRAM 버퍼에는 읽기와 쓰기를 위한 데이터뿐만 아니라 메타 데이터도 저장하게 되는데 host에서 NAND Flash로 또는 NAND Flash에서 Host로 이동되는 데이터는 모두 DRAM 버퍼를 거쳐야만 한다. 이로 인해 DRAM 버퍼의 대역폭은 SSD의 성능을 결정하는 중요한 요인이 된다.

SSD의 성능을 향상시키기 위해 NAND Flash에는 멀티채널 구조가 적용되며, 이 구조에서는 여러 개의 메모리에 대한 동시 액세스가 가능하고 한 번에 읽고 쓰는 데이터 양이 많아져서 전체적으로 빠른 읽기 및 쓰기가 가능하게 된다. 하지만, NAND Flash 채널 수가 증가해도 DRAM 버퍼 대역폭이 인터페이스 전체 대역폭보다 작은 경우에는 DRAM 버퍼에서의 병목 현상으로 인해 채널 수에 비례하는 성능 향상은 이루어지지 않는다. 반대로 채널 수가 감소하면 여러 개의 플래시에 동시에 읽고 쓰는 데이터양 자체가 감소하게 되어 컨트롤러의 성능은 저하된다. 이러한 문제를 DRAM 버퍼 대역폭을 고려한 플래시 채널 수를 최적화하여 해결하고 있으며, 이를 통해 컨트롤러의 입출력 핀 수 등 컨트롤러 아키텍처도 최적화할 수 있다. SD card/eMMC형 embedded 컨트롤러도, 위에서 설명한 SSD controller와 같이 host 및 NAND flash 성능에 따라 최적화된 아키텍처를 개발할 수 있다.

최근에는, smart phone, tablet PC, ultra book 등의 mobile 기기가 고속화됨에 따라 <그림 6>과 같이 Flash storage interface 성능도 고속화되고 있다. 따라서 Flash storage를 지원하는 Flash storage 컨트롤러도 Host I/F block의 high speed serial interface 채용 및 NAND I/F block의 DDR (double data rate) interface 채용 등을 통해 고속화되는 추세이다. <그림 6>의 가로축은 Flash storage의 속도를, 세로축은 Flash Storage의 저장공간을 의미 하는 것



<Source : Flash Summit 2012[6]>

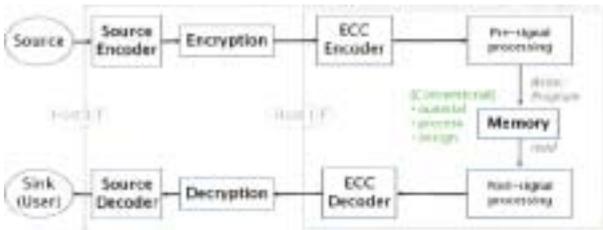
<그림 6> Flash storage 및 interface

으로, embedded용 storage인 eMMC의 경우 eMMC4.5이후 UFS (Universal Flash Storage)으로, consumer electronics용 storage인 SSD인 경우 SATA 3.0 이후 PCIe로 변화되고 있음을 보여 주고 있다.

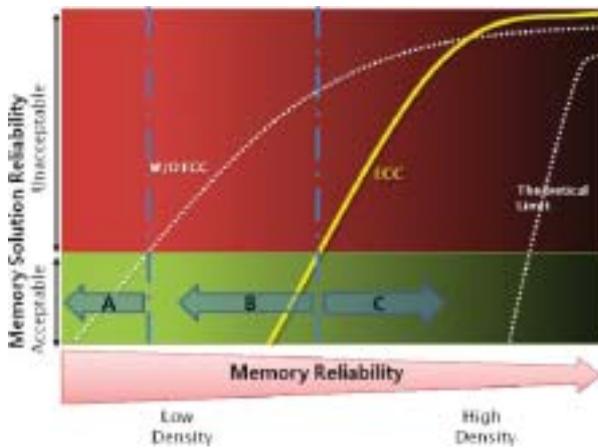
III. 메모리 신뢰성 향상을 위한 신호처리 기술

NAND Flash를 저장장치로 사용하기 위해서는 저장된 데이터의 신뢰수준이 응용 시스템 별로 요구되는 신뢰수준을 만족할 수 있어야 하는 데, 이를 위해서는 메모리 제조에 사용되는 재료, 공정 및 설계기술의 향상이 필수적이지만 이외에도 통신 시스템 등에서 일반적으로 사용되고 있는 채널 신호처리 기법 (channel signal processing)들이 사용될 수 있다. 즉, 통신 시스템에서 주로 사용되는 오류제어부호 (error control code: 채널에서 발생하는 오류를 제어하기 위해 사용)와 변조 (modulation: 채널 특성에 맞도록 데이터를 변경해 주는 방법) 기법들을 메모리의 신뢰성을 높이는 데 적용할 수 있다 <그림 7>.

초창기의 NAND Flash는 비교적 선풍이 큰 공정을 사용하는 SLC 이었기에 NAND Flash 자체의 신뢰도 수준이 제품으로써 요구되는 신뢰도 수준을 만족시킬



〈그림 7〉 메모리용 신호처리기술 [7]



〈그림 8〉 메모리 집적도별 신뢰성과 신호처리 기술

수 있었다 (〈그림 8〉의 A 영역). 집적도를 높이기 위해 scaling 및 MLC가 진행되면서 NAND Flash 자체의 신뢰도 수준만으로는 요구되는 신뢰도 수준을 만족시킬 수 없게 되어 ECC (error correction code)를 필요로 하게 되고 (〈그림 8〉의 B 영역), 이보다 집적도가 더 높아진 제품의 경우에는 ECC로도 요구되는 신뢰도 수준을 만족시킬 수 없게 되어 ECC 외의 다른 신호처리 기법도 함께 필요로 하게 된다 (〈그림 8〉의 C 영역).

IV. 메모리 오류제어 기술

메모리 저장장치에서는, 데이터를 저장할 경우에 발생할 수 있는 program 오류, P/E cycling이 증가하거나 FG에 저장된 전하가 누설 (charge loss)되어 발생하는 오류 및 메모리로부터 데이터를 읽어낼 때 발생하는 오류 등 여러 가지 요인에 의해 오류가 발생할 수 있다.

이러한 오류들은 다양한 방법으로 제어할 수 있으나 메모리 저장장치는 통신 시스템이나 magnetic/optical 저장장치와는 다른 특성을 나타내므로 기존 기법들을 그대로 적용하는 것은 적절하지 않다.

데이터 저장장치에서는 데이터를 읽어내는 시점이 데이터를 저장하는 시점과 차이가 많이 나는 것이 일반적이므로 ARQ (automatic repeat request) 또는 Hybrid-ARQ (FEC + ARQ)방식을 사용하는 것이 매우 제한적인 반면 FEC (forward error correction) 방식은 비교적 쉽게 사용할 수 있다. 메모리에서 데이터를 읽어낼 때 발생하는 오류는 random 특성을 가지므로 HDD (hard disk drive) 또는 optical storage에서 일반적으로 사용되는 RS (Reed-Solomon) 부호 대신에 BCH (Bose-Chaudhuri-Hocquenghem) 부호가 주로 사용되고 있다. 데이터 저장장치에서는 FEC 방식과 함께 저장된 데이터를 반복해서 읽어냄으로써 읽어낸 데이터의 오류를 줄여 주는 기법이 널리 사용되고 있는 데 이 기법은 메모리 저장장치에도 적용될 수 있다.

NAND Flash의 집적도가 향상되면서 메모리 자체의 신뢰도가 낮아짐에도 불구하고 응용시스템에서 요구되는 신뢰성수준은 동일하므로 LDPC (low density parity check) 부호와 같이 BCH 부호[8]보다 정정능력이 우수한 ECC를 필요로 하는 경우도 발생한다. LDPC 부호가 BCH보다 우수한 정정 능력을 발휘하기 위해서는 저장장치로부터 연판정 데이터 (soft decision data)를 얻어내야 하는 데 이러한 정보를 얻어내는 것이 통신시스템 및 magnetic/optical 저장장치 대비 쉽지 않으므로 이를 효율적으로 얻어내기 위한 방법들에 대한 연구도 필요하다.

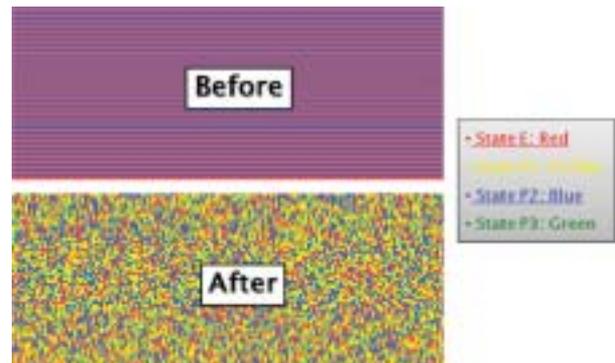
메모리 저장장치에서 ECC를 적용하는 데 또 다른 제약 사항은 매우 높은 부호율을 갖는 ECC를 사용해야 한다는 것이다. 통신 시스템에서는 1/2 또는 1/3 정도의 부호율을 갖는 ECC를 사용하여도 별 문제가 없지만, 메모리 저장장치에서는 일반적으로 0.8 이상의 ECC가 사용된다. 이는, 집적도를 높여서 메모리 제조 비용을 줄이는 것이 목적인 데, ECC 부호율을 낮추게

되면 ECC parity 저장을 위한 spare cell을 늘려야 하므로 집적도를 높이는 효과가 감소하기 때문이다.

V. Randomizer

NAND Flash에 저장되는 데이터가 규칙적인 pattern이거나 특정 데이터가 연속인 pattern일 경우 back pattern dependency나 coupling현상으로 인해 신뢰성저하가 발생하는데 이를 완화시켜주기 위해 randomizer를 적용한다. Back pattern dependency는 random program 이나 page 순서에 의한 min-max program시 먼저 program 된 cell이 주위 다른 cell의 계속되는 program으로 인하여 string의 저장 성분이 증가되고 이로 인하여 read 동작시의 문턱전압 상승을 가져오는 것을 말한다. 다시 말해서, NAND Flash program/read 동작 시 동일 WL (word line) / BL (bit line)내의 인접한 cell state의 pattern에 따라 문턱전압이 변하는 현상이다. 또한 coupling은 주어진 cell의 인접한 cell의 문턱전압 값의 변화 크기에 비례하여 해당 cell의 문턱전압이 증가하는 현상을 말한다. Randomizer를 사용하여 state별 cell의 개수가 균등하게 만들어주면 특정 pattern에 따라서 cell의 문턱전압이 크게 왜곡되는 현상을 회피하여 신뢰성을 개선할 수 있다.

Randomizer를 사용해서 모든 가능한 worst pattern을 막을 수 있는 것은 아니지만 저장하려는 데이터에 따라서 발생할 수 있는 전형적인 worst pattern이 기록될 확률을 감소시킬 수 있다. 좋은 pattern과 나쁜 pattern의 발생확률은 저장될 데이터 종류에 따라서 다르기 때문에 randomizer를 적용함으로써 좋은 pattern과 나쁜 pattern이 미치는 영향을 완화시킬 수 있다. 특히 나쁜 pattern의 영향이 줄어들기 때문에 신뢰성 향상에 randomizer가 기여를 하게 된다. 메모리에서의 cell은 2차원적으로 배열되어 있으므로, randomizer 역시 WL방향 및 string 방향으로 random 특성을 갖도록 설계되어야 충분한 효과를 얻을 수 있다.



〈그림 9〉 Randomizer 적용 예 [7]

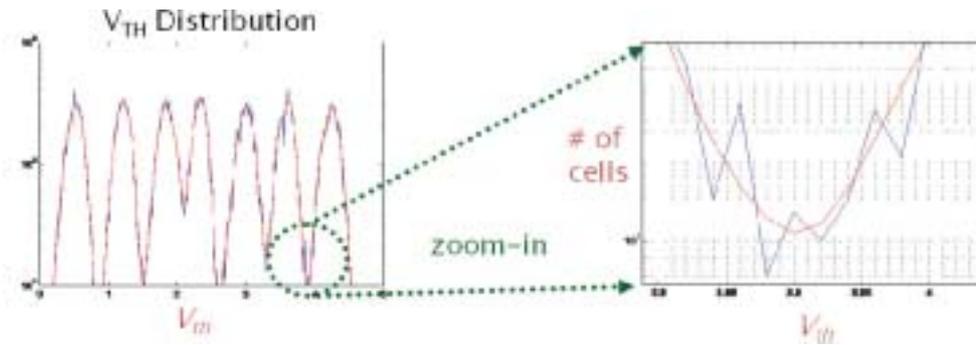
〈그림 9〉은 2-bit/cell MLC NAND Flash에 randomizer를 적용한 예를 나타내는 것으로 적용 전에는 erase (E)와 P2 상태 (E-P2 pattern)가 각각 50%씩이었던 것이 적용 후에는 4가지 state가 균등하게 나타나는 것을 보여 주고 있다.

VI. Read Level Control

NAND Flash로부터 데이터를 읽어내는 방식에 따라 메모리 자체의 오류 수준이 달라질 수 있는데, 이는 ECC의 동작영역을 확보하는 데에도 매우 중요한 역할을 한다. NAND Flash 메모리로부터 데이터를 읽어낼 때 error가 적게 발생하도록 읽어내는 방법에 대해서는 많은 연구가 진행되고 있는데, 여기서는 LPF (low pass filter)를 적용하여 local minima를 제거하여 효율적인 read level을 찾는 방법을 소개하고자 한다. 〈그림 10〉에서 파란색 선은 LPF적용전의 산포를 나타내며 빨간색 선은 LPF를 적용한 후의 산포를 나타내는 데, LPF 적용 후에는 high frequency 성분인 local minima가 제거되는 것을 볼 수 있다.

VII. 기타 신호처리 기술

위에서 언급된 기술 이외에도 NAND Flash의 신뢰성 향상을 위해 coded modulation, modulation coding등이 연구되고 있다. Coded modulation은



〈그림 10〉 LPF 적용 예 [7]

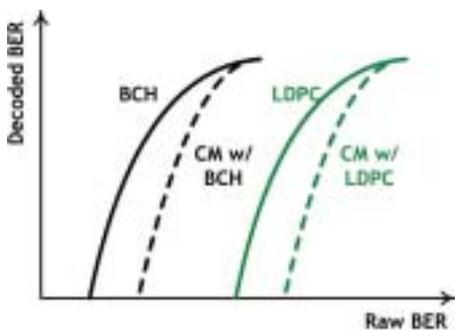
bit-to-signal (program state) mapping과 ECC를 효율적으로 결합하여 신뢰성을 향상시키는 신호처리 기법으로, 〈그림 11〉 (a)와 같이 ECC와 modulation의 결합을 통해 신뢰성 이득을 얻을 수 있다. 특정 데이터 패턴에 의한 신뢰성 저하를 방지하기 위해서 modulation coding도 고려되고 있다. 〈그림 11〉 (b)는 E상태와 P3상태가 연속적으로 나타나는 패턴을 방지하기 위한 modulation code 설계의 예제이다.

VIII. 결론

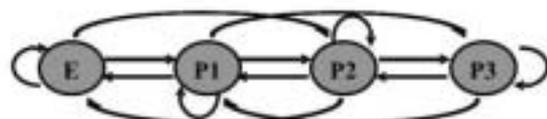
본고에서는 NAND Flash의 집적도를 높이기 위해 일반적으로 사용되고 있는 scaling 및 multi-leveling 기법을 소개하고 이에 따르는 신뢰성 저하문제 및 이

를 해결하기 위한 일부 기술들에 대하여 살펴보았다. 통신 시스템 및 magnetic/optical 저장장치에서 일반적으로 사용되고 있는 ECC 및 channel 신호처리 기법들을 적용하는 것이 가능하나 메모리 채널 특성에 맞도록 변경하는 것이 필수적이다.

본문에서 언급된 ECC, randomizer 그리고 read level control 및 coded modulation등의 기술들은 NAND Flash의 신뢰성 향상을 위해서 적용된 신호처리 기술들인데, eMMC (embedded multimedia memory controller) 및 SSD와 같은 응용제품의 신뢰성까지 고려된 시스템 레벨의 신호처리 기술들도 함께 연구하여야 한다.



(a) Coded modulation 적용 효과



(b) Modulation Code 예

〈그림 11〉 기타 신호처리 기술 [9, 10]



참고문헌

- [1] B. Riccò, G. Torelli, M. Lanzoni, A. Manstretta, H. E. Maes, D. Montanari, and A. Modelli, "Nonvolatile Multilevel memories for digital applications," Proc. IEEE, vol. 86, pp. 2399–2423, Dec. 1998.
- [2] K. Prall, "Scaling nonvolatile memory below 30nm," in Tech. Dig. Nonvolatile Semiconductor Memory Workshop, pp. 5–10, 2007.
- [3] C. Trinh, N. Shibata, T. Nakano, M. Ogawa, J. Sato, Y. Takeyama, et al., "A 5.6MB/s 64Gb 4b/cell NAND flash memory in 43nm CMOS," ISSCC Dig. Tech. Papers, pp. 245–246, Feb. 2009.
- [4] http://www.storagereview.com/samsung_ssd_830_review_256gb
- [5] 이두진, 한태희, "SSD 컨트롤러 최적 설계 기법" 대한전자공학회 논문지 제 48권 SD편 4호, pp 45 ~ 52.
- [6] Carla Lay, "Next-Generation Storage and the Mobile Computing Ecosystem," Flash Memory Summit 2012
- [7] 공준진, 메모리용 오류정정기술 워크샵, 대한전자공학회, 2011.10.26.
- [8] F. Sun, K. Rose, and T. Zhang, "On the Use of Strong BCH Codes for Improving Multilevel NAND Flash Memory Storage Capacity," IEEE Workshop on Signal Processing Systems (SiPS): Design and Implementation, Oct. 2006.
- [9] 설창규, 유영건, 손흥락, 공준진, "A Novel Coded Modulation Scheme for Reliability Improvement of NAND Flash Memory System" 한국반도체 학술 대회, Feb. 2012
- [10] 김용준, 손흥락, 김재홍, 조경래, 공준진, 이재진, "RLL Codes for Flash Memory," 통신정보합동학술대회, April. 2010.



공준진

1986년 2월 한양대학교 전자공학과 학사
 1988년 8월 한양대학교 전자공학과 석사
 2005년 4월 미네소타대학교 전기컴퓨터공학과 박사
 1989년 7월~현재 삼성전자

〈관심 분야〉
 Channel Signal Processing, VLSI Architecture Design



손흥락

1996년 2월 전북대학교 제어계측공학과 학사
 1998년 2월 전북대학교 전기공학과 석사
 2003년 2월 전북대학교 전자공학과 박사
 2005년 2월~현재 삼성전자

〈관심분야〉
 Channel Signal Processing, Mixed Mode Circuit Design



설창규

2003년 2월 포항공과대학교 화학공학/전기전자공학과 학사
 2010년 2월 포항공과대학교 전기전자공학과 박사
 2010년 2월~현재 삼성전자

〈관심분야〉
 Channel Signal Processing