

TSV의 동향과 발전 전망

박기덕 (SK하이닉스)

I. 서론

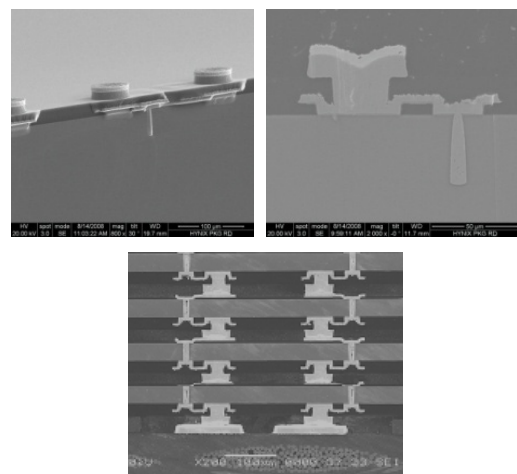
반도체 집적도의 한계는 어디인가? SK 하이닉스가 경쟁사를 제치고 20nm급 64Gb 낸드 플래시를 개발했다는 뉴스를 접한 지 2년이 지난 현재 10nm급 낸드 플래시 개발 및 양산을 위해 반도체 회사들은 여전히 숨 가쁜 경쟁을 벌이고 있다^[1]. 지금까지 반도체 산업은 미세공정을 통한 트랜지스터 집적도 향상과 패키지 기술 발전을 통한 가격 경쟁력 확보를 통해서 발전해 왔다. 그러나 최근 반도체 공정기술이 20~30nm 급의 초미세공정에 다다르면서, 미세공정을 구현하기 위해서 투자되는 비용이 크게 증가하여 집적도 향상에 의해서 얻을 수 있는 이익이 경제적 채산성을 담보하기 어려워지고 있다. 또한 공정이 미세화 함에 따라서 발생하는 누설 전류의 양이 증가하게 되고, 감소된 배선 크기 때문에 증가되는 딜레이를 보정하기 위하여 리피터의 사용이 늘어나기 때문에 전력소모의 효율이 낮아지게 되는 문제도 발생한다.

따라서 이와 같은 2차원적 단일 칩 집적도 향상의 한계를 3차원적 칩배치를 통해 해결하기 위한 새로운 칩제작 방식인 3DS(3-Dimensional Stack) 또는 TSV(Through Silicon Via) 기술이 최근 활발히 연구되고 있다. 이와 같은 TSV 기술은 단위 면적당 트랜지스터 집적도, 패키지 집적도, 높은 대역폭 구현을 통한 성능향상 및 전력효율 향상이라는 장점을 지니고 있다.

본 논문의 구성은 다음과 같다. II장에서는 TSV 기술의 정의와 특징점을 설명하며, III장에서는 현재 학계와 산업계의 TSV 기술 개발의 현황을 제시한다. IV장은 TSV를 상업화 하는데 문제가 되는 이슈 사항을 정리하며, 마지막으로 V장에서 결론을 맺는다.

II. TSV의 특징

TSV 기술이란 실리콘 앞뒷면에 구멍을 뚫고, 구리 등의 도체를 채워서 전기적으로 연결하는 기술을 의미한다. 이를 통해서 와이어 본딩(wire bonding) 없이 다수의 실리콘 다이(silicon die)를 3차원적으로 배선 연결하는 것이 가능하게 된다. 이는 와이어 본딩을 사용하는 3D IC(3-Dimensional Integrated Circuit) 기술과 근본적으로 다른 특징이며, 이를 통해서 배선의 신호 무결성(signal integrity, SI) 특성을 향상시킬 수 있으며, 배선 연결 공간의 활용도를 높일 수 있는 장점을 얻을 수 있다. 즉 연결 라인의 수를 TSV를 통해서 수천 개 이상으로 증가시킴으로써 데이터 대역폭을 크게 향상시킬 수 있으며, 수직 배선연결을 통해 라인의 길이를 감소시킴으로써 연결단자의 로드와 신호전달을 위해서 필요한 전류량을 줄일 수 있는 장점이 있다. <그림 2>, <그림 3> 및 <그림

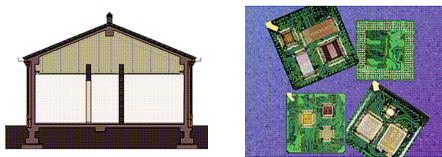


<그림 1> TSV 형성 현미경 사진 예시

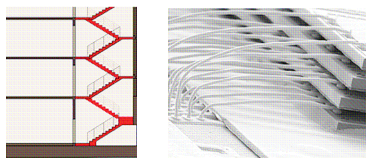
4)는 2D SiP(2-Dimensional Silicon in Package), 3D IC 기술과 TSV 기술의 차이점을 건축물에 비유해서 설명하는 그림이다^[2]. 2D SiP 기술은 <그림 2>와 같이 단독 주택들이 평면에 흩어져 있는 경우에 해당되며, 단위 면적당 집적도가 가장 낮은 단점을 갖는다.

와이어 본딩을 이용한 3D IC기술은 <그림 3>에서 설명된 것과 같이 계단만으로 연결된 저층아파트와 같은 구조로서 가능한 스택의 개수에 한계가 있고 배선 공간 활용도가 낮은 단점이 있다. TSV 기술은 건물을 지을 때 계단과 엘리베이터를 동시에 사용하는 구조로서 <그림 4>와 같은 고층 빌딩에 해당한다. 따라서 기존의 와이어 본딩을 이용한 3D IC 기술에 비해서 많은 수의 실리콘 다이를 스택할 수 있으며, 높은 배선 공간 활용도를 얻을 수 있게 된다. 즉 TSV 기술은 칩 내부의 훨씬 작은 면적에 배선 배치가 가능해 불필요한 공간을 줄일 수 있는 장점이 있고, 신호의 전송경로를 최소화함으로써 신호특성을 향상시키며 동시에 전력소모를 줄일 수 있게 된다. 또한 본딩 영역을 최소화 할 수 있기 때문에 패키지의 경박 단소가 가능하다. 메모리의 경우 TSV 기술 적용 시 기존 공법 제품에 비해 2배~8배 이상 큰 대용량 제품을 구현할 수 있으며 이는 서버에 탑재하는 메모리의 용량을 크게 늘려 서버 시스템의 성능을 50% 이상 향상시킬 수 있을 것으로 예상된다.

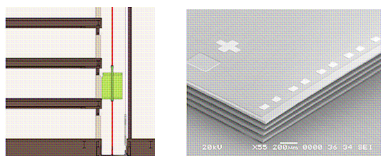
<그림 5>는 TSV 기술을 이용하여 칩 또는 시스템을 제작했을 때 얻을 수 있는 실장 면적 관점에서의 이점을 설명하는 그림이다. TSV 기술을 이용한 경우 기존의 2차원 배치에 비



<그림 2> 2D SiP (면적 소모도 많고 시스템의 성능도 저하됨)



<그림 3> 3D Stack with Wire Bonding (면적효율은 향상되나 시스템의 성능은 제한적임)

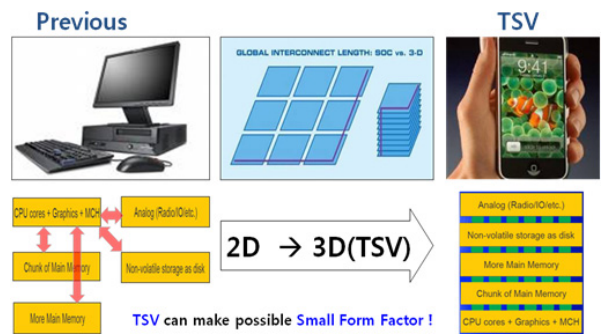


<그림 4> 3D Stack with TSV (Through Silicon Via, 작은 면적으로 시스템 구성 및 성능 극대화 가능)

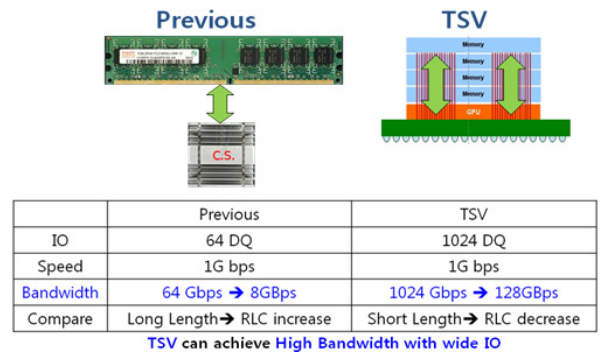
해서 공간을 획기적으로 줄일 수 있기 때문에, 휴대기기와 같이 소형화의 요구가 매우 큰 응용분야의 경우 TSV 기술의 필요성이 더욱 중요해질 것으로 예상된다. TSV 기술을 통해서 많은 수의 실리콘 다이를 스택하는 경우에도, 충분한 웨이퍼 백-그라인딩 (back grinding)을 통해서 전체 최종 패키지의 두께를 원하는 스펙 내에 맞추는 것이 가능하다.

<그림 6>은 TSV 기술이 성능향상에 도움이 되는 이유를 메모리 시스템의 예를 통해서 설명하는 그림이다. 기존의 방식대로 메모리 컨트롤러와 메모리 모듈간의 데이터 전송을 PCB를 통한 전송 방식으로 수행할 경우, 채널당 64개의 Data가 배정되고, PCB의 물리적인 특성상 100~200um 내외의 간격으로 전송신호라인을 2차원 배치를 해야 하기 때문에 버스 대역폭 확대에 제한이 있다. 이는 다층기판의 경우에도 마찬가지이다. 그러나 TSV 기술로 메모리 컨트롤러와 메모리 모듈을 연결하게 되면 데이터 전송신호 버스를 수천 개 수준으로 확장함으로써 전체 데이터 대역폭(Bandwidth)을 크게 향상시킬 수 있다. 추가적으로 데이터 전송라인의 길이와 크기에 의해 발생하는 저항과 캐패시턴스 로드(RLC Loading)도 상당히 감소시킬 수 있어서, 전송속도를 증가시킬 수 있으며, 이는 시스템의 전체적인 성능향상에 기여할 수 있다.

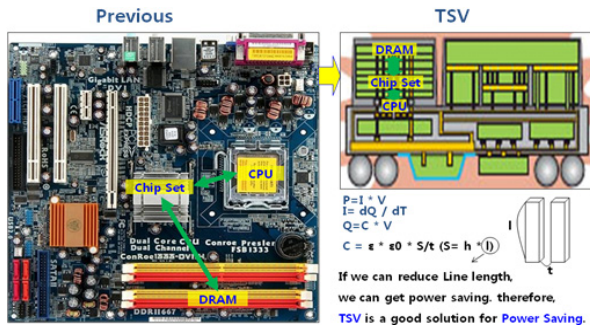
마지막으로 소비전력의 관점에서 TSV 기술이 가지는 장점을 <그림 7>에 설명하였다. 데이터 전송 시 배선라인은 특



<그림 5> TSV로 시스템을 Stack화하여 칩 제작 시 소형화 가능



<그림 6> TSV 기술은 기존의 PCB기술보다 Wide IO 구현 용이



〈그림 7〉 TSV로 시스템 제작 시 전송라인 로딩 감소로 소모전류감소

정 전위로 충방전을 반복하게 되는데, 이때 배선의 길이가 멀수록 전력 소모가 증가하는 것은 상식이다. 기존 시스템의 경우 각각의 부품이 수십mm 이상 떨어져 있기 때문에, 신호 전달 과정에서 많은 전력 소모가 발생하게 된다. 그러나 TSV 기술로 CPU나 콘트롤러, 메모리 시스템 등을 수직으로 연결하게 되면, 전송라인의 길이가 획기적으로 감소하게 되어 전체적인 전력 소모를 줄일 수 있다. 이러한 전력 소모는 전송라인의 커패시턴스에 비례하는 특성을 갖는데, TSV의 경우 길이 뿐 아니라 전송라인의 굵기 감소에 의한 표면적도 상당 부분 감소되어 데이터 전송 전류 감소에 기여 하게 된다. 굵은 전송라인의 직경은 열관리에도 유리한 장점을 수반한다.

Ⅲ. TSV의 동향

앞장에서 설명된 TSV 기술의 장점 때문에, 오래 전부터 학계와 산업계의 많은 관심과 더불어 다양한 연구들이 시도되어 왔다. 전반적인 동향 파악을 위해 해외에서 이루어진 주요한 연구들을 시기별로 정리하면 다음과 같다.

- 1980년대초 : 미국 NASA의 요청으로 관통전극을 이용한 3차원 칩 집적 기술을 GE에서 처음 개발하여 특허화 함.
- 1980년대중 : 일본의 반도체 기업들이 오늘날의 웨이퍼 레벨의 3차원 칩 집적 기술의 원형이 되는 기술들을 개발 함.
- 1990년대초 : 웨이퍼-웨이퍼 본딩 기술을 본격 개발 시작. IBM을 필두로 Micron(메모리 분야), Intel(CPU 분야) 이 참여 함.
- 1996년이후 : 미 국방성에서 군사용 복합칩 개발을 위해 MIT, Stanford, Georgia공대 등의 학교에 대규모 투자가 시작됨.
- 1990년대중 : 일본 토호쿠 대학, 독일의 Fraunhofer 연구소, 벨기에의 IMEC社에서 웨이퍼 레벨 3차원 칩 개발 이 시작됨.

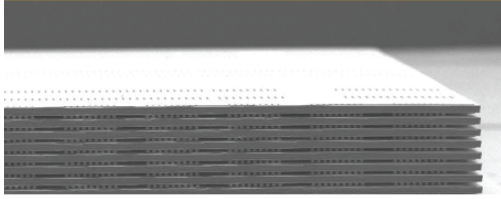
국내에서는 2000년 이후 지금의 SK하이닉스 및 삼성에서 웨이퍼 레벨 3차원 칩 구조 개발에 착수한 이후로 TSV 관련 기술 개발이 시작되어 현재에 이르렀으며, 주요한 연구결과들을 정리하면 다음과 같다.

- 2006년4월 : 삼성전자, TSV 기술로 8개의 NAND 플래시를 적용한 2GB NAND 플래시 메모리 발표 함.
- 2007년부터 : SK하이닉스, TSV를 활용한 그래픽 DRAM 개발을 시작함.
- 2008년 : 삼성전자, TSV로 512Mb DDR2 DRAM을 4개 적층하여 2Gb 칩을 개발함.
- 2010년 : 삼성전자, 40나노급 2Gb DDR3 D램을 3D-TSV 기술로 적용한 8GB DDR3 RDIMM 제품을 개발함.

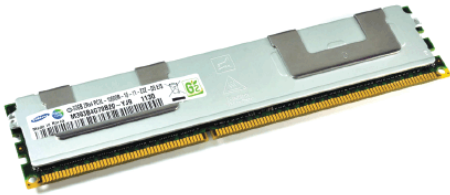
국내업계의 TSV 기술개발과 관련한 최근 결과로는 2011년 3월 SK하이닉스가 TSV 기술을 활용해 40나노급 2기가비트 DDR3 D램의 8단 적층에 성공했으며(〈그림 8〉), 같은 해 8월 삼성전자 또한 TSV 기술을 적용하여 기존대비 67%빠른 서버용 32GB RDIMM 개발하여 발표했다(〈그림 9〉)^[3].

최근 패키지 분야에서 가장 권위가 있는 국제학회인 ECTC 2011(electronic components and technology conference)에서는 3D 패키징 및 TSV 기술에 관련된 논문이 전체의 20% 정도인 60여 편의 논문이 발표되었으며^[4], SOVT 2012학회에서도 15개의 세션 중 2개의 세션이 TSV와 관련된 기술로 구성될 정도로 TSV 기술개발과 관련된 연구결과들이 성숙되어 가고 있는 것이 현실이다. 최근에 국제학회에서 발표된 주요 결과를 요약하면 다음과 같다. 28nm Wide IO Memory에서 Via middle방식의 Cu-TSV의 Stress 분석에 관한 논문을 TI(Texas instrument)에서 발표하였으며, TSV를 포함하는 3D IC의 Thermal Stress와 Device에 미치는 영향이 분석되었고(Univ. of Texas & SK Hynix), TSMC는 TSV용 Ultra-thin Interposer에 관한 연구결과를 발표하였으며, 동경대학에서는 3D Memory/Logic Application에서 Bumpless interconnection 공정기술을 개발하는 등의 활발한 연구가 진행되고 있다^[5].

국내에서도 이러한 TSV 기술과 관련한 교류 및 활동들이 최근 들어 급증하고 있으며 대표적인 사례들을 보면, 지식경제부 후원-KAIST 주관으로 개최되는 SK하이닉스, 삼성전자, 동부하이텍, 앰코, 한국전자통신연구원(ETRI), 전자부품연구원(KETI), 나노종합팹센터, 충북대 등 산학연 관련 단체들의 주관으로 '3D IC workshop' 이 개최되었으며, 대한전자공학회 주관의 '3-D TSV integration 워크숍' 이 매년 개최되어 3차원 집적 반도체(특히 TSV 기반의 3D IC)와 관련한 기술개발 현황과 주요 이슈 및 향후 발전 방향들이 활발히 공유



〈그림 8〉 하이닉스 DDR3 8단 적층



〈그림 9〉 삼성전자 32GB RDIMM

되고 있다. 실로 TSV의 시대가 임박하고 있음을 체감할 만큼 전 세계적으로 많은 활동들이 이루어지고 있다고 볼 수 있다.

IV. TSV의 Issue 및 문제점

앞장에서 설명된 것처럼 TSV 기술 개발과 관련된 다양한 연구 활동이 진행되고 있으나, 아직까지는 양산 가능한 정도로 TSV 구현 기술이 성숙되지는 못한 것이 현실이다. 실제로 현재까지 CMOS 이미지 센서를 제외하고는 전 세계적으로

TSV를 이용한 능동 칩이 양산에 적용된 경우가 없다. 이는 양산의 관점에서는 아직 해결해야 할 문제점들이 많이 남아 있음을 의미한다. 본 절에서는 이러한 문제점들과 Issue들에 대해서 살펴보고 이를 극복하기 위해서 어떤 기술 개발이 필요한지를 알아보도록 한다. TSV 양산의 문제점을 이해하기 위해서는 TSV 공정과 구조를 이해할 필요가 있다. 현재까지 소개된 TSV 형성 방식은 TSV를 어느 시기에 적용하느냐에 따라 Via first, Via middle, 및 Via last의 세 가지 정도로 구분할 수 있으며, 각 TSV의 형성 방식을 종류별로 각각의 특징과 함께 〈그림 10〉에 도시하였다. 먼저 Via First 방식은 TSV를 먼저 형성하고 나머지 공정 즉 액티브 소자 및 Metal line들을 나중에 형성하는 공정이며, Via Middle은 기존의 반도체 공정의 중간에 TSV를 형성하는 공정이다. 〈그림 11〉은 TSV 공정이 적용된 웨이퍼 제작이 완료된 후 3DS Stack으로 PKG를 제작하는 과정을 설명한 TSV Back End Process 과정을 설명하는 그림이다. 이러한 각각의 Process는 서로 다른 특징이나 장단점이 존재하는데, 공정 적합성이나 공정 시간, 설계 용이, 공간 활용도 등이 서로 다르며, 경우에 따라서는 아주 중요한 Cost Issue나 신뢰성과 관련한 문제가 대두되기도 한다.

넓게 보면 Cost Issue가 가장 중요한 판단 기준이라고 할 수 있으며, 이는 다이 크기, 제작기간, 테스트 시간, 수율(Yield), 신규장비 도입, 개발 리소스 등 포괄적인 내용까지 포함하는 문제이다. 예를 들어 신뢰성 이슈를 해결하기 위해서 품질을 강화하고자 하다 보면 수율이 낮아 저서 가격상승

	Process Scheme		특징
Via First			<ul style="list-style-type: none"> • TSV 형성이 Tr형성 이전에 진행됨 • 이후 공정의 열적 호환성을 위해 TSV Via fill 공정을 폴리실리콘으로 사용. • Align의 정확도가 중요함. • 설계가 용이함. PKG 어려움
Via Mid			<ul style="list-style-type: none"> • Tr 형성 후 Metal 공정 이전에 TSV형성 • 설계가 용이함. PKG 어려움 • TSV 물질로 주로 전도도가 좋은 Cu사용
Via Last from Front side			<ul style="list-style-type: none"> • TSV를 마지막 공정으로 형성(앞쪽면) • TSV 물질로 주로 전도도가 좋은 Cu사용 • 기존 PKG 공정과 호환성 양호. • CMP공정이 없어서 Cost에 유리 • 설계적으로 불리함
Via Last from Back side			<ul style="list-style-type: none"> • TSV를 마지막 공정으로 형성(뒷쪽면) • TSV 물질로 주로 전도도가 좋은 Cu사용 • 기존 PKG 공정과 호환성 양호. • CMP공정이 없어서 Cost에 유리 • 설계가 용이함. 뒷면 Patterning어려움.
After Bonding			<ul style="list-style-type: none"> • 본딩으로 Stack을 진행후에 TSV적용 • Mirror Type의 Chip design 필요

〈그림 10〉 TSV 형성 방법의 분류 및 특징

Process	설명
Wafer Thinning & Sawing	Back Grinding을 통해 Wafer를 얇게 만든 후 개별 Chip으로 분리하는 공정
Paste Dispensing	Substrate & chip에 Paste를 도포하는 공정
Flip chip Bonding	Substrate to chip & chip to chip을 Attach하는 공정
MOLD	PKG 외형을 EMC로 형성화하는 공정
Solder Ball Mount	Substrate에 Solder Ball을 부착하는 공정
Saw Singulation	Substrate의 제작된 PKG를 개별로 분리하는 공정

〈그림 11〉 TSV Back End Process(Wafer out후 3DS PKG 제작공정)

의 부담으로 연결될 수도 있다. TSV 형성 및 3D Stack 과정에서 발생할 수 있는 문제점과 장단점들을 TSV 형성 방식 (Via first, via middle, via last)에 따라서 간단히 설명하면 다음과 같다.

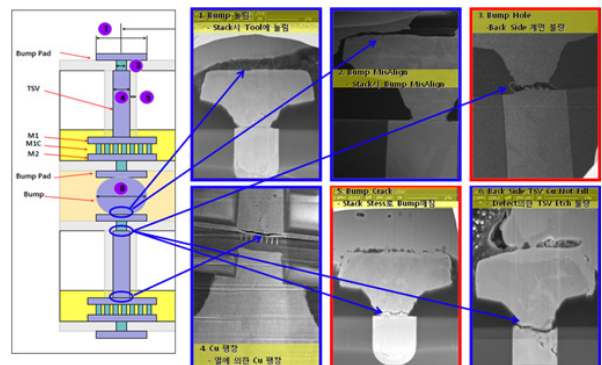
Via First의 경우 TSV 형성 후 소자를 제작하는데, 후속 소자제작 공정의 고온 공정에서 열적인 문제를 방지하기 위해 TSV를 채우는 물질이 전도도가 낮은 도핑된 폴리 실리콘을 사용해야 한다^[6]. Via Middle은 소자를 제작한 뒤 TSV를 형성하고 그 위에 Metal Line을 포함한 후공정을 진행하는 방식이며, TSV 물질은 텅스텐이나 구리를 사용하는데, 텅스텐의 경우는 내부응력이 강해 증착 두께에 제한이 있어서 대개 구리를 사용한다. Via Last는 웨이퍼 공정을 완료한 후에 TSV를 형성하는 방법이므로 TSV 공정이 없는 파운더리에서도 제작이 가능하다는 장점이 있다. Via First나 Via middle공정의 장점은 TSV 크기를 작게 할 수 있고, TSV 상부에 Metal Routing 등을 이용할 수 있는 가능성도 있어서 설계적으로 유리하다.

일반적으로 TSV 형성 공정에 있어서 발생할 수 있는 문제점들은 다음과 같다. TSV가 능동소자에 스트레스를 줄 수 있으며, 확산성이 좋은 구리가 공정 과정 또는 이후에 실리콘 내부로 확산하면서 신뢰성에 영향을 미칠 수 있다. TSV 형성 시 내부에 Void(공극)가 형성되는 문제가 발생하기도 하며, TSV를 구리로 하는 경우 열팽창 특성에 의한 TSV Protrusion 등의 문제들이 야기될 수도 있다. 또한 Wafer제작 완료 후에는 경제성을 고려한 테스트와 불량분석의 방법론이 필요하며, TSV 불량이 발생했을 때 리던던시를 이용하여 수율을 향상시키기 위한 방법론도 필요하다. 또한 테스트 시 Probing 과정에서 Pad 표면에 스크래치가 발생하게 되는데 이것이

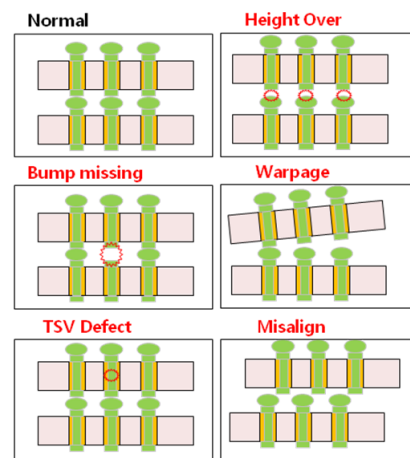
3D stack을 위한 마이크로범퍼 공정에서 문제가 될 가능성이 커서 테스트 조건이나 횡수에도 영향을 받게 된다.

최근 TSV의 주된 이슈는 TSV 재료로 주로 사용되는 구리와 관련된 것이 많다. TSV 형성 물질인 구리와 주변 물질의 열팽창계수 차이에 의한 Protrusion과 구리 확산에 의한 신뢰성 등이 그것이다. 이를 해결하는 방안으로는 구리의 양을 줄이면서 공정마진을 확보하는 방법을 많이 사용한다. 예를 들면 TSV 개수 또는 크기를 줄이거나 웨이퍼를 더 얇게 하는 방법 등이 있다. 하지만 TSV 크기를 줄이는 것은 패키지 제작 시 마이크로 범퍼공정의 마진이 줄어드는 문제가 있고, 웨이퍼 두께를 얇게 하는 것은 워피지(Warpage)라고 부르는 웨이퍼 휨현상(웨이퍼가 얇은 나무판처럼 뒤틀리는 현상)이 과도하게 발생하여 패키지 제작 시 불량률을 높일 우려가 있다. 〈그림 12〉와 〈그림 13〉은 각각 TSV 불량 유형과 TSV 패키지 과정에서 발생하는 불량유형을 설명한다^[7]. 마이크로범퍼가 생략되거나, 워피지나 TSV 공정과정의 Void 등에 의한 결함으로 저항이 기준이상 증가하기도 하고, 열라인이 맞지 않아서 불량이 발생하기도 한다.

이러한 불량들은 패키지 수율(Yield)로 직결 되는데, 특히 TSV 개수가 늘어나면 TSV 불량이 칩 내에 발생할 확률은 급



〈그림 12〉 실제 TSV의 불량 양상



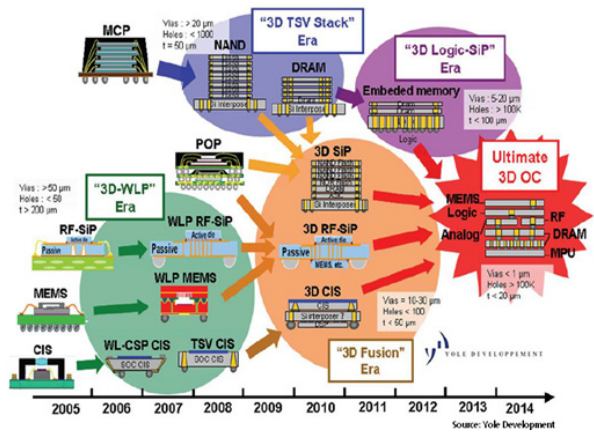
〈그림 13〉 패키지 과정에서의 불량 유형 예시

격히 증가 할 수 있다. 이에 대한 대비책으로 TSV 공정 및 PKG 공정을 최적화하고 불량 TSV 다이를 스크린 해야 하며, 보다 적극적인 방법으로 불량 TSV를 설계 시 미리 준비해 둔 여분의 TSV로 교체(Repair)하는 방법도 고려해야 한다.(**그림 14**)참조)

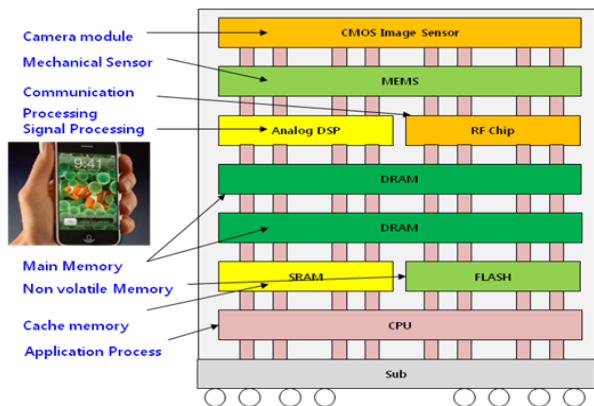
(**그림 15**)에는 메모리 기반의 TSV 제품에 대해 분야별로 필요한 TSV 개수와 특징을 나타내었다. 전반적인 메모리 응용분야의 경향이 고속/저전력 및 고대역폭(High Bandwidth)을 요구한다는 것을 감안하면, 필요한 TSV 개수는 계속 증가 할 것으로 예상되기 때문에, 이로 인한 수율 저하문제에 대비해야만 할 것이다. 이 외에도 TSV 공정 및 3D Stack 공정은 기존 공정 대비 제작 기간이나 테스트 기간도 상당 부분 증가 하는데, 이 또한 비용과 직결 되는 이슈이기 때문에, 반드시 해결되어야만 TSV 기술의 양산 시점을 앞당길 수 있을 것이다.

(**그림 16**)은 3D Interconnection Tech Roadmap을 도시한 것이다. 가로축의 해당 연도는 개발 측면의 시기로 볼 수 있으며 양산 적용은 이로부터 2~3년 뒤로 예상할 수 있다. CIS에 이어 TSV 기술의 양산 채택 순서에 대해서는 DRAM, Memory on Logic, Logic on Logic, Flash의 순서로 이어질 것으로 예상하고 있다. 기술개발 경쟁은 이미 시작되었으며, 어느 정도 양산에 가까운 결과를 만들어 내고 있다.

(**그림 17**)은 미래의 TSV 칩 예상도를 도시한 것이다. 한마디로 모든 시스템의 칩이 합쳐져서 TSV를 통해 원칩화 하는 것이다. 또한 TSV 크기도 작아져서 칩의 소형화 및 성능은 더욱 강화될 것으로 예상된다. 또한, SoC 개발에 있어 modularity를 향상시킬 수 있다는 점이다. (**그림 17**)의 도식과 같이, 현재의 CPU의 경우 Cache 메모리를 on-chip에 구



(**그림 16**) 3D Interconnection Tech Roadmap



(**그림 17**) 미래의 TSV 칩 예상도

성하는데, 주로 Cache 메모리로 사용되는 SRAM에 의해 Chip 수율의 저하와, leakage current에 의한 불량이 발생된다. 이때 도식과 같이 SRAM 다이를 분리하여 제조하고 stack을 하는 경우, 상기의 불량에 의한 CPU die의 yield 증가 및 불량 감소를 기대할 수 있다. 또한 SoC의 제작에 있어 technology scale down이 필요하지 않은 analog부나 전원 회로 등은 값 싼 제조 공정으로 제작하고, Core 로직만을 고성능을 낼 수 있는 공정을 사용하여 제작하여 각각을 stack 하거나 interposer를 이용하여 집적하는 경우, chip 제조 공정 비용의 절감과 개발 기간의 단축을 얻을 수 있다.

TSV불량확률=1% 가정시 Yield계산

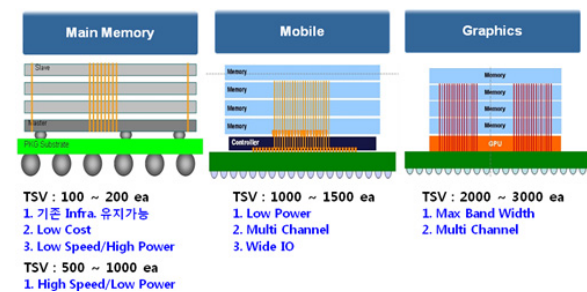
Case 1 : 칩내 TSV수가 100ea 일때 Chip Yield=(0.99)¹⁰⁰= 36.6%

Case 2 : 칩내 TSV수가 1000ea 일때 Chip Yield=(0.99)¹⁰⁰⁰= 0.004%

Solution

1. TSV 및 패키지 공정 최적화 및 불량 TSV Screen
2. TSV Repair(설계시 여분의 TSV 준비)

(**그림 14**) TSV 수에 따른 칩내 TSV불량 존재 확률



(**그림 15**) 메모리 제품별 TSV 개수와 특징

V. 결론

향후 Computer system의 동작 성능 및 power 소모를 감소시키기 위한 요구들은 계속 증가할 것으로 예상된다. 현재의 PCB기판상의 신호 배선을 통한 신호 전송 방식이 동작 성능(Bandwidth/Latency)과 전력 소모를 줄이는데 한계에 다다른 상황에서 향후 TSV를 이용한 Chip Stack기술은 이에 대한 해결책으로써 그 실현에 가장 근접한 기술로 기대되고

있다. 현재 TSV 형성 및 패키지와 관련하여 다양한 연구결과가 발표되었으며, 양산과 관련된 여러 가지 이슈들(수율 향상, 테스트방법론 개발, 신뢰성 확보)을 해결하기 위해서 산업계가 경쟁하고 있다.

가까운 미래에 메모리 제품군을 필두로 하여 다양한 분야에서 TSV를 이용한 chip stack 기술의 상용화가 이루어질 것으로 예상하고 있다.

참고문헌

- [1] SK하이닉스 낸드플래시 추가양산 파이낸셜뉴스 2012-03-27.
- [2] Amkor.com/webzine/1102/
- [3] 하이닉스, TSV 기술 적용 세계 최대용량 D램 개발, 이투캐스트 2011-03-09, 삼성전자, TSV 기술 적용 32GB D램 모듈 개발, 이투캐스트 2011-03-09.
- [4] I-Micronews Jun 6th, 2012.
- [5] The 2012 Symposium on VLSI Technology and The 2012 Symposium on VLSI Circuits.
- [6] 전자통신동향분석 제25권 제5호 2010년 10월, 제27권 제1호 2012년 2월.
- [7] TSV issue of main memory, SK하이닉스, 3D IC Work Shop 2011.
- [8] TSV Development for Memory, SK하이닉스, 3D TSV Intefration Workshop 2010, 대한전자공학회 반도체 소사이어티.
- [9] 실리콘 관통전극을 이용한 반도체 II SMT Packaging focus 2012-03-04.
- [10] 3D TSV IC 디지털 타임즈 2011-01-10-18면, 2010-12-08-22면.



박기덕

1988년 2월 경북대학교 물리학과 학사.
1990년 2월 경북대학교 물리학과 (고체물리학석사).
1994년 6월 하이닉스 입사.
현재 SK 하이닉스 연구소 선행설계그룹 선행설계TSV팀.
<관심분야> 메모리 및 TSV 설계