

# 고속 DRAM interface

최정환 (삼성전자)

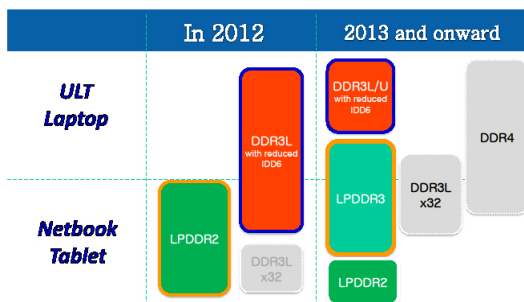
## I. 서론

IT산업의 요구와 집적 회로 기술의 발전에 따라 DRAM (Dynamic Random Access Memory) 성능은 급격하고 다양하게 발전하여 왔다. 초기의 DRAM은 개인용 컴퓨터 (Personal computer) 의 주 메모리로 사용되었으나 최근에는 대부분의 디지털 기기의 임시 저장용으로 사용되면서 응용처가 확대되어 가고 있다. 이러한 응용 제품들은 각기 다른 특성을 요구하고 있다. 예를 들면, 개인용 컴퓨터는 빠른 동작 속도 위주로 발전하여 왔고, 서버 시스템(Server System)은 대용량 및 소비전력이 낮은 제품을 요구하고 있다. 또한 최근의 모바일용(Mobile) 제품은 사용시간 및 대기시간과 늘리기 위한 초 절전 소비전력용 DRAM을 필요로 하고 있다. 이와는 다르게 그래픽(Graphic) 처리부분에서 있어서는 소비전력 보다는 최대 동작 대역폭(Peak bandwidth)을 우선시하고 있다. 이렇듯 다양한 요구조건을 만족하기 위해서 여러 가지 제품이 개발되고 있으며 (<그림 1>), 데이터(data) 전송에 관여하는 입출력(IO interface) 회로 또한 함께 변화하고 있다. 이러한 DRAM의 요구에 따른 다양한 입출력 회로

의 필요성과 이를 구현한 다양한 기술들에 대해서 소개하고자 한다.

## II. 관련 제품

일반적으로 메모리는 플래쉬(Flash) 메모리와 같은 비휘발성 메모리와 SRAM(Static Random Access Memory), DRAM 등의 휘발성 메모리로 구분되어 진다. 두 구분의 차이는 동작 전압이 인가되지 않았을 때 메모리에 저장된 데이터(data)의 손실 유무로 나뉘는데, 휘발성 메모리는 전원이 공급되어야만 데이터를 유지할 수 가 있다. 그 중에서도 SRAM은 래치(latch)에 데이터를 저장하기 때문에 전원만 켜져 있다면 데이터 손실(loss)이 발생하지는 않는다. 하지만 DRAM은 커패시터(capacitor)에 전하를 저장하는 방식을 사용하기 때문에 시간에 따른 방전에 의한 전하손실을 보존하기 위해서 주기적으로 리프레쉬(refresh)를 해주어야 한다. 또한 적은 양의 전하가 저장된 셀(cell)에서 데이터를 쓰거나 읽어내야 하기 때문에 일정 시간 지연 시간이 필요하다. 즉 이러한 DRAM의 휘발성으로 인해 공정이 스케일링(Scaling) 되더라도 데이터를 쓰거나 읽기 위한 또는 데이터를 리프레쉬를 하기 위한 절대적인 시간이 필요하게 된다. 일반적으로 약 수십 nS 정도의 시간이 필요하다. 그에 반해 처리해야 하는 정보량은 기하급수적으로 늘어나고 있으므로 보다 효율적인 데이터 전송방법이 필요하게 된다. 데이터 전송을 늘리기 위한 방법은 데이터 BUS(전송라인)를 늘이거나 데이터 신호를 빠르게 하는 두 가지 방법이 있다. 전자의 경우 4-bit, 8-bit, 16-bit, 32-bit 등의 입출력 버스(BUS) 수의 확장으로, 후자는 SDR(Single Data Rate), DDR(Double Data Rate), QDR(Quad Data Rate),



<그림 1> possible solution for ULT/Tablet(JEDEC)

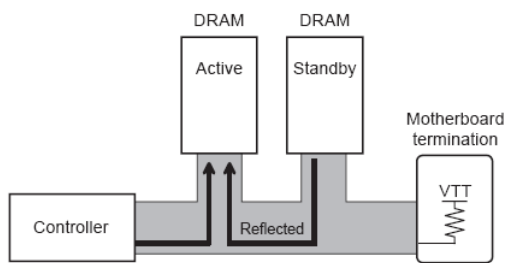
XDR(Extreme Data Rate = Octal Data Rate) 등의 데이터 전송속도 향상이 이루어져 왔으며, 그에 따른 고유의 DRAM명칭을 가지게 되었다.

### 1. Main DRAM

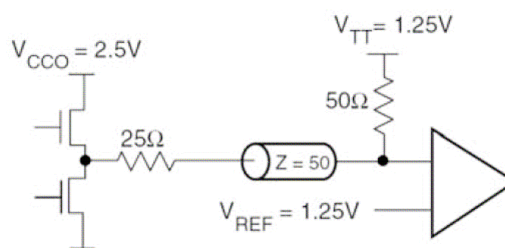
주 메모리(Main memory)로써의 DRAM의 역사는 FP(Fast Page), EDO(Extended Data Out)등을 시작으로 현재는 DDR 계열로 이르게 된다. 일반적으로 DDR1은 2.5V, DDR2는 1.8V, DDR3는 1.5V의 전원전압을 사용하고 있다. 신호(Signal)의 레벨(Level) 측면에서 대부분의 DRAM IO interface signal은 기본적으로 SSTL(Stub Series Terminated Logic)을 사용한다.

SSTL이라고 이름이 붙여지게 된 이유는 <그림 2>에서 볼 수 있다. DDR DRAM의 경우 모듈(module)에 장착이 되어 여러 개가 하나의 컨트롤러(MCH)에 연결이 된다. 이 경우 최대 4개 정도까지 모듈이 장착되는데 고속으로 동작하는 신호의 반사파를 제거하고 신호 폭(eye window)을 키우기 위해서 신호가 전송되는 모듈의 전송선(Bus)에 직렬 저항을 붙인다. 그리고 여러 개의 모듈이 장착되는 모양이 마치 Series Stub형태를 가지기 때문에 이를 SSTL이라고 명칭 하였다.

SSTL은 CMOS 레벨인 0와 VDD 전압보다 약간 작은 레벨로서 “1”과 “0”의 데이터를 전송한다. <그림 3>을 보면 DDR1의 경우 2.5V 제품이기 때문에 CMOS동작을 위해서 0V과 2.5V스윙(Swing)을 함으로써 데이터를 구분해야 한다. 하지만 전송선 손실(loss) 및 반사(Reflection) 영향으로 0~2.5V 스윙을 하지 못한다. 따라서 이러한 작은 스윙을 증폭할 수



<그림 2> DDR1 MBT(Motherboard Termination)



<그림 3> DDR1 SSTL25 modeling

Parameter	Min	Typ	Max
V <sub>CCO</sub>	2.3	2.5	2.7
V <sub>REF</sub> = 0.5 × V <sub>CCO</sub>	1.15	1.25	1.35
V <sub>TT</sub> = V <sub>REF</sub> + N <sup>(1)</sup>	1.11	1.25	1.39
V <sub>IH</sub> ≥ V <sub>REF</sub> + 0.18	1.33	1.43	3.0 <sup>(2)</sup>
V <sub>IL</sub> ≤ V <sub>REF</sub> - 0.18	-0.3 <sup>(3)</sup>	1.07	1.17
V <sub>OH</sub> ≥ V <sub>REF</sub> + 0.61	1.76	1.82	1.96
V <sub>OL</sub> ≤ V <sub>REF</sub> - 0.61	0.54	0.64	0.74
I <sub>OH</sub> at V <sub>OH</sub> (mA)	-7.6	-	-
I <sub>OL</sub> at V <sub>OL</sub> (mA)	7.6	-	-

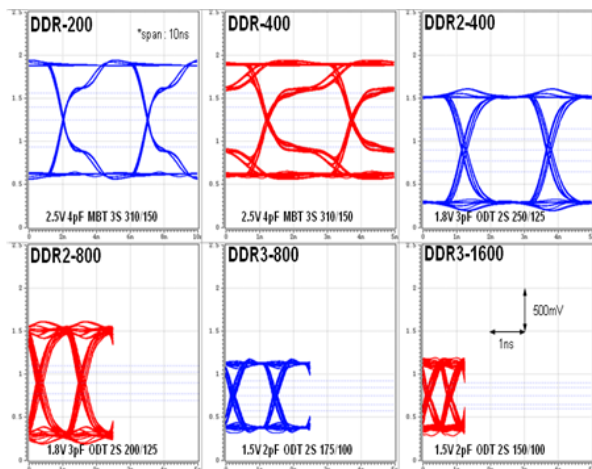
<그림 4> SSTL Identification

있는 입력 버퍼가 필요하게 된다. <그림 4>는 이러한 SSTL의 규격을 나태 내고 있다. 이와 동일한 구조나 단지 동작전압만 다른 종류의 Interface 규격이 DDR2(SSTL18), DDR3(SSTL15)에서도 사용이 되었다.

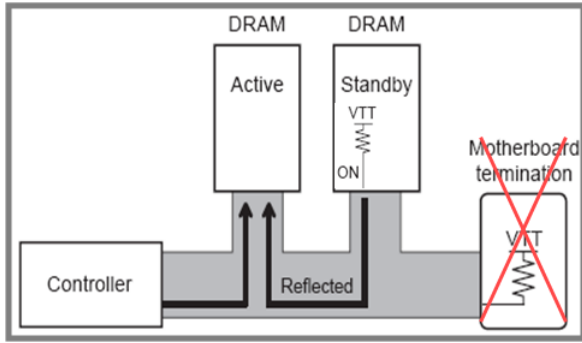
SSTL 방식은 0.5VDD(Half Supply Voltage)를 기준으로 데이터가 움직이기 때문에 입력 버퍼 단에서는 0.5VDD에 해당하는 기준전압(VREF)을 가지고 데이터를 판단할 수 있어야 한다.

스피드(Speed) 특성으로 DDR1은 최대 400Mbps를 동작할 수 있도록 정의되었다. 1 bit의 데이터를 전송하는데 단지 2.5nS가 걸리는 것이다. DDR2의 경우는 800Mbps, DDR3의 경우는 1600Mbps의 속도로 데이터를 송수신 할 수가 있다. 하지만 <그림 5>에서처럼 데이터 속도는 제품 전환에 따라서 2배의 속도로 빨라지는데 반해 오히려 전압은 2.5, 1.8, 1.5V로 계속 감소하는 추세를 보이고 있다.

이를 대응하기 위해서 몇 가지 방법들이 사용되었다. 우선 전송하는 신호의 진폭을 줄여 서 동일한 slew rate을 유지하면서 속도를 개선할 수가 있다. 다른 추가적인 방법으로 최대 로 장착될 수 있는 슬롯(slot) 즉 DRAM 모듈이 장착되는 소켓(socket)의 수를 감소시켜 신호 로딩(loading)을 줄여 왔다. DDR1의 경우 4개, DDR2의 경우 3개, DDR3의 경우 2개로 줄어들게 되었다. 그리고 신호가 고속으로 동작하면서 발생하는 반사파를 최소화하기 위한 방법으로 종단 저항(termination)을



<그림 5> 주파수와 전원전압의 세대별 추세



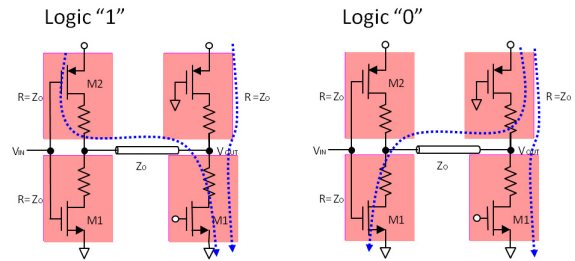
〈그림 6〉 DDR2/3/4 On-Die-Termination

사용하여 신호의 왜곡을 상쇄 시켜서 초고속 동작을 가능하게 하였다. DDR1의 경우 〈그림 4〉에서처럼 마더보드(Mother board)에만 종단 저항을 추가하였고, DDR2의 경우 DRAM에는 마더보드 대신에 〈그림 6〉과 같이 DRAM 내부의 핀(pin)에 종단 저항을 장착하는 방식, 즉 ODT(On Die Termination)를 추가하여 읽기(read)동작에서의 신호 왜곡을 개선하였다.

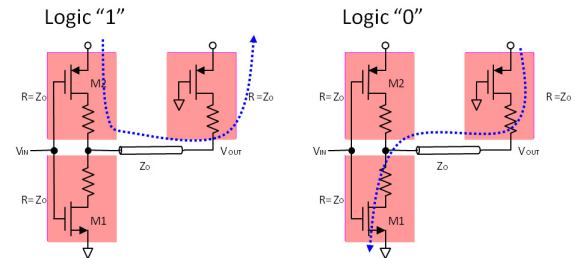
참고로 DDR3에서는 쓰기(write) 동작에서도 ODT개념을 도입하여 작은 신호 스윙에서도 초고속 동작이 가능하게 되었다.

DDR3까지 사용하는 SSTL은 2가지 이유에 의해서 DDR4에서는 더 이상 사용하기 힘들게 되었다. 하나의 이유는  $C_{io}$ 이다.  $C_{io}$ 는 DRAM 신호 핀을 바라볼 때 보이는 총 커패시턴스(total Capacitance) 값이다. 일반적으로 전기신호는 커패시터에 충전(charging) 또는 방전(discharging)을 통해서 전기적 신호를 전달한다. 즉  $C_{io}$ 가 작아야만 빠른 속도로 전송이 가능하다. SSTL의 경우는 〈그림 3〉에서와 같이 0.5VDD를 기준으로 움직이기 때문에 PMOS/NMOS transistor가 존재해서 pull up /pull down동작을 통해서 데이터가 전송된다. 즉 NMOS와 PMOS transistor 모두 다 필요한 구조이다. 따라서  $C_{io}$  측면에서 한쪽을 제거하는 것이 유리한데 DDR4에서는 PMOS Transistor를 제거한 POD(Pseudo Open Drain) 구조를 채택한다. SSTL을 사용하기 힘든 또 다른 이유는 ODT(On Die Termination)에 의한 소비 전류의 증가이다. ODT는 신호의 왜곡을 감소하기 위해서 저항처럼 보이게 만들어지기 때문에 DC 전류가 부가적으로 흐르게 된다. 하지만 〈그림 7〉처럼 POD 구조를 사용하게 되면 SSTL구조 대비 전류 경로가 줄어들음을 알 수가 있다.

이러한 속도 향상과 전력 소모 감소의 이유로 DDR4에서는 POD 구조가 채택이 되었다. POD구조의 큰 특징은 입력버퍼에 사용하는 기준전압 생성 방법이다. VDD에서 일정 크기로 신호가 스윙하기 때문에 신호의 중간 레벨에 기준 전압( $V_{ref}$ )이 있어야만 입력버퍼가 "0"과 "1" 신호를 최대한 잘 수신할 수 있다. 즉 SSTL의 경우에는 하나의 기준 전압( $V_{REF}$ )이 위치에 따른 변화 없이 모든 조건에서 동일 전압 레벨을



(a) Stub Series Terminated Logic(SSTL)



(b) Pseudo Open Drain(POD)

〈그림 7〉 SSTL과 POD Signaling

가져야만 한다는 것이다. 하지만 POD의 경우에는 동일 신호를 전송하더라도 로딩/loading) 조건이나 보드(board) 환경, 주파수 등의 여러 가지 변수에 의해서 신호감쇄가 일어나기 때문에 DRAM의 입력 레벨은 모두 다르게 된다. 따라서 DRAM은 스스로 기준 전압을 조절할 수 있는 기능을 지녀야만 최적의 조건에서 신호를 잘 수신할 수 있게 된다. 이렇기에 DDR4에서는 내부에 기준 전압 발생 장치가 있다. 조건별로 내부  $V_{ref}$  전압을 조절하기 위한 기준 전압 조정( $v_{ref}$  calibration) 방법이 도입이 되었다. 고속동작을 위해서 signal integrity 향상을 위한 기능들이 DDR3에 이어 DDR4에도 도입이 되었다. ODT 값의 정확한 값을 위한 ZQ calibration 및 다양한 종단 저항값을 조절해 줄 수 있는 논리 회로(logic)가 추가가 되었다.

## 2. Mobile DRAM

모바일용 DRAM은 최근 스마트폰의 대명사인 아이폰, 갤럭시 시리즈, Tablet PC에 사용되는 메모리이다. 이들 기기의 주요 요청 성능은 소비 전력의 최소화이다. DRAM은 필수적으로 전원이 들어오면 기본적으로 내부 전압 발생기와 트랜지스터의 누설전류(leakage)가 흐르는데 이를 최소화한 구조를 채택한 것이 모바일 DRAM이다. 또 한가지 중요한 점은 이들 기기는 PC나 서버와 다르게 P2P(point to point)구조의 신호 전송 bus를 가진다. 즉 CPU(AP)의 pin과 DRAM은 Pin은 1:1 연결 구조를 가진다. 동작전압 측면에서 보면, MDDR(Mobile DDR) 또는 LPDDR1(Low Power DDR)라고 불리는 제품은 1.8V, LPDDR2는 1.2V, LPDDR3는 1.2V에서 동

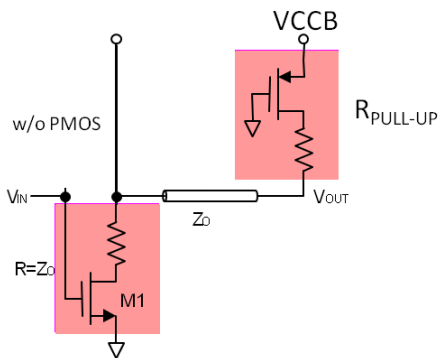
작한다. 동작주파수는 MDDR은 400Mbps, LPDDR2는 800Mbps, LPDDR3는 1600Mbps에서 동작한다. MDDR과 LPDDR2는 규격상에서 동작하는 주파수가 메인 DRAM인 DDR1, DDR2와 같은 동작주파수를 가지나, 메인 메모리와 다르게 MBT(Mother Board Termination)나 ODT(On Die Termination)를 사용하지 않는다. 또한 HSUL(High Speed Un-terminated Logic)이라는 신호 규격을 MDDR에서는 채택하여 사용하였다.

HSUL에서는 메인 DRAM과 달리 P2P (point to point)환경이기 때문에 종단 저항이 없는 구조이다. 즉 controller와 DRAM 사이는 저항이 없는 단순 전송라인으로 연결이 되어 있다. 왜냐 하면 신호의 왜곡이나 반사파가 나타나는 영향도가 작기 때문에 현재의 동작 주파수에서도 termination을 사용하지 않고 데이터를 송수신할 수 있기 때문이다. LPDDR3는 1600Mbps 정도의 속도까지는 기존 LPDDR2와 같은 방식을 사용하고 있으나, 그 이상의 고속 동작을 하기 위해서는 POD 방식을 사용하도록 JEDEC 표준화가 이루어져 있다.

### 3. 기타메모리

그래픽 메모리는 대용량의 그래픽 정보 처리를 위해 높은 대역폭을 필요로 한다. GDDR3는 1.8V로 동작하고 최고 속도 1600Mbps 정도이고 GDDR5는 약 6.4Gbp이상을 1.5V에서 동작하도록 되어 있다. 기본적으로 GDDR3/5는 초고속 동작을 위해서 POD구조의 신호를 사용하여 전송한다. POD는 90년대 후반에 등장한 Rambus DRAM의 Open Drain방식과 유사하다.

Open Drain은 <그림 8>과 같이 Pull down용 NMOS transistor(M1)만 존재하는 형태이다. pull-up동작은 시스템 버스의 끝에 달린 저항( $R_{PULL-UP}$ )과 전압소스(VCCB)에 의해서 이루어진다. Pull down시 전류값과 시스템 저항값의 곱으로 전송 신호의 진폭이 결정되는 단순한 구조이다. 따라서 PMOS transistor가 사용되지 않기 때문에  $C_{io}$ 값이 감소되어



<그림 8> Open Drain

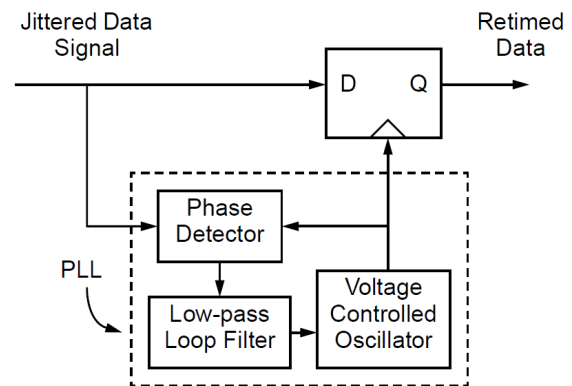
고속 동작이 가능해진다. POD는 앞에서 본 바와 같이 기본적으로 open drain 구조를 가지나 pull-up 시 도움을 주기 위해서 약한 PMOS transistor와 전원소스가 DRAM 내부에 포함될 것이라 보면 된다.

기타 DRAM에 사용된 IO interface는 차동 신호(differential signaling)가 있다. SATA나 PCI express에서 사용되는 differential signaling과 동일한 형태이다. 일반적으로 long channel에서 사용하는 Differential fair는 CDR(Clock Data Recovery)를 사용한다. DRAM에서는 command와 address에 필요한 기준 clock이 필요하고 clock recovery에 필요한 시간을 제외하기 위해서 clock을 별도의 pair channel에서 보내는 방식을 사용하고 있다.

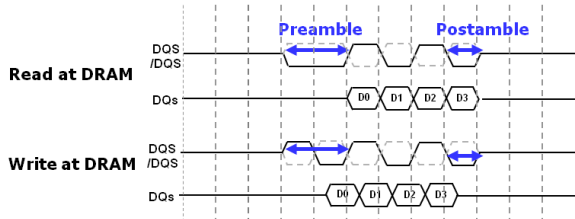
## Ⅲ. 신호 전달 방식

보통 long channel, high speed 데이터를 전송하는 CDR(Clock Data recovery)방식은 하나의 신호 선에서 data와 clock을 동시에 전달하는 방식을 사용한다. 즉 송신부에서는 자신의 ref. clock을 이용하여 발생한 clock에 데이터를 같이 실어서 보내고, 수신부에서는 이를 받아서 내부에서 필요한 clock을 자체적으로 PLL(Phase Locked Loop)등을 이용하여 생성하고 이를 이용하여 데이터를 수신한다(<그림 9>).

이 방식은 한 신호선에서 데이터를 처리하기때문에 특정 시간에서는 클럭(clock)을 위한 신호를 보내고 이후 실제 데이터를 전송하는 시분할(time dividing)이 되어야 한다. 그러나 DRAM이 사용되는 시스템에서는 지연 회로(latency)가 필요하기 때문에 이러한 방식을 사용하기 힘들다. 지연 회로에 대한 SSO(Simultaneous Switching Output) noise 영향을 최소화 하기 위해서 strobe라는 특별한 reference clock 신호를 추가적으로 송수신한다. DRAM 규격을 보면 DQS 핀이 존



<그림 9> Data recovery with simple PLL



〈그림 10〉 DQS pre-amble and post-amble

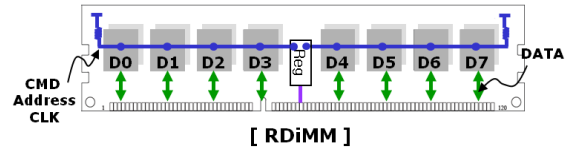
재한다. 일반적으로 DDR1에서는 DQS 하나만 존재하는 single ended type이었으나 DDR2에 이르면서 속도가 높아 지게 되어서 differential type으로 바꾸었다. 즉 DQS/DQSB pair가 1 byte(8 DQ pin)당 존재하게 되었다. 일반적으로 strobe 신호는 데이터를 주고 받을 때만 clock처럼 동작한다. 즉 1과 0을 주기적으로 반복한다. 데이터를 주고 받을 때만 동작하는 것이 효율적이나 1과 0을 왜곡 없이 전달하기 위해서 1 cycle전에 미리 동작하고 데이터가 끝나도 1 cycle정도 더 동작한다. 이를 Preamble, Postamble이라고 한다.(〈그림 10〉)

이렇게 strobe를 사용하면 송신단에서 SSO나 기타 이유에서 발생하는 데이터 지연등이 데이터와 같은 시간에 reference clock을 보내기 때문에 수신 단에서는 이러한 오차를 최소화하여 수신이 가능하다. 물론 단점은 strobe를 위해서 별도의 pin이 필요하고 추가적인 power 소비가 필요하다는 것이다. 현재 대부분의 DRAM이 strobe 방식을 사용하고 있다. 하지만 Rambus DRAM의 경우처럼 read용 ref. clock과 write용 reference clock이 항상 toggle하는 방식을 사용하거나 GDDR5의 reference clock으로 wclk라는 strobe가 사용되기도 한다.

또 다른 하나의 경향은 많은 DQ pin수를 사용하는 wide IO 구조이다. 특히 모바일 환경의 시스템은 메모리 용량보다 넓은 대역폭을 필요로 하게 된다. CPU clock 주파수를 올려서 성능을 증가시키는 것은 소비 전력 효율 측면에서 불리하다. 즉, 메모리 clock을 높여서 데이터 대역폭을 증가시키는 것이 아니라 pin당 속도를 낮추고 pin의 수를 증가 시켜 대역폭을 증가시키고 저전력을 구현 한 것이다. DQ pin을 512개를 사용하기 때문에, package를 만들어 PCB 기판에 장착하는 방식이 아니라 각 pin의 로딩 차이를 최소화하기 위하여, CPU나 AP위에 작은 bump를 이용하여 chip to chip 으로 직접 연결하는 방식을 사용한다.

#### IV. 모듈 환경의 변화

DDR1 SDRAM 과 DDR2 SDRAM은 〈그림 11〉과 같은 RDIMM(Registered Dual Inline Memory Module) 규격을 채



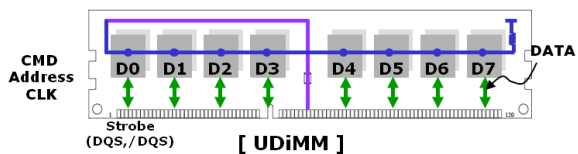
〈그림 11〉 Registered Dual Inline Memory Module

택했다. RDIMM은 메모리 용량 증가를 위해서 모듈 상에 클럭(clock)과 커맨드(command), 그리고 어드레스(address) 버퍼(buffer)를 추가함으로써 디램을 T-자 형태로 연결할 수 있는 구조이다. 하지만 이러한 신호 분기는 신호 전달 특성에서 임피던스 부정합(impedance mismatching)을 유발하기 때문에 고속 동작에는 분리한 특징을 가진다. 그래서 DDR3 SDRAM 에서는 〈그림 12〉와 같은 fly-by 타입의 UDIMM (Unregistered Dual Inline Memory Module) 채택해서 사용하고 있다.

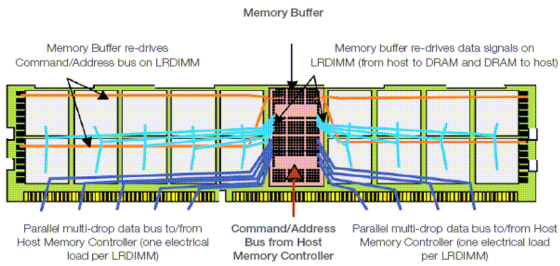
UDIMM은 신호 버스를 분기하지 않고 단일 버스로 구성해서 임피던스 부정합 효과를 최소화 한 구조 이다. 또한 신호 특성의 개선에 따라서 추가로 버퍼를 추가하지 않아도 되는 원가(cost) 측면에서의 이점을 가진다. 서버 시스템의 경우에는 DDR2 SDRAM 과 동일하게 DDR3 SDRAM에서도 RDIMM 구조를 사용하고 있다.

그러나 이러한 RDIMM 과 UDIMM 구조는 메모리 용량과 고속 동작에 있어서 서로 상반(trade-off)되는 특성을 가진다. 왜냐하면 용량을 증가하는 것은 데이터 버스에 연결되는 DRAM이 증가한다는 것이고 이는 Cio 증가에 따른 속도의 한계를 보인다는 것이다. 그래서 최근에 LR-DIMM(Load Reduced DIMM) 구조가 대용량의 서버 시스템이나 고속 동작의 컴퓨팅 시스템에서 본격적으로 사용 되고 있다.

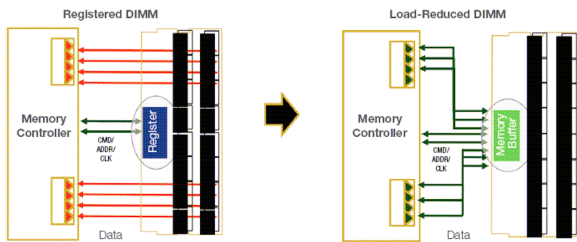
LR-DIMM은 메모리 모듈상에 iMB(isolation Memory Buffer)라는 칩(chip)을 통해 RDIMM에서 제외된 데이터 버스를 추가로 버퍼링(buffering)하는 구조이다. iMB는 컨트롤로부터 클럭과 커맨드, 어드레스 그리고 데이터 정보를 받아서 디램 모듈의 랭크(rank)로 재 전송하는 역할을 하고 추가로 온도 센서나 기준 전압 미세 조정등의 역할을 하기도 한다. (〈그림 13〉) 이러한 LR-DIMM 구조는 주어진 메모리 용량 내에서의 고속동작 또는 주어진 대역폭 내에서의 최대한의 메모리 용량을 확장하는데 유리하다. 왜냐하면 iMB가 디램을 컨트롤러로부터 분리시키기 때문에 인터페이스 측면에서 전기적인 로드(electrical load)를 줄일 수 있기 때문이다. 반면에 RDIMM



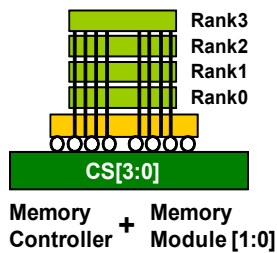
〈그림 12〉 Unregistered Dual Inline Memory Module



〈그림 13〉 LRDIMM Concept(@inphi inc.)



〈그림 14〉 RDIMM vs LRDIMM(@inphi inc.)



〈그림 15〉 Through Silicon Via(TSV)

은 데이터 버스가 디램 랭크에 모두 직접 연결 되기 때문에 전기적인 로드가 증가한다. 따라서 향후 대용량 및 고속 동작이 필요한 시스템에서는 RDIMM의 사용은 극히 제한적일 것이다.(〈그림 14〉)

근래 들어 클라우드(cloud) 시스템 및 모바일 환경이 보편화 되면서 대용량의 고속 동작이 필요로 하는 서버 시장이 활성화 되고 있다. 따라서 기존의 RDIMM보다는 LR-DIMM 및 PIN-to-PIN의 Single Load System이 부각될 것이며, DRAM 역시 작은 Cio를 위한 패키징(Packaging) 기술이나 TSV (Through Silicon Via) 처럼 동일한 Cio에서 메모리 용량을 확장하는 기술이 개발될 예정이다(〈그림 15〉).

## V. 향후 전개 방향

많은 모바일 기기는 순간적인 높은 대역폭 (bandwidth)이 필요하고 작은 전력소모를 해야 하기 때문에 핀(pin)의 speed를 적절하게 유지하면서 많은 입출력핀을 가지는 방향

으로 진행될 것이다. 물론 이러한 점은 기존에 비해서 CPU/AP와 DRAM이 chip으로 바로 연결되기 때문에 소비 전력, 면적 등에서 여러 가지 장점을 가진다. 하지만 구현 자체가 힘들기 때문에 이를 얼마나 효율적으로 응용하는가가 중요할 것이다. 또 다른 하나의 중요한 부분은 서버용 메모리이다. 대다수의 PC 사용자들은 예전 DDR1에 비해서 DDR2, DDR3가 되면서 DRAM module을 장착할 수 있는 socket의 숫자가 줄어드는 것을 확인할 수가 있을 것이다. 이는 신규 제품마다 동작 주파수가 2배 이상 커지기 때문에 채널에서의 신호 감쇄 현상이 커지기 때문이다. 예를 들어 DDR2/DDR3를 사용한 노트북은 모듈 2개를 장착할 수 있는 구조로 되어 있다. 컨트롤러는 2개의 메모리 채널을 지원하기 때문에 2개의 소켓(socket)으로 채널당 하나의 모듈을 장착할 수 있게 된다. 노트북의 데이터 처리량을 감안 하면 크게 무리가 없는 방법이다. 하지만 서버는 다르다. 늘어나는 모바일 기기와 통신데이터의 증가는 이를 처리하는 서버시스템의 증가와 또한 메모리 용량증가를 동시에 요청하고 있다. CPU당 메모리 장착 모듈이 세대별로 줄어든다면 성능 향상에 문제가 발생한다. 이를 해결하고자 하는 방향으로 산업계가 기술을 개발하고 있다. 하나의 예를 들면 인텔이 선더볼트라는 optical interface를 지원하는 것 같이 DRAM channel에서도 optical을 이용하여 speed 제약이나 메모리 용량 확장을 위한 연구가 진행되고 있다. 또한 DRAM은 산업의 쌀로 IT 기기들의 발전과 소비자들이 원하는 성능을 제공하기 위해서 계속적으로 새로운 제품으로 발전할 것이다.

## 참고문헌

- [ 1 ] A 1.2V 30nm 1.6Gb/s/pin 4Gb LPDDR3 SDRAM with input skew calibration and enhanced control scheme, Yung-Choel Bae, et al, ISSCC 2012.
- [ 2 ] A 1.2V 30nm 3.2Gb/s/pin 4Gb DDR4 SDRAM with dual-error detection and PVT-tolerant data-fetch scheme, Kyomin Sohn, et al, ISSCC 2012.
- [ 3 ] www.rambus.com
- [ 4 ] www.inphi.com
- [ 5 ] www.jedec.org
- [ 6 ] Si-based optical IO for optical memory interface, KyoungHo Ha, et al, SPIE 2012.



최정환

1990년 2월 경북대학교 학사.  
1992년 2월 KAIST 전기전자 석사.  
1997년 2월 KAIST 전기전자 박사.  
2006년~2007년 Stanford EECS Visiting Scholar  
1993년~ 1993년 전자통신연구원 위촉연구원.  
1997년 3월~현재 삼성전자 DRAM 설계팀  
<관심분야> 메모리 high speed interface 회로, signal/  
power integrity