

# MCM과 폴딩 방식을 적용한 웨이블릿 변환 장치의 VLSI 설계

김지원<sup>†</sup>, 손창훈<sup>\*\*</sup>, 김승주<sup>\*\*\*</sup>, 이배호<sup>\*\*\*\*</sup>, 김영민<sup>\*\*\*\*\*</sup>

## 요 약

본 논문은 하드웨어 곱셈 연산을 최적화 한 리프팅 기반의 9/7 웨이블릿 필터의 VLSI 구조를 제안한다. 제안하는 구조는 범용 곱셈기를 사용하는 기존의 리프팅 기법과 달리 웨이블릿 계수에 패턴 탐색 기법의 Lefèvre 알고리즘을 적용하였으며, MCM(Multiple constant multiplication)과 폴딩 방식을 9/7 DWT 필터에 적용하여 효율적으로 하드웨어 설계가 이루어 질수 있도록 제안하였다. 이러한 구조는 하드웨어 자원을 100% 활용하는 이점을 지니며, 이전의 성능에 비해 화질 열화 없이 단순한 하드웨어 구조, 속도, 면적, 전력소모 측면에서 효율적이다. 비교 실험을 위해 Verilog HDL을 통해 구현하였으며, 0.18 $\mu$ m CMOS 공정의 스탠다드 셀을 이용하여 합성하였다. 제안한 구조를 기존의 구조와 200MHz의 합성 타겟 클럭 주파수에서 비교하였을 때 면적, 전력소모 측면에서 60.1%, 44.1% 감소하였으며, 이를 통해 이전의 리프팅 기법에 비해 하드웨어 구현에 보다 최적화된 구조임을 보여준다.

## VLSI Design for Folded Wavelet Transform Processor using Multiple Constant Multiplication

Ji-Won Kim<sup>†</sup>, Chang-Hoon Son<sup>\*\*</sup>, Song-Ju Kim<sup>\*\*\*</sup>,  
Bae-Ho Lee<sup>\*\*\*\*</sup>, Young-Min Kim<sup>\*\*\*\*\*</sup>

## ABSTRACT

This paper presents a VLSI design for lifting-based discrete wavelet transform (DWT) 9/7 filter using multiplierless multiple constant multiplication (MCM) architecture. This proposed design is based on the lifting scheme using pattern search for folded architecture. Shift-add operation is adopted to optimize the multiplication process. The conventional serial operations of the lifting data flow can be optimized into parallel ones by employing paralleling and pipelining techniques. This optimized design has simple hardware architecture and requires less computation without performance degradation. Furthermore, hardware utilization reaches 100%, and the number of registers required is significantly reduced. To compare our work with previous methods, we implemented the architecture using Verilog HDL. We also executed simulation based on the logic synthesis using 0.18  $\mu$ m CMOS standard cells. The proposed architecture shows hardware reduction of up to 60.1% and 44.1% respectively at 200 MHz clock compared to previous works. This implementation results indicate that the proposed design performs efficiently in hardware cost, area, and power consumption.

**Key words:** DWT(이산 웨이블릿 변환), Lifting-scheme(리프팅 구조), Pattern search(패턴탐색), Multiple constant multiplication (다중 상수 곱), Folded architecture(폴딩 구조)

※ 교신저자(Corresponding Author): 김영민, 주소: 광주광역시 북구 용봉로 77 전남대학교 공대 7호관 440호 (500-757), 전화: 062-530-0812, FAX: 062-530-0812, E-mail: kym@jnu.ac.kr

접수일: 2011년 8월 29일, 수정일: 2011년 10월 5일

완료일: 2011년 11월 1일

<sup>†</sup> 준회원, 전남대학교 전자컴퓨터공학과 석사과정 (E-mail: hellojwz@ejnu.net)

<sup>\*\*</sup> 준회원, 전남대학교 전자컴퓨터공학과 박사과정 (E-mail: chson03@ejnu.net)

<sup>\*\*\*</sup> 준회원, 전남대학교 전자컴퓨터공학과 박사과정 수료 (E-mail: hsdady07@naver.com)

<sup>\*\*\*\*</sup> 정회원, 전남대학교 전자컴퓨터공학과 교수 (E-mail: bhlee@jnu.ac.kr)

<sup>\*\*\*\*\*</sup> 정회원, 전남대학교 전자컴퓨터공학과 교수

### 1. 서 론

영상 압축에서 Discrete wavelet transform(DWT)는 공간과 주파수 분석 특성을 효율적으로 수집할 수 있는 장점으로 인해 많은 분야에 적용되어 사용되어 왔다. DWT를 처리하는 기존의 기법은 주로 컨벌루션을 이용한 방식과 리프팅 구조를 이용한 두 가지로 분류된다. 최근에는 방대한 연산의 양을 필요로 하는 컨벌루션 방식에 비해 우수한 성능을 보이며 적은 계산량을 요구하는 리프팅(lifting) 방식의 DWT 변환이 주로 연구되고 있다. 리프팅 기법은 메모리량과 메모리에 대한 참조 횟수가 적고 정변환과 역변환이 동일한 구조로 이루어진다는 장점을 지니고 있기에 하드웨어 설계 시 보다 효과적이다. 이렇게 기존의 범용 곱셈기를 대신해 shift와 add 연산으로 대체하는 리프팅 기반의 웨이블릿 설계는 꾸준히 연구되어 왔다[1,2]는 일반적으로 사용하는 10진수 표현을 이진표현으로 나타내 곱셈 연산 시 부분 곱을 이진수 표현 내의 1의 개수에 따라 왼쪽 shift와 add 연산으로 간단하게 계산하는 방식인 binary method가 적용된 리프팅 기반의 구조를 제안하였다. [3]에서는 하드웨어 활용성을 높이기 위해 폴딩 구조를 제안하였지만 임계경로의 지연시간과 요구되는 메모리량에 대한 한계가 있다. [4]는 리프팅 기반의 웨이블릿 구조에서 예측(predictor) 단계와 갱신(updater) 단계를 하나의 단일 리프팅 단계로 설계함으로써 지연시간과 메모리의 크기를 감소시켰다. 하지만 이와 같은 기법들은 하드웨어 설계 시 복잡성이 증가하게 되며 노이즈에 대해 주의할 필요가 있다. 본 논문은 앞서 언급한 기존에 문제시 되었던 점을 개선하고 최적화 된 하드웨어 구조를 제안한다.

패턴 탐색 기법 중 Lefèvre가 제안한 알고리즘[5]에 의하면 각 상수의 이진 표현에서 중복되는  $\{1, 0, 1\}$ 로 이루어진 패턴을 찾아 positive 및 negative 버전을 사용하여 하드웨어 구현 비용을 감소시켜 이전의 알고리즘 보다 최적화 된 결과를 얻을 수 있다.

본 논문에서는 Pattern search 방식의 Lefèvre 알고리즘을 DWT 웨이블릿 계수에 적용하여 회로의 VLSI 구조를 최적화 하였다. 또한 Multiplierless MCM(Multiple constant multiplication) 알고리즘을 폴딩 구조의 9/7 DWT 필터에 적용하여 효율적으로 하드웨어 설계가 이루어 질 수 있도록 한다.

### 2. 폴딩 구조의 리프팅 웨이블릿 변환

리프팅 방식의 CDF 9/7 웨이블릿 정변환은 분할(split), 예측(predict), 갱신(update), 조정(scaling)의 네 단계로 이루어진다. 그림 1은 기존 방식의 리프팅 웨이블릿 구조를 나타낸다. 입력 신호의 분할 과정을 거쳐 짝수 번째 신호와 홀수 번째 신호로 분리된다. 예측 단계는 짝수 번째 신호로부터 홀수 번째 신호를 예측할 때 얻어지는 에러에 해당하는 웨이블릿 계수를 계산하며, 이는 곧 high-pass 필터링 결과이다. 갱신 단계는 짝수 번째 신호와 예측 오차를 결합하여 스케일링(scaling) 계수를 얻으며, 이것은 low-pass 필터링의 결과이다. 이와 같은 예측과 갱신 결과는 일정한 상수  $K$  또는  $1/K$ 에 의해서 크기가 조정되고 이 결과가 리프팅을 이용한 웨이블릿 변환의 최종 결과에 해당한다. 그림 1을 통해서 첫 번째 리프팅 구조와 두 번째 리프팅 구조는 각 리프팅 단계에서 가하는 리프팅 계수를 제외하고 동일한 구조로 이루어졌다는 점을 알 수 있다.

이를 개선시키기 위해 두 단계에 걸쳐 이루어지는 리프팅 구조를 그림 2와 같이 폴딩 방식이 적용된 하나의 구조로 대체함으로써 하드웨어의 중복성을 줄이고 자원을 효율적으로 사용하고자 한다. 폴딩 방식이 적용된 하드웨어 구조는 9/7 웨이블릿 필터에 필요한 4개의 리프팅 계수를 처리하기 위해 앞의 두 계수에 대한 리프팅 단계(Phase 1)를 거친 후 임의의 중간 결과 값을 이전의 레지스터 R에 건네주어 남은 두 개의 리프팅 계수에 대해서도 처리(Phase 2)가 가능하도록 한다[6]. 상이한 리프팅 계수가 가해지는 두 개의 곱셈기를 하나의 곱셈기로 대체하기 때문에 각 리프팅 단계에서 연산 단계에 알맞은 계수가 곱해질 수 있도록 Mux 구조로 설계되어 select 신호에 의해 알맞은 값을 출력할 수 있도록 이루어져야 한다 [7]. 또한, 리프팅 계수의 처리를 위해 multiplierless MCM 알고리즘을 적용하여 리프팅 계수  $\alpha, \beta, \gamma, \delta$ 의 이진 표현에서 공통된 특성으로 갖는 패턴을 찾아 리프팅 연산을 수행하고자 한다. 첫 번째 곱셈기에서는 선택 신호를 가하여  $\alpha$  또는  $\gamma$ 의 계수가 곱해질 수 있도록 하며, 두 번째 곱셈기는 선택 신호에 의해  $\beta$  또는  $\delta$ 가 곱해질 수 있도록 구성되었다. 이를 위해 각 단계에 적절하게 데이터의 스케줄링이 이루어 질 수 있도록 2개의 지연(Delay) 레지스터가 필요하다.

이와 같이 폴딩 구조로 설계하면 하드웨어 자원을 100% 활용할 수 있으며 곱셈기를 대신하여 필요로 하는 하드웨어 자원은 크게 감소할뿐더러 구현은 단순해진다[8]. 실제로  $\alpha$ ,  $\gamma$ 와  $\beta$ ,  $\delta$ 를 처리하는 데 필요한 adder tree의 depth가 모두 4 이하이기 때문에 연산 지연과 하드웨어 면적을 크게 줄일 수 있다.

### 3. Multiplierless MCM 알고리즘

Multiplierless MCM은 곱셈기를 shift-adder의 형태로 연산을 수행하면서 2개 이상의 리프팅 계수를 처리할 수 있는 구조를 말한다. 그림 3의 (b)은 MCM 알고리즘이 적용된 곱셈 연산 블록도를 나타낸다. MCM은 결합된 로직을 구성하여 단일 입력으로도 결과 값을 결정하는 select 신호에 의해 2개 이상의 원하는 결과 값을 얻는 효과적인 기법을 말한다. [9]에서는 SCM(Single constant multiplication)에 대해 분석하고 상수 곱을 하드웨어 측면에서 효과적으로 처리하고자 다중 상수 곱을 위한 새로운 MCM 알고리즘을 제안하였다. 단일 상수를 처리하는 대표적인 SCM 알고리즘은 상수의 이진 표현 내 1의 개수만큼 shift-add 연산을 이용하는 방식과 이진 표현 내에 존재하는 패턴을 재사용하는 CSD(Canonical signed digit) 방식이 있다. 이들은 그림 3의 (a)에서 볼 수 있듯이 단일 입력이 특정 상수에 대한 곱셈 연산을 통해 처리되어 하나의 결과 값으로 얻는 방식이며 각 상수마다 필요로 하는 adder의 개수가 존재한다. 사용자가 처리하고자 하는 연산의 수와 그 복잡성은 나날이 증가되고 있으며 adder의 개수는 곧 하드웨어 설계 시 면적에 영향을 주는 요소이기 때문에 연산의 수를 줄여 개선시키고자 제안된 알고리즘이 MCM이다. MCM 알고리즘은 adder를 공유함으로써 필요로 하는 하드웨어 면적을 줄일 수

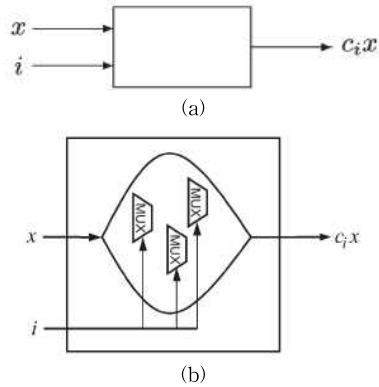


그림 3. 곱셈 연산 블록도 (a) SCM 방식 알고리즘 적용 (b) MCM 방식 알고리즘 적용

있으며 2-to-1 Mux 구조와 유사하다. 이는 폴딩 구조의 웨이블릿 설계 시 하나의 곱셈기를 공유하는 폴딩 방식의 리프팅 계수 처리에 적합하다[10,11].

CDF 9/7 리프팅 방식은 DWT 및 IDWT 계산 과정에서 부동 소수점 곱셈 연산이 필요하다. 그러나 이러한 곱셈기를 이용한 연산은 많은 하드웨어 자원을 사용하기 때문에 VLSI 설계에 적합하지 않아 대부분의 리프팅 구조는 고정 소수점 방식의 범용 곱셈기를 사용한다.

표 1은 리프팅 계수들의 이진 형태를 나타내며 충분한 정밀도를 주기 위해 15비트를 사용하여 나타내었다. 일반적으로 리프팅 계수들의 shifting을 이용한 곱셈연산은 이진 표현에서 1의 개수만큼 shift-adder를 필요로 한다. 표 1에 나타난 리프팅 계수의 이진 표현에 multiplierless MCM 알고리즘을 적용하여 각 두 계수가 공통적으로 갖는 패턴을 찾아 shift 및 adder의 개수를 줄이고자 하였다. 부호를 갖는 입력은 다음 연산의 편의를 위해 2의 보수 형식을 사용한다. 리프팅 계수는 절대값 크기를 이진수로 표현하여 shift-add 연산의 개수를 구하며, 음의 계수

표 1. 리프팅 필터 계수의 이진 표현

lifting 계수	CDF 9/7 계수	이진 표현	1의 개수
$\alpha$	-1.5861343420693648	-1.10010110000011	7
$\beta$	-0.0529801185718856	-0.00001101100100	5
$\gamma$	0.8829110755411875	0.11100010000010	5
$\delta$	0.4435068520511142	0.01110001100010	6
k	1.1496043988602418	1.00100110010011	7
1/k	0.8698644516247808	0.11011110101100	9

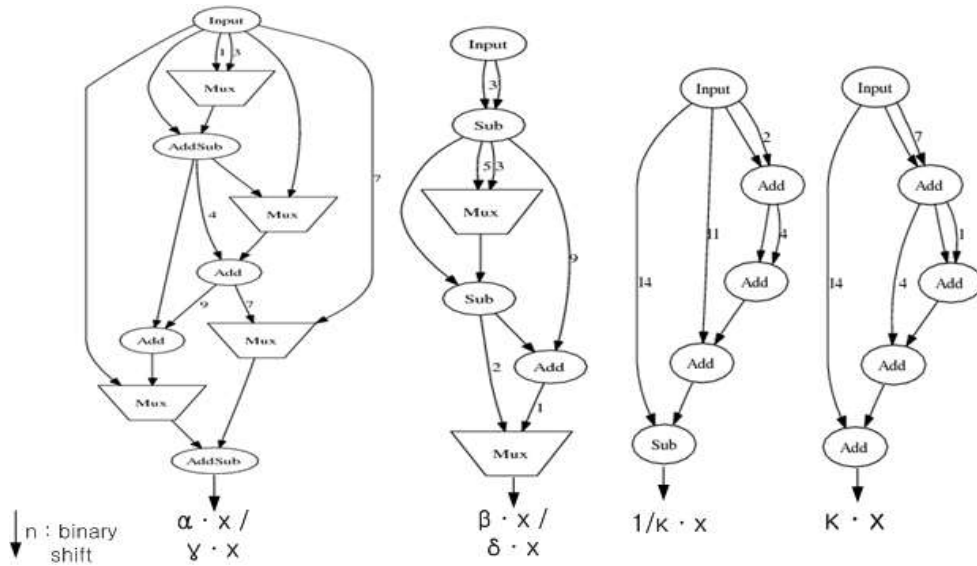


그림 4. Multiplierless MCM 알고리즘을 적용한 리프팅 계수 패턴흐름도

일 경우는 negation 연산을 추가하여 결과 값의 부호를 고려한다. 위의 그림 4는 입력이 16비트일 때, 본 논문에서 제안하는 multiplierless MCM의 알고리즘을 적용한 리프팅 계수  $\alpha$ ,  $\gamma$  및  $\beta$ ,  $\delta$ 의 최적화 된 패턴 흐름도를 나타낸다[12].

표 2는 리프팅 계수에 이진 표현, CSD 알고리즘, 본 논문에서 제시한 패턴탐색 기반의 MCM 알고리즘을 적용할 경우의 adder cost를 나타낸다. 이진 표현과 CSD 형식을 적용하였을 시 각각 39개 및 35개의 shift-adder 연산이 필요한 반면, 본 논문에서 제안한 구조를 적용하면 15개의 shift-adder 만이 필요함을 알 수 있다.

4. 실험 결과

본 논문은 폴딩 구조의 CDF 9/7 웨이블릿 리프팅 필터에 multiplierless MCM 알고리즘을 적용하여 최적화 한 제안 구조를 하드웨어로 구현하였다. 범용 곱셈기 기반의 구조로 이루어진 기존의 방식과 본

논문에서 제안한 알고리즘의 성능 비교를 위해 하드웨어 설계와 실험은 Synopsys사의 Design Vision과 Mentor사의 ModelSim을 통해 이루어졌다. 실험 결과는 각 타겟 주파수에서의 합성 면적과 소비 전력을 측정하여 기존의 알고리즘에 비해 개선된 수치로 정의한다. [1]에 따라 실험을 위한 필터의 입력은 고정 소수점 방식으로 제한하며 정수부 14비트와 소수부 2비트를 할당하여 총 16비트의 2의 보수 형식을 사용하였다. 또한 리프팅 웨이블릿 계수들은 부호-절대값 방식으로 크기 값의 정수부에 1비트, 소수부에 14비트를 할당하여 실험을 하여도 충분하다고 가정하였다. 비교 실험을 위해 기존의 구조와 본 논문에서 제안하는 알고리즘을 Verilog HDL에서 구현 하였으며, 그림 4에서 볼 수 있듯이 패턴 탐색 알고리즘을 적용하여 중간 결과 값들을 재사용하는 adder tree 구조를 이용하였다. 또한, 0.18 $\mu$ m 공정의 CMOS 스탠다드 셀을 이용하여 Design Vision에서 100MHz 및 200MHz를 타겟 클럭 주파수로 기준삼아 합성 면적과 소비 전력에 대한 결과를 얻어 비교하고자 하였

표 2. 리프팅 계수에 제안 방식과 기존의 알고리즘 적용 시 adder cost 비교

word length	coefficient type	Total adder costs		
		binary	CSD*	MCM
15	Signed magnitude	39	35	15

\* CSD: Canonical signed digit

표 3. 제안 방식과 기존 방식의 합성 결과 비교

	Target Clock Frequency					
	100MHz Clock			200MHz Clock		
	기존 구조	제안 구조	감소율	기존 구조	제안 구조	감소율
합성 면적( $\mu\text{m}^2$ )	198,154	63,082	68.2%	266,368	106,272	60.1%
소비전력(mW)	9.53	4.19	56.0%	26.94	15.05	44.1%

다. 표 3에 기존의 구조와 본 논문에서 제안한 구조의 합성 결과와 성능 비교에 대해 나타내었다. 100MHz 타겟 주파수에서는 기존의 범용 곱셈기를 이용한 방식에 비해 합성 면적, 소비 전력 측면에서 각각 68.2%, 56.0% 감소하였으며, 200MHz 주파수에서는 합성면적이 60.1%, 소비 전력이 44.1% 감소하였다. 이를 통해 범용 곱셈기를 대신한 리프팅 방식은 기존의 필터와 비교하였을 시 하드웨어 설계에서 중요시 되는 합성 면적과 소비 전력 측면에서 많은 개선이 이루어졌음을 확인할 수 있다. 본 논문에서 제안한 하드웨어 구조는 기존의 방식에 비해 화질의 열화 없이 동일한 성능을 지님과 동시에 하드웨어 구현의 단순함과 하드웨어 면적 및 전력 소모 측면에서 이점을 갖는다.

## 5. 결 론

본 논문은 하드웨어 곱셈 연산을 최적화 한 리프팅 기반의 9/7 웨이블릿 필터의 VLSI 구조를 제안하였다. 본 논문에서 제안하는 구조는 범용 곱셈기를 사용하는 기존의 리프팅 기법과 달리 웨이블릿 계수에 패턴 탐색 기법의 Lefèvre 알고리즘을 적용하였으며, MCM과 폴딩 방식을 9/7 DWT 필터에 적용하여 효율적으로 하드웨어 설계가 이루어 질수 있도록 제안하였다. 이러한 구조는 하드웨어 자원을 100% 활용하는 이점을 지니며, 이전의 성능에 비해 화질 열화 없이 단순한 하드웨어 구조, 속도, 면적, 전력소모 측면에서 많은 이점을 지닌다. 비교 실험을 위해 범용 곱셈기 방식을 이용한 기존의 방식을 Verilog HDL을 이용해 구현하였으며, 0.18 $\mu\text{m}$  CMOS 공정의 스탠다드 셀을 이용하여 합성하였다. 제안한 구조를 기존의 구조와 200MHz의 합성 타겟 클럭 주파수에서 비교하였을 때 면적, 전력소모 측면에서 60.1%, 44.1% 감소하였으며, 이를 통해 본 논문에서 제안한 구조는 하드웨어 구현에 보다 최적화된 구조임을 보

여준다.

## 참 고 문 헌

- [1] 손창훈, 박성모, 김영민, "패턴 탐색 기법을 사용한 Multiplierless 리프팅 기반의 웨이블릿 변환의 설계," 멀티미디어학회논문지, 제13권, 제7호, pp. 943-949, 2010.
- [2] J. M. Jou, Y. H. Shiau, and C. C. Liu, "Efficient VLSI Architectures for the Biorthogonal Wavelet Transform by Filter Bank and Lifting Scheme," *IEEE Int. Symp. Circuits Syst.*, Vol.2, pp.529-532, 2001.
- [3] C. T. Huang, P. C. Tseng, and L. G. Chen, "Lifting Based Discrete Wavelet Transform Architecture for JPEG2000," *IEEE Int. Symp. Circuits Syst.*, pp.445-448, 2001.
- [4] B. F. Wu and C. F. Lin, "A High-Performance and Memory-Efficient Pipeline Architecture for the 5/3 and 9/7 Discrete Wavelet Transform of JPEG2000 Codec," *IEEE Trans. Circuits Syst. Video Technol.*, Vol.15, No.12, pp.1615-1628, 2005.
- [5] V. Lefèvre, "Multiplication by an Integer Constant," *INRIA, Research Report 4192*, 2001.
- [6] Boullis, N., and Tisserand, A., "Some Optimizations of Hardware Multiplication by Constant Matrices," *IEEE Trans. Computer*, Vol.54, No.10, pp. 1271-1282, 2005.
- [7] O. Gustafsson, A. Dempster, and L. Wanhammar, "Extended Results for Minimum-Adder Constant Integer Multipliers," *IEEE Int. Symp. Circuits Syst.*, Vol.1, pp.173-176, 2002.
- [8] Cuangming Shi, Weifeng Liu, Li Zhang, and Fu Li, "An Efficient Folded Architecture for

Lifting-Based Discrete Wavelet Transform," *IEEE Trans. Circuits Syst.*, Vol.56, No.4, pp. 290-294, 2009.

- [9] P. Tummeltshammer, J. C. Hoe., and M. Puschel, "Time-Multiplexed Multiple-Constant Multiplication," *IEEE Circuits Syst.*, Vol.26, No.9, pp. 1551-1563, 2007.
- [10] Miodrag Potkonjak, Mani B. S., and Anantha P. C., "Multiple Constant Multiplications: Efficient and Versatile Framework and Algorithms for Exploring Common Subexpression Elimination," *IEEE Circuits Syst.*, Vol.15, No.2, pp. 151-165, 1996.
- [11] Levent Aksoy, Eduardo da Costa, Paulo Flores, and Jose Monteiro, "Exact and Approximate Algorithms for the Optimization of Area and Delay in Multiple Constant Multiplications," *IEEE Circuits Syst.*, Vol.27, No.6, pp. 1013-1026, 2008.
- [12] Spiral Project: Software/Hardware Generation for DSP Algorithms.[Online] Available: [www.spiral.com](http://www.spiral.com).



**김 지원**

2006년 2월~2010년 2월 전남대학교 전자컴퓨터공학부 학사  
 2010년 3월~현재 전남대학교 전자컴퓨터공학과 석사과정  
 관심분야 : VLSI 시스템 설계, 신호처리용 ASIC 설계, 영상 압축 등



**손 창 훈**

2000년 2월~2005년 2월 전남대학교 정보통신공학부 공학사  
 2005년 3월~2007년 2월 전남대학교 전자컴퓨터공학과 공학석사  
 2007년 3월~현재 전남대학교 전자컴퓨터공학과 박사과정

관심분야 : VLSI 시스템 설계, 신호처리용 ASIC 설계, 영상 압축 등



**김 승 주**

1992년 전남대학교 전자공학과 (학사)  
 1998년 전남대학교 전자공학과 (석사)  
 2000년 전남대학교 전자컴퓨터공학과 박사과정 수료

2011년~현재 (주)UHK 연구소장  
 관심분야 : 영상처리, RF IC, 임베디드시스템



**이 배 호**

1978년 한양대학교 공과대학 전자공학과(학사)  
 1980년 한국과학기술원 전기 및 전자공학과(석사)  
 1993년 University of Missouri 전기 및 컴퓨터공학과(박사)

1980년~1983년 국방과학연구소 연구원  
 2004년~2009년 NURI 전자정보가전인력양성사업단장  
 1993년~현재 전남대학교 전자컴퓨터공학부 교수  
 관심분야 : 인공지능, 임베디드시스템, 멀티미디어응용, 디지털영상처리



**김 영 민**

1976년 서울대학교 전자공학과 학사  
 1978년 한국과학기술원 전기 및 전자공학과 석사  
 1986년 오하이오 주립대학교 전기공학과 박사

1978년~1979년 한국선박해양연구소 주임연구원  
 1979년~1982년 국방과학연구소 연구원  
 1988년~1991년 한국전자통신연구원 실장  
 1991년~현재 전남대학교 전자공학과 교수  
 관심분야 : 영상압축, VLSI 설계, RF 회로 설계, 신경회로망 등