

개선된 CTAT 보상을 가지는 저전압 CMOS Bandgap Voltage Reference

Modified Low-Voltage CMOS Bandgap Voltage Reference with CTAT Compensation

김재봉* · 조성익*
(Jae-Bung Kim · Seong-Ik Cho)

Abstract - In this paper, a modified low-voltage CMOS bandgap voltage reference with CTAT compensation is presented. The proposed structure doesn't use PTAT current. The proposed structure is more simple than the existing structure and doesn't use the eighteen BJT. The modified low-voltage CMOS bandgap voltage reference with CTAT compensation has been successfully verified in a standard 0.18 μ m CMOS process. The simulation results have confirmed that, with the minimum supply voltage of 1.25V, the output reference voltage at 549mV has a temperature coefficient of 12ppm/ $^{\circ}$ C from 0 $^{\circ}$ C to 100 $^{\circ}$ C.

Key Words : Bandgap reference, Voltage reference, CTAT

1. 서론

오늘날 밴드갭 레퍼런스는 아날로그 시스템과 디지털 시스템에서 중요한 부분으로 기준 전압원이나 기준 전류원으로 사용되고 있다. 아날로그 시스템과 디지털 시스템의 전원 전압은 공정기술의 발달로 점점 낮아지고 있다. 아날로그 시스템과 디지털 시스템에 사용되는 밴드갭 레퍼런스는 저전압에서 동작해야 한다.

기본적인 밴드갭 레퍼런스 회로에서 생성되는 기준 전압은 1.25V 정도이고, 전원전압은 1.4V 이상에서 정상 동작하므로 전원전압이 1V인 저전압에서는 사용할 수 없다[1][2]. 밴드갭 레퍼런스 회로의 전원전압은 밴드갭 레퍼런스 회로에 사용되는 연산증폭기의 동상입력에 의해 결정이 된다 [2]. 저항열을 이용한 전압분배를 통해 연산증폭기의 동상입력을 낮게 하여 전원전압이 1V에서 밴드갭 레퍼런스 회로가 동작하도록 하였다 [3][4].

밴드갭 레퍼런스 회로는 온도가 증가함에 따라 전류가 증가하는 PTAT(Proportional To Absolute Temperature), 온도가 증가함에 따라 전류가 감소하는 CTAT(Complementary To Absolute Temperature), 전류를 가산하는 회로, Start-up으로 구성되어 있다. PTAT과 CTAT의 전류를 가산함으로써 밴드갭 레퍼런스 회로에서 생성되는 전류는 온도의 변화에 무관하며 저항을 이용하여 기준 전압을 생성한다 [3][4].

기술의 발전으로 ADC, DAC의 성능이 점점 더 좋아지고 있고 이에 따라 온도 계수가 낮은 밴드갭 레퍼런스 회로가

필요하게 되었다. 기본적인 밴드갭 레퍼런스 회로에서 보상을 통해 매우 낮은 온도 계수를 갖는 구조가 제안되었다 [5][6].

기존 구조의 밴드갭 레퍼런스 회로는 npn BJT와 pnp BJT를 이용하여 2개의 PTAT 전류와 2개의 CTAT 전류를 생성하고 가산과 감산을 통해 낮은 온도 계수를 갖는 밴드갭 레퍼런스 회로를 구현하였다 [6]. 기존 구조는 기본 구조에 비해 매우 낮은 온도 계수를 가지지만 연산증폭기, BJT, 저항 등을 기본 구조에 비해 2배를 사용하므로 면적도 2배로 늘어나게 된다.

본 논문에서는 이러한 단점을 개선한 개선된 CTAT 보상을 가지는 저전압 CMOS Bandgap Voltage Reference를 제안한다. 제안한 구조의 밴드갭 레퍼런스 회로는 npn BJT와 pnp BJT를 이용하여 2개의 CTAT 전류를 생성하고 감산함으로써 온도 계수는 낮으면서 기존 구조보다 면적이 적다.

본 논문의 구성은 다음과 같다. 2장에서 개선된 CTAT 보상을 가지는 저전압 CMOS Bandgap Voltage Reference 회로를 제안하였고, 기존 구조와 비교하였다. 3장에서는 제안한 구조를 가지고 Tr 레벨에서 설계하였다. 4장에서는 제안된 밴드갭 레퍼런스 회로를 0.18 μ m 1P6M CMOS 공정 파라미터를 이용하여 시뮬레이션하고 동작특성에 대하여 고찰을 하였고, 5장에서는 결론을 제시하였다.

2. 제안한 구조의 밴드갭 레퍼런스 회로

그림 1은 기존 구조의 밴드갭 레퍼런스 회로로 [6] pnp BJT를 이용하여 I_{REF1} 의 전류를 생성하고, npn BJT를 이용하여 I_{REF2} 의 전류를 생성한다. 전류 미러로 I_{REF2} 와 I_{REF1} 의 전류를 감산하고 저항을 연결하여 기준 전압을 생성한다.

밴드갭 레퍼런스 회로를 이용하여 I_{REF1} 의 전류를 생성하고, I_{REF2} 의 전류 역시 밴드갭 레퍼런스 회로를 이용하여 생성한다. 온도 계수가 낮은 I_{REF1} 과 I_{REF2} 의 전류를 한번 더 감

† 교신저자, 정회원 : 전북대학교 전자공학부 부교수 공학박사
E-mail : sicho@jbnu.ac.kr

* 비회원 : 전북대학교 전자공학부 박사과정
접수일자 : 2012년 1월 16일
최종완료 : 2012년 4월 26일

산하기에 기본 구조의 밴드갭 레퍼런스 회로에 비해 온도 계수가 매우 낮다. 그러나 I_{REF1} 과 I_{REF2} 의 전류를 생성하기 위해 저전압 밴드갭 레퍼런스 회로를 2번 사용하므로 면적은 기본 구조의 밴드갭 레퍼런스 회로에 비해 2배로 커지는 단점을 갖는다.

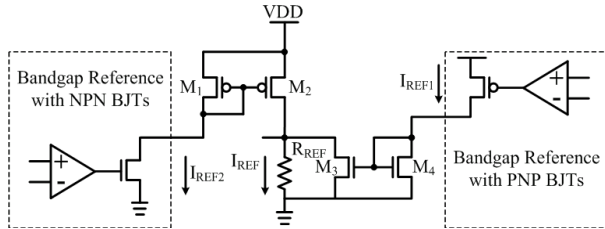


그림 1 기존 구조의 밴드갭 레퍼런스
Fig. 1 Bandgap voltage reference of existing architecture.

그림 2는 제안한 구조로 PTAT과 CTAT을 가진 밴드갭 레퍼런스 회로를 이용하여 I_{REF1} 과 I_{REF2} 의 전류를 생성하는 것이 아닌 CTAT만을 이용하여 I_{REF1} 과 I_{REF2} 의 전류를 생성한다. 생성된 I_{REF1} 과 I_{REF2} 의 전류를 감산하고 저항을 연결하여 기준 전압을 생성한다. 제안한 구조는 기존 구조에 비해 PTAT 전류를 이용하지 않기에 회로가 간단하며 면적이 큰 BJT가 적게 사용함으로써 기존 구조에 비해 면적이 크게 줄어든다.

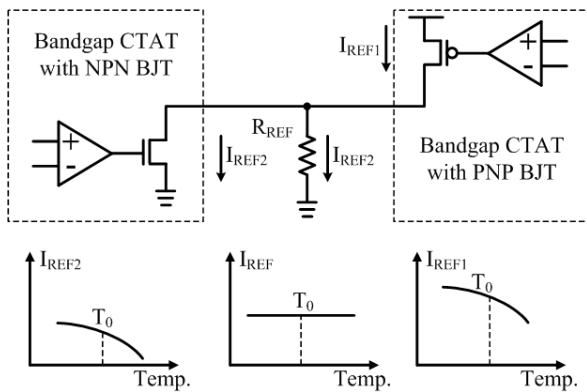


그림 2 제안한 구조의 밴드갭 레퍼런스
Fig. 2 Bandgap voltage reference of propose darchitecture.

밴드갭 레퍼런스 회로에 사용되는 BJT간의 비율은 정합하기 좋고 전력소모가 적은 1:8 비율을 주로 사용한다. 표 1은 기존 구조와 제안한 구조를 비교한 것으로 기존 구조의 밴드갭 레퍼런스 회로에 사용된 BJT간의 비율은 1:8이다.

표 1 기존 구조와 제안한 구조의 회로 구현에 따른 비교
Table 1 Comparison of the circuit implementation on the existing structure and the proposed structure.

	기존 구조 [6]	제안한 구조
nnp BJT	9	1
npn BJT	9	1
저항	11	3
PMOS	8	6
NMOS	8	6
Op-amp	2	2

기존 구조는 제안한 구조에 비해 BJT가 16개, 저항은 8개, PMOS는 2개, NMOS는 2개가 적다. 밴드갭 레퍼런스 회로에서 BJT는 PMOS, NMOS, 저항보다 구현에 필요한 면적이 크다. 즉 밴드갭 레퍼런스 회로에서 BJT가 적을수록 칩의 면적은 크게 작아진다. 제안한 구조는 기존 구조에 비해 BJT가 16개 적게 사용하므로 면적이 크게 감소하는 것을 볼 수 있다.

3. 회로 구현

제안한 구조를 이용하여 구현한 밴드갭 레퍼런스 회로는 그림 3과 같다. 제안한 구조는 Start-up 회로, CTAT 전류를 생성하는 회로, 두 전류의 차를 전압으로 바꾸는 회로로 구성되어 있다. Start-up 회로는 전원전압이 인가되면 밴드갭 레퍼런스 회로가 정상적으로 동작하도록 특정한 노드에 전압을 일시적으로 전압을 인가한다. 밴드갭 레퍼런스 회로가 정상적으로 동작하기 시작하면 Start-up 회로는 동작하지 않는다.

CTAT 전류는 npn BJT와 pnp BJT를 이용하여 생성한다. npn BJT를 이용하여 생성되는 전류 I_{REF1} 은 식(1)과 같고,

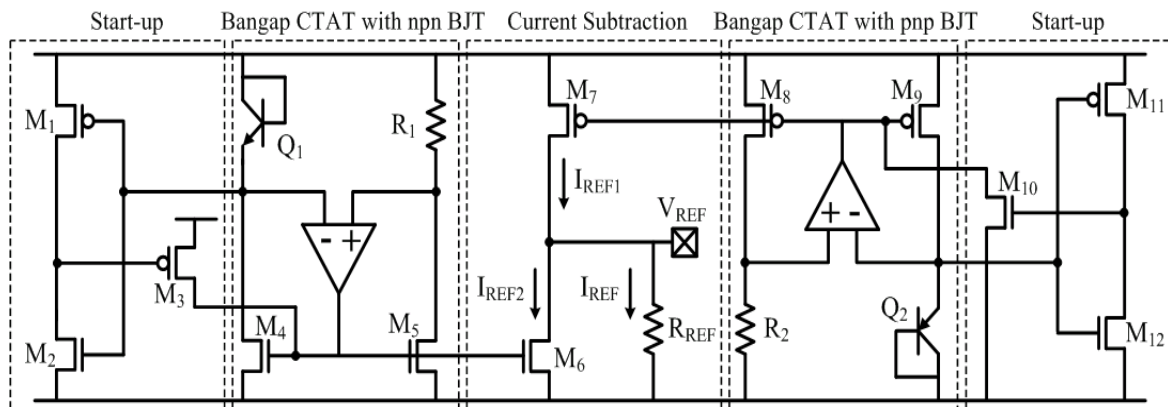


그림 3 제안한 구조의 밴드갭 레퍼런스 회로
Fig. 3 Bandgap voltage reference circuit of poposed architecture.

npn BJT를 이용하여 생성되는 전류 I_{REF2} 는 식(2)와 같다.

$$I_{REF1} = \frac{|V_{BE2}|}{R2} \quad (1)$$

$$I_{REF2} = \frac{V_{BE1}}{R1} \quad (2)$$

M6에 흐르는 전류는 M5와 M6의 W/L 비율에 의해 K_1 배만큼 증폭되며, M7에 흐르는 전류 역시 M7와 M8의 W/L 비율에 의해 K_2 배만큼 증폭된다. I_{REF} 는 npn BJT와 pnp BJT를 이용하여 생성된 전류의 차이므로 식(3)과 같다. 식 (4)는 제안한 구조의 밴드갭 레퍼런스 회로의 기준 전압이다.

$$I_{REF} = K_2 \cdot I_{REF1} - K_1 \cdot I_{REF2} \quad (3)$$

$$= \frac{K_2}{R2}|V_{BE2}| - \frac{K_1}{R1}V_{BE1}$$

$$V_{REF} = I_{REF} \cdot R_{REF} \quad (4)$$

$$= R_{REF} \left(\frac{K_2}{R2}|V_{BE2}| - \frac{K_1}{R1}V_{BE1} \right)$$

제안한 구조의 밴드갭 레퍼런스 회로는 Op-amp를 이용하므로 오피셋전압이 존재하고 기준 전압에 영향을 준다. Op-amp의 오피셋전압을 포함한 제안한 구조의 밴드갭 레퍼런스 회로의 기준 전압은 식 (5)와 같다.

$$V_{REF} = I_{REF} \cdot R_{REF} \quad (5)$$

$$= R_{REF} \left[\frac{K_2}{R2}|V_{BE2}| - \frac{K_1}{R1}V_{BE1} + (K_2 \cdot V_{OSP} - K_1 \cdot V_{OSN}) \right]$$

Op-amp의 오피셋전압은 K_1 과 K_2 만큼 증폭이 되지만, Tr.의 크기와 바이어스 전류 등 회로적으로 오피셋전압을 작게 할 수 있고 Op-amp를 좌우대칭으로 레이아웃을 하면 오피셋전압은 더욱 작아진다.

4. 모의실험 결과 및 고찰

모의실험은 0.18 μ m CMOS 공정의 파라미터를 이용였고, 그림 4는 전원전압을 1.25V, 1.3V, 1.35V, 1.4V로 인가고, 온도를 0°C에서 100°C까지 변화하는 개선된 CTAT 보상을 가지는 저전압 CMOS Bandgap Voltage Reference 회로의 시뮬레이션 결과이다.

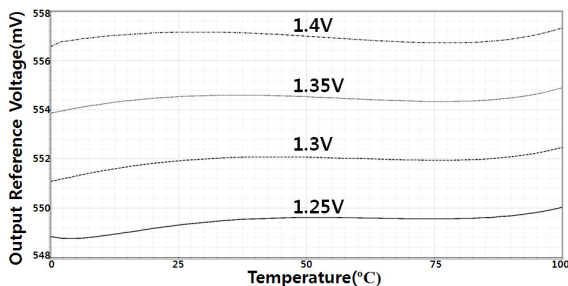


그림 4 전원전압과 온도의 변화에 따른 시뮬레이션 결과.
Fig. 4 Simulation result on the temperature under different supply voltage levels.

전원전압이 1.25V, 1.3V, 1.35V, 1.4V일 때 기준 전압의 온도 계수는 10ppm/°C 정도로 전원전압의 변화에 관계없이 거의 일정하다. 전원전압이 증가함에 따라 기준 전압이 점점 증가하는데 전원전압이 0.5V 증가하면 기준 전압은 2mV 정도 증가한다.

그림 5는 온도를 0°C, 25°C, 100°C일 때 전원전압을 0V에서 1.5V까지 변화하는 개선된 CTAT 보상을 가지는 저전압 CMOS Bandgap Voltage Reference 회로의 시뮬레이션 결과이다. 개선된 CTAT 보상을 가지는 저전압 CMOS Bandgap Voltage Reference 회로는 전원전압이 1.25V 이상에서 동작한다. 전원전압 1.25V, 온도 25°C에서 기준 전압은 549mV이고 전원전류는 32uA이다.

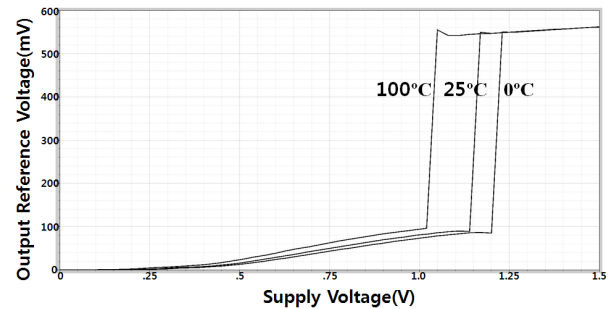


그림 5 전원전압과 온도의 변화에 따른 시뮬레이션 결과.
Fig. 5 Simulation result on the supply voltage under different operating temperatures.

5. 결 론

본 논문에서는 개선된 CTAT 보상을 가지는 저전압 CMOS Bandgap Voltage Reference를 제안하였다. 제안한 구조는 npn BJT와 pnp BJT를 이용하여 두 전류를 생성하고, 두 전류의 차를 저항을 이용하여 기준 전압을 생성한다는 점에서 같다. 하지만 제안한 구조는 PTAT 전류를 이용하지 않기 때문에 기존 구조보다 회로가 간단하고 전력 소모가 적다. 제안한 구조는 기존 구조에 비해 BJT가 16개, 저항은 8개, PMOS는 2개, NMOS는 2개가 적다. 제안한 구조는 기존 구조보다 BJT가 16개가 적으므로 그만큼 면적이 작다.

기존 구조는 전원전압 0.9V에서 19.5ppm/°C의 온도 계수를 갖고, 전원전압 1V에서 7.5ppm/°C의 온도 계수를 갖는다. 제안한 구조는 전원전압이 1.25V에서 12ppm/°C의 온도 계수를 갖고, 전원전압이 1.4V에서 6ppm/°C의 온도 계수를 갖는다. 제안한 구조는 기존 구조에 비해 온도 계수가 4.5ppm/°C 높지만 전원전압이 증가할수록 온도 계수는 낮아진다. 기존 구조는 전원전압 0.9V에서 전원전류는 최대 50uA이고, 제안한 구조는 전원전압 1.25V에서 최대 31uA로 기존 구조보다 전원전류가 19uA만큼 적게 흐른다.

제안한 개선된 CTAT 보상을 가지는 저전압 CMOS Bandgap Voltage Reference는 전력소모와 면적이 적고 온도 계수가 12ppm/°C 매우 낮기에 ADC, DAC의 기준 전압 원으로 사용할 수 있을 것으로 사료된다.

참 고 문 헌

- [1] K. N. Leung and K. T. Mok, "A sub-1-V 15-ppm/°C CMOS bandgap voltage reference without requiring low threshold voltage device," IEEE J. Solid-State Circuits, vol. 37, no. 4, pp. 526 - 529, Apr. 2002.
- [2] P. Malcovati, F. Maloberti, M. Pruzzi, and C. Focchi, "Curvature compensated BiCMOS bandgap with 1-V supply voltage," IEEE J. Solid-State Circuits, vol. 36, no. 7, pp. 1076 - 1081, Jul. 2001.
- [3] H. Banba, H. Shiga, A. Umezawa, T. Miyaba, T. Tanzawa, S. Atsumi, and K. Sakui, "A CMOS bandgap voltage reference circuit with sub-1-V operation," IEEE J. Solid-State Circuits, vol. 34, no. 5, pp. 670 - 674, May 1999.
- [4] G. Giustolisi, "A low-voltage low-power voltage reference based on subthreshold MOSFETs," IEEE J. Solid-State Circuits, vol. 38, no. 1, pp. 151 - 154, Jan. 2003.
- [5] G.A. Rincon-Mora and P. E. Allen, "A 1.1-V Current-Mode and Piecewise-Linear Curvature-Corrected Bandgap Reference," IEEE J. Solid-State Circuits, vol. 33, pp. 1551 - 1554, Oct. 1998.
- [6] Ming-Dou Ker, Jung-Sheng Chen, "New Curvature-Compensation Technique for CMOS Bandgap Reference With Sub-1-V Operation," IEEE Transactions on Circuits and Systems, vol. 53, no. 8, pp. 667 - 671, Aug. 2006.

저 자 소 개



김재봉 (金載鵬)

2006년 전북대학교 전자정보공학부 학사 졸업, 2009년 전북대학교 전자정보공학부 석사 졸업, 2011년~현재 전북대학교 전자정보공학부 박사과정

<주관심분야 : Low-voltage Low-power analog circuit, ADC/DAC>



조성익 (趙成翊)

1987년 전북대학교 전기공학과 학사 졸업, 1989년 전북대학교 전기공학과 석사 졸업, 1994년 전북대학교 전기공학과 박사 졸업, 1996년~2004년 Hynix 반도체 메모리 연구소 책임연구원, 2004년~현재 전북대학교 전자공학부 부교수.

<주관심분야: 저전압/고속 Graphic DRAM, Low-voltage Low-power analog circuit, High speed data Interface circuit, ADC/DAC, Filter, PLL/DLL>

E-mail : sicho@jbnu.ac.kr