
온도변화에 안정적인 시간-디지털 변환 회로

최진호*

Temperature Stable Time-to-Digital Converter

Jin Ho Choi*

요 약

시간 정보를 디지털 정보로 변환하기 위한 아날로그 지연소자를 사용하는 시간-디지털 변환회로를 설계하였다. 설계된 회로는 동작 온도가 변화하더라도 안정된 출력을 얻을 수 있도록 설계하였으며, HSPICE 시뮬레이션을 통하여 동작을 확인하였다. 설계된 지연소자는 온도가 -20°C 에서 70°C 까지 변화할 때 상온에 비해 -0.18% ~ 0.126% 의 지연시간 변화율을 보였다. 그리고 이를 이용하는 시간-디지털 변환회로에서 온도가 -20°C 에서 70°C 까지 변화하고 디지털 출력 값이 15가 되었을 때의 시간을 비교하면, 상온에 비하여 -0.18% 에서 0.12% 의 시간차를 보였다. 그러나 온도 변화에 안정화되지 않은 시간-디지털 변환회로의 경우 상온에 비하여 -1.09% 에서 1.28% 의 시간차를 보였다.

ABSTRACT

To converter time information to digital information Time-to-Digital Converter(TDC) is designed by using analog delay elements. To obtain the temperature stable characteristics the circuit is designed and the operation of the designed circuit is confirmed by HSPICE. The characteristics variation of the designed delay element with temperature is from -0.18% to 0.126% compared to room temperature characteristics when the temperature is varied from -20°C to 70°C . Time difference is from -0.18% to 0.12% compared to room temperature characteristic when the temperature is varied from -20°C to 70°C . The time difference is simulated when the digital output is 15. However the time difference is from -1.09% to 1.28% in the TDC using temperature non-stable analog delay elements.

키워드

신호변환, 시간-디지털 변환기, 지연 소자, 온도특성

Key word

signal conversion, time-to-digital converter, delay element, temperature characteristics

* 종신회원 : 부산외국어대학교 (jchoi@pufs.ac.kr)

접수일자 : 2012. 01. 26

심사완료일자 : 2012. 03. 15

I. 서 론

시간-디지털 변환회로는 시간 정보를 디지털 정보로 변환하는 회로로서 거리 측정을 위한 회로 및 주파수 혹은 위상 분석 등을 위한 회로에서 널리 사용되어진다. 이러한 이유로 다양한 형태의 시간-디지털 변환회로가 소개되어졌으며, 연구되어지고 있다[1-6]. 입력신호가 인가되는 동안 고주파 클럭 신호를 이용하여 카운터 하는 방법은 시간-디지털 변환기를 구성하는 가장 쉬운 방법이지만, 분해능이 클럭 주파수에 의해 제한된다는 단점이 있다. FPGA를 이용한 시간-디지털 변환회로의 경우 개발시간이 짧다는 장점이 있으나, 가격이 ASIC에 비해 비싸고 또한 지연시간의 제어가 용이하지 않는 문제가 있다.

또 다른 방법은 원하는 지연시간이 되도록 인버터를 직렬로 연결하여 ASIC으로 시간-디지털 변환회로를 구성하는 것이다. 이 경우 회로 특성의 제어가 용이하고 가격을 낮출 수 있는 장점이 있다. 그러나 원하는 지연시간을 얻기 위해 많은 인버터를 연결하여 구성함에 따라 MOS 트랜지스터의 채널 폭과 길이 변화에 따른 각 지연소자의 전기적 특성을 일정하게 유지하는데 어려움이 있다. 즉, 공정 변화에 민감하게 지연 특성이 변화한다는 단점이 있다[7]. 이에 비해 아날로그 지연소자를 사용할 경우 지연소자에 사용되어지는 MOS 트랜지스터의 개수를 감소시켜 칩 면적을 줄일 수 있으며, 공정에 따른 특성 변화도 최소화 할 수 있는 장점이 있다. 이유는 트랜지스터의 채널 폭과 길이의 절대값에 따라 지연시간이 결정되는 것이 아니라 트랜지스터 채널 폭의 비에 따라 지연시간이 결정되기 때문이다[7].

본 논문에서는 아날로그 지연소자를 사용하여 회로의 동작온도가 변화하더라도 안정된 시간-디지털 변환 특성을 얻는 것이 목적이다. 이를 위해 먼저, 회로의 온도 변화에 안정화된 정전류원을 구성하여 아날로그 지연소자의 공급 전류로 사용한다. 아날로그 지연소자에서 공급전류는 지연시간을 결정하는 중요한 파라미터이므로 온도 변화에 안정된 지연시간을 얻을 수 있다. 이렇게 얻어진 지연시간 신호를 이용하여 온도 변화에 따라 안정화된 디지털 정보를 얻는다.

II. 아날로그 시간-디지털 변환기

본 논문의 회로에서 공급전압은 5volts이며, 설계에 사용되어진 모델 파라미터는 MOSIS사의 0.5 μ m CMOS 공정을 이용하였다. 그리고 HSPICE를 사용하여 동작을 확인 분석하였다. 그림 1은 입력신호를 지연시켜 출력하는 아날로그 지연소자이다. PMOS MP1, MP2 그리고 NMOS MN1, MN2는 전류원을 구성하고 있다. MP3과 MN3 그리고 MP4와 MN5는 인버터를 구성하고 있으며, 최종 출력 VD의 전이시간은 전류원 MN4가 "low"에서 "high"로 변화하는데 걸리는 시간에 의해 결정된다. 즉, 입력전압 VIN과 출력 전압 VD 사이의 지연시간은 MN4의 전류 크기에 의해 제어된다.

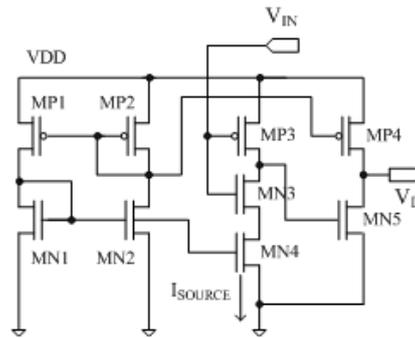


그림 1. 아날로그 지연소자 회로
Fig. 1 Analog delay element circuit

그림 2는 그림 1의 지연소자를 이용한 시간-디지털 변환회로의 블록도이다. D₀, D₁,...D_N은 그림 1의 지연소자이며, 동일한 구조로 구성되었다. 그러므로 각 지연소자의 지연시간도 동일하다. 입력신호 VIN은 지연소자 D₀를 통과하면 t₁ 시간만큼 지연되고, D₀의 출력신호가 다시 지연소자 D₁를 통과하면 2t₁ 만큼 지연된다. 각 지연소자를 통과하면서 지연된 시간은 입력신호 VIN이 "high"에서 "low"로 변화하면 각 지연소자의 출력단자에 연결된 D 플립플롭에 저장된다. D 플립플롭에 저장된 데이터는 신호처리를 통하여 시간에 따른 디지털 값으로 변환된다. 지연소자의 동작은 그림 1의 ISOURCE 전류의 크기에 의해 지연시간을 제어할 수 있으며, 시간-디지털 변환회로의 분해능을 제어할 수 있다.

그림 3은 회로의 온도변화에 따른 전류 I_{SOURCE} 의 변화를 시뮬레이션한 결과이다. 회로의 동작온도가 -20°C 에서 70°C 까지 변화할 때 전류원의 크기는 상온에 비하여 24.6%에서 -17.0%까지 변화하였다. 지연소자의 지연시간을 결정하는 I_{SOURCE} 의 크기가 변화하면, 지연시간 또한 회로의 동작온도에 따라 변화할 것이다.

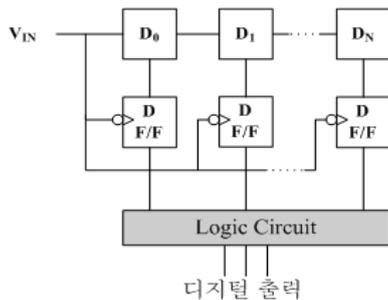


그림 2. 시간-디지털 변환회로
Fig. 2 Time-to-digital converter

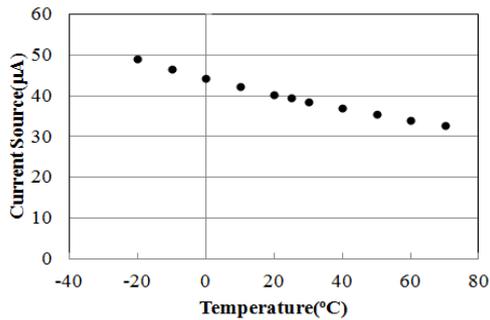


그림 3. 온도에 따른 I_{SOURCE} 변화
Fig. 3 I_{SOURCE} variation with temperature

그림 4는 온도 변화에 따른 지연소자의 지연시간을 시뮬레이션한 결과이며, 그림 5는 이를 이용하여 지연시간의 변화율을 계산한 것이다.

회로의 동작온도가 -20°C 에서 70°C 까지 변화할 때 지연소자의 지연시간은 541.8psec.에서 554.9psec.로 변화하였고, 상온에 대한 변화율은 약 -1.13%에서 1.26%였다. 이러한 특성을 가지는 지연소자를 사용하여 온도에 따라 시간-디지털 변환회로를 시뮬레이션한 결과는 그림 6과 같다. -20°C 와 70°C 에서 디지털 출력 값이 15가 될 때의 시간차를 보면 195psec. 이다.

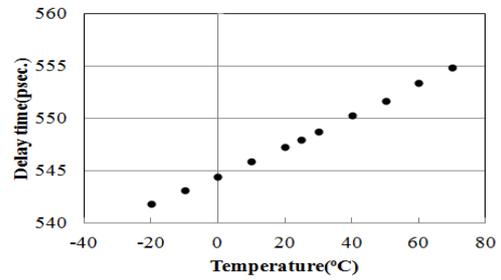


그림 4. 온도에 따른 지연시간의 변화
Fig. 4 Delay time variation with temperature

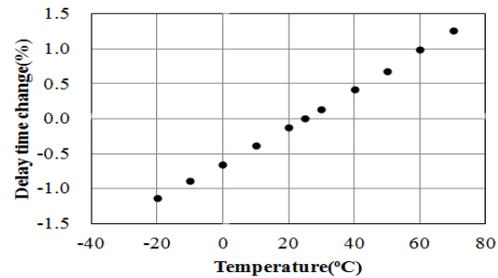


그림 5. 온도에 따른 지연시간의 변화율
Fig. 5 Delay time variation rate with temperature

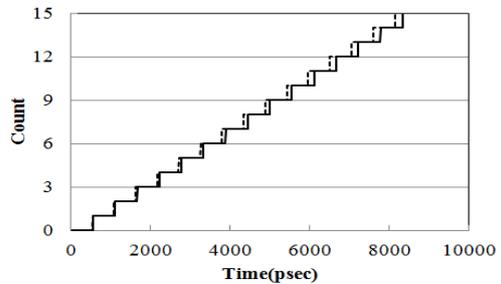


그림 6. 온도에 따른 시간-디지털 변환회로 출력
Fig. 6 TDC output with temperature

III. 온도 변화에 안정한 아날로그 시간-디지털 변환기

그림 7은 온도 변화에 안정된 특성을 가지도록 설계한 바이어스 회로[7] 및 지연소자 회로이다. 그림 7에서 $R1$ 이 충분히 크고, $MP1$ 과 $MP2$ 의 채널 폭 비가 n 이라면

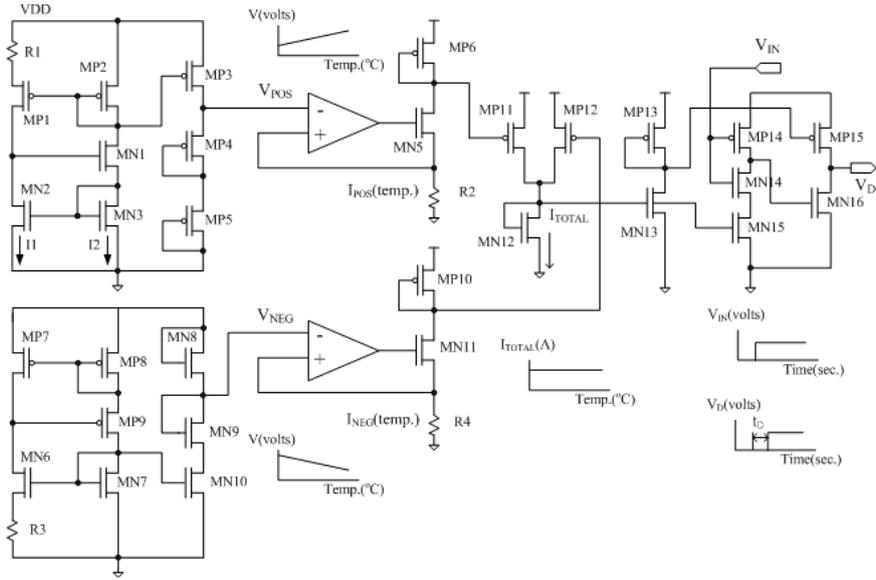


그림 7. 동작온도에 무관한 지연소자
Fig. 7 Delay element independent on temperature

I1과 I2의 전류식은 (1)과 같다.

$$nI_o \exp(-V_{gs1}/V_t) = I_o \exp(-V_{gs2}/V_t) \quad (1)$$

여기서 V_t 는 열전압(kT/q)이다. 그리고 MP1과 MP2의 전압 관계식은 (2)와 같다.

$$V_{gs2} = V_{gs1} - R_1 I_1 \quad (2)$$

식(1)과 식(2)로부터 전류 I1은 식(3)과 같다.

$$I_1 = (V_t \ln n) / R_1 \quad (3)$$

MP4와 MP5는 동일한 특성을 가지므로 VPOS 전압은 식(4)와 같이 표현된다.

$$V_{POS} = V_{gs4} + V_{gs5} = 2V_{gs4} \quad (4)$$

MP4와 MP5의 전류식은 (5)와 같다

$$I_D = \frac{1}{2} k (V_{gs4.5} - V_{TH})^2 \quad (5)$$

여기서 k 는 $\mu C_{OX}(W/L)$ 이다. MP4와 MP5에 흐르는

전류는 I1과 동일하므로 식(3), 식(4)와 식(5)를 정리하면 식(6)과 같다.

$$V_{POS} = 2V_{TH} + \sqrt{\frac{8V_t \ln n}{kR_1}} \quad (6)$$

식(6)에서 V_{TH} 는 온도에 따라 감소하는 값이지만, $\sqrt{8V_t \ln n / (kR_1)}$ 은 온도에 따라 증가하는 값이다. 여기서 n 과 R_1 을 제어함에 의해 온도 변화에 따라 전압의 변화율을 제어할 수 있다. 동일한 방법으로 VNEG는 식 (7)과 같이 표현된다.

$$V_{NEG} = V_{DD} - (V_{TH} + \sqrt{\frac{4V_t \ln n}{kR_3}}) \quad (7)$$

식 (6)과 (7)로부터 VNEG의 경우 VPOS에 비해 VDD sensitivity 특성은 다소 좋지 않을 것으로 판단된다. 온도에 따라 증가하는 전압 VPOS와 감소하는 전압 VNEG는 능동부하 차동증폭기를 통하여 R2와 R4 저항에 인가된다. R2와 R4에 흐르는 전류 IPOS와 INEG의 시뮬레이션 결과는 그림 8과 같다. 시뮬레이션 결과로부터 계산되어진 IPOS의 온도계수는 66,315ppm/°C이며, INEG의 온도계

수는 $-67,014\text{ppm}/^\circ\text{C}$ 이다. I_{POS} 와 I_{NEG} 는 MP11, MP12, MN12에 의해 더해지고, I_{TOTAL} 은 그림 8에서 보듯이 온도 변화에 안정화된 특성을 가진다. 회로의 동작온도가 -20°C 에서 70°C 까지 변화할 때, I_{TOTAL} 의 변화는 $44.73\mu\text{A}$ 에서 $44.44\mu\text{A}$ 이었으며, 상온에 비하여 변화율은 0.23% 에서 -0.43% 였다. 이는 동작온도에 안정화되지 않은 전류원의 변화율 24.6% 에서 -17.0% 에 비해 매우 안정된 온도 특성을 보여주었다.

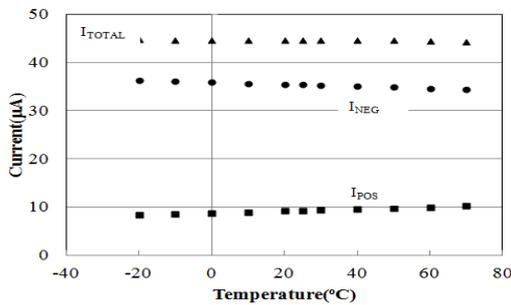


그림 8. 온도에 따른 전류의 변화
Fig. 8 Current variation with temperature

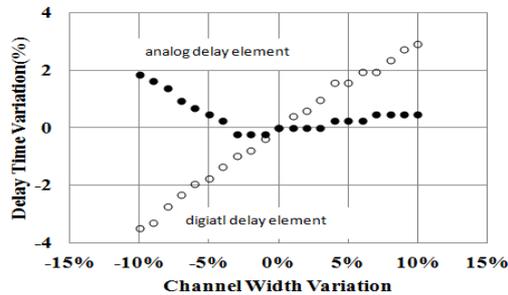


그림 9. 채널 폭 변화에 따른 지연시간 변화율
Fig. 9 Delay time variation with channel width variation

그림 9는 인버터를 이용한 디지털 지연소자와 그림 7의 아날로그 지연소자에 대해 채널 폭 변화에 따른 지연시간의 변화를 시뮬레이션한 결과이다. 디지털 지연소자의 경우 채널 폭이 $\pm 10\%$ 변화할 때 지연시간의 변화율은 -3.50% 에서 2.92% 였다. 그러나 아날로그 지연소자의 경우 -0.23% 에서 1.85% 의 변화율을 보였다. 이유는 인버터로 구성된 디지털 지연소자의 경우 채널 폭 변화에 직접적으로 동작 전류가 변화하고 이에 따라 지연시간도 변화하기 때문이다[7]. 그러나 그림 7의 경우 지연

소자의 공급 전류는 근사적으로 MOS의 문턱전압과 채널 폭의 비에 비례하기 때문이다. 그림 10과 그림 11은 그림 7의 지연소자를 이용하여 온도 변화에 따른 지연시간을 시뮬레이션한 결과이다. 이 경우 회로의 동작온도가 -20°C 에서 70°C 까지 변화할 때 지연시간의 변화율은 -0.18% 에서 0.12% 이내로서 매우 안정된 특성을 보여 주었다.

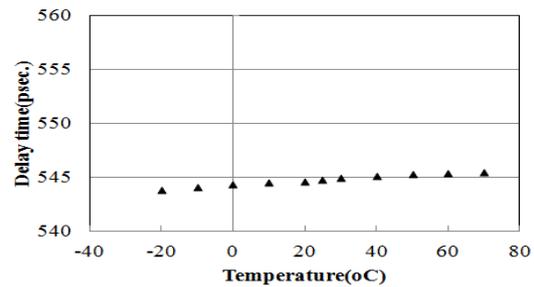


그림 10. 온도에 따른 지연시간
Fig. 10 Delay time with temperature

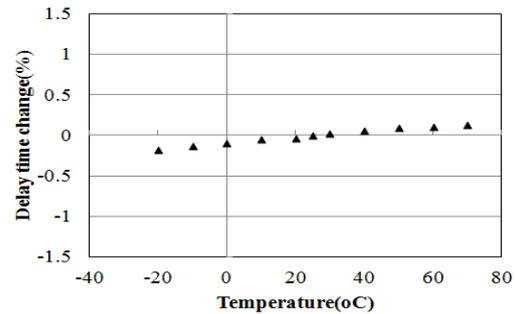


그림 11. 온도에 따른 지연시간의 변화율
Fig. 11 Delay time variation with temperature

그림 12는 그림 7의 지연소자를 사용하여 설계된 시간-디지털 회로의 동작특성이다. 그림 6의 결과와 비교하여 보면, 디지털 출력 값이 15가 되었을 때 온도 변화에 안정화되지 않은 경우 -20°C 에서 70°C 의 온도 변화에서 입력 시간차는 195psec. 이었으나 그림 12와 같이 온도 변화에 따라 안정화된 시간-디지털 변환회로의 경우 25psec. 로서 매우 향상된 온도 특성을 보여주었다.

표 1은 본 논문에서 제안한 아날로그 지연소자와 이를 이용하는 시간-디지털 변환회로의 특성을 일반적인 경우와 비교 정리 한 것이다.

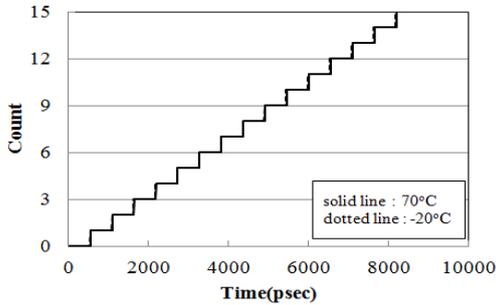


그림 12. 온도에 따른 시간-디지털 변환회로 출력
Fig. 12 TDC output with temperature

표 1. 아날로그 지연소자에 따른 온도 특성 비교
Table. 1 Comparison of temperature characteristics with analog delay element

항목	온도 변화에 따른 특성 (온도 범위 : -20°C ~ 70°C)	
	일반적인 지연소자 (그림 1)	제안한 지연소자 (그림 7)
지연소자 공급전류 변화율	24.6%~17.0%	0.23%~0.43%
지연시간 변화율	-1.13%~1.26%	-0.18%~0.12%
TDC 출력 값이 15가 되는데 걸리는 시간 차	195psec.	25psec.

IV. 결 론

회로의 온도 변화에 안정화된 특성을 가지는 시간-디지털 변환회로를 설계하였다. 설계되어진 회로는 HSPICE 시뮬레이션을 통하여 특성을 분석하고 동작을 확인하였다. 회로의 동작온도가 -20°C에서 70°C까지 변화할 때 -1.13%에서 1.26%의 변화를 보이던 지연소자의 변화율을 -0.18%에서 0.12%로 감소시킬 수 있었다. 그리고 이를 이용한 시간-디지털 변환 출력 값도 디지털 값이 15가 되었을 때 195psec.의 시간차를 25psec.로 감소시킬 수 있었다. 설계되어진 회로를 이용하여 거리측정 및 주파수, 위상분석 등의 응용 시스템에 사용되어질 경우 온도 변화에 따른 출력 변화를 최소화 시켜 시스템 특성을 향상시킬 수 있을 것이다.

참고문헌

- [1] Poki Chen and Shen-Iuan Liu, "A Cyclic Time-to-Digital Converter With Deep Sub-nanosecond Resolution," IEEE 1999 Custom Integrated Circuits Conference pp.605-608, 1999.
- [2] R. cicalese, et al, "Implementation of High-Resolution Time-to-Digital Converters on two different FPGA devices," WSPC-Proceedings, pp.1-5, 2007.
- [3] Jian Song, Qi An and Shubin Liu, "A high-resolution Time-to-Digital Converter Implemented in field programmable gate array," IEEE Trans. Instrum. Meas., vol. 53, no. 1, Feb. 2006.
- [4] Karadamoglou, K., et al "Delay An 11-bit high-resolution and adjustable-range CMOS time-to-digital converter for space science instruments," IEEE Solid-State-Circuit, vol.39, pp.214-222, Jan. 2004.
- [5] Vengattaramane, K., et al, "A gated ring oscillator based parallel-TDC system with digital resolution enhancement," Solid-State Circuit Conference A-SSCC 2009, pp.57-60, Nov. 2009.
- [6] Jin-Ho Choi, "Delay Time Reliability of Analog and Digital Delay Elements for Time-to-Digital Converter," International Journal of KIMICS, vol.7, no.1, Feb.2010.
- [7] Hong Jun Park, "CMOS Analog Integrated Circuit Design," Sigma Press, 1999.

저자소개

최진호(Jin-Ho Choi)

한국정보통신학회논문지
제14권 제4호 참조