

---

# DGMOSFET의 채널구조 및 도핑분포에 따른 문턱전압이하 전류의존성

정חק기\*

Dependence of Subthreshold Current for Channel Structure and Doping Distribution of Double Gate MOSFET

Hakkeec Jung\*

## 요 약

본 연구에서는 이중게이트(Double Gate; DG) MOSFET에서 채널 내 도핑분포 및 채널구조에 따른 문턱전압이하 전류의존성을 분석하고자 한다. 전위분포를 구하기 위하여 포아송방정식을 풀 때 전하분포는 가우스분포함수를 이용할 것이며 이의 타당성은 이미 여러 논문에서 입증하였다. 이중게이트 MOSFET는 게이트전압에 의한 전류제어능력의 증가로 단채널 효과를 감소시킬 수 있어 문턱전압이하 특성을 향상시킬 수 있다. 문턱전압이하 영역에서 전류제어는 고집적회로에서 소비전력의 감소와 관계된 매우 중요한 요소이다. 게이트전압에 따른 문턱전압이하 전류의 변화를 이용하여 문턱전압의 변화를 정량적으로 분석할 것이다. 문턱전압이하 전류는 채널 내 도핑분포 및 채널크기에 의하여 영향을 받는다. 그러므로 본 연구에서는 채널길이 및 채널두께의 변화가 전류흐름에 미치는 영향을 채널도핑농도, 도핑분포함수 등에 따라 분석할 것이다.

## ABSTRACT

In this paper, dependence of subthreshold current has been analyzed for doping distribution and channel structure of double gate(DG) MOSFET. The charge distribution of Gaussian function validated in previous researches has been used to obtain potential distribution in Poisson equation. Since DGMOSFETs have reduced short channel effects with improvement of current controllability by gate voltages, subthreshold characteristics have been enhanced. The control of current in subthreshold region is very important factor related with power consumption for ultra large scaled integration. The deviation of threshold voltage has been qualitatively analyzed using the changes of subthreshold current for gate voltages. Subthreshold current has been influenced by doping distribution and channel dimension. In this study, the influence of channel length and thickness on current has been analyzed according to intensity and distribution of doping.

## 키워드

DGMOSFET, 도핑분포, 포아송방정식, 문턱전압이하전류, 단채널효과

## Keyword

DGMOSFET, doping distribution, Poisson equation, subthreshold current, short channel effect

---

\* 종신회원 : 군산대학교(교신저자,hkjung@kunsan.ac.kr)

접수일자 : 2012. 01. 05

심사완료일자 : 2012. 02. 02

## I. 서 론

우리나라는 명실공히 반도체메모리분야에서 세계적인 중심에 서 있다. 그러나 이러한 세계적인 지위는 생산성향상 및 경쟁력강화 등 제품의 질을 향상시키면서 단가인하를 유도하므로써 유지될 수 있을 것이다. 이를 위하여 반도체메모리에 사용되고 있는 트랜지스터의 크기감소, 소비전력의 감소 그리고 웨이퍼크기 증가 등 생산성향상을 위하여 노력하고 있다. 특히 트랜지스터의 크기감소는 메모리용량이 기가바이트, 테라바이트 등 기하급수적으로 증가하면서 필연적인 사항이 되었다.

트랜지스터의 크기감소는 트랜지스터의 성능을 향상시키면서 생산성을 증대시킨다는 장점이 있지만 단채널효과의 증가라는 단점도 도출되고 있다. 단채널효과는 문턱전압이하 스윙특성의 저하, 문턱전압의 변화, 드레인유기장벽감소 현상 등 다양한 형태로 나타나고 있다. 이와같이 채널의 크기를 감소시킬 때 발생하는 단채널효과를 감소시키기 위하여 여러 가지 구조를 개발하여 연구하고 있다.

이에 부응하기 위하여 개발되고 있는 소자가 다중게이트 MOSFET이다. 다중게이트 MOSFET의 경우, 2개 이상의 게이트에서 채널 내 캐리어들을 제어하므로 게이트의 전류제어 능력이 증가하여 채널의 크기가 상대적으로 감소하는 효과를 나타낼 수 있다. 다중게이트 구조를 갖는 트랜지스터로는 게이트를 상하단에 두개 제작하는 이중게이트(Double Gate; DG) MOSFET소자[1], 채널을 Fin형태로 제작하고 게이트를 둘러쌓아 결국 3개의 게이트를 가지도록 제작하는 FinFET소자[2], 그리고 완전히 게이트로 채널을 둘러쌓아 만드는 서라운드(Surrounding) MOSFET소자[3] 등이 있다. 이러한 다중게이트 MOSFET소자는 구조가 복잡하여 제작하기 어려우나 제작공정기술의 발전으로 어려움을 극복하고 있으며 최근에는 궁극적으로 단채널효과를 제거할 수 있는 소자로 각광받으며 세계적으로 많은 과학자들이 연구하고 있다.

그러나 이론적인 연구의 대부분은 기본구조인 이중게이트 MOSFET구조를 이용하여 해석하고 있으며 본 연구에서도 가장 기본이 되는 이중게이트 MOSFET소자를 이용하여 해석할 것이다.

DGMOSFET는 기존의 CMOSFET와 달리 상하단에 게이트를 2개 제작하는 구조로서 DGMOSFET에 대한 이론적인 연구의 대부분은 포아송방정식을 풀어 해석학적 전위분포모델 등을 구하고 이를 이용하여 문턱전압이나 문턱전압이하 스윙 등을 해석하는데 집중하고 있다[4]. 본 연구에서는 검증된 전위분포모델을 이용하여 게이트전압의 변화에 대한 드레인전류의 변화 즉, 전송특성을 문턱전압이하에서 구할 것이다.

일반적으로 10nm이하의 채널길이를 갖는 이중게이트 MOSFET소자에서는 터널링전류(tunneling current)가 우세하나 그보다 큰 채널길이를 갖는 소자에서는 열방사전류(thermionic current)가 우세하다고 알려져 있다[5]. 본 연구에서는 20nm이상의 채널길이를 갖는 이중게이트 MOSFET에 대하여 분석할 것이므로 열방사전류만을 분석할 것이다. 특히 포아송방정식을 풀 때 실험값에 유사한 전하분포로 가우스함수를 이용한 Tiwari 등[6]의 해석학적 모델을 이용할 것이다.

그들은 전위분포에 대한 해석학적 모델을 구하고 문턱전압에 대한 모델까지 제시하였으나 전류-전압관계 즉, 전송특성에 대해서는 언급하지 않았다. 이에 본 연구에서는 Tiwari의 모델을 이용하여 전위분포를 구하고 이를 이용하여 게이트전압에 따른 문턱전압이하 드레인전류의 변화를 정량적으로 분석할 것이다. 문턱전압이하 전류는 채널 내 도핑분포 및 채널크기에 의하여 영향을 받는다. 그러므로 본 연구에서는 채널길이 및 채널두께의 변화가 전류흐름에 미치는 영향을 채널도핑농도, 도핑분포함수 등에 따라 분석하여 문턱전압에 미치는 영향을 고찰할 것이다.

2장에서는 Tiwari의 전위분포 모델에 대하여 설명할 것이며 3장에서 문턱전압이하 영역에서 드레인전류와 게이트전압과의 관계를 도핑농도와 채널길이 및 두께, 그리고 산화막두께 등에 대하여 분석할 것이다. 4장에서 결론 및 향후 개발방향을 제시할 것이다.

## II. 전위분포모델과 전류모델

그림 1은 이 논문에서 사용한 DGMOSFET의 개략도이다. 도시한 바와같이  $x, y$ 방향에 대해서만 전위분포를 구할 것이다.

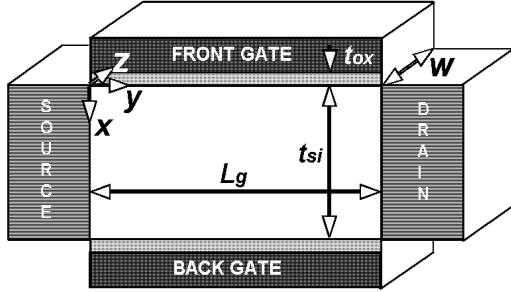


그림 1. DGMOSFET의 개략도  
Fig. 1 Schematic view of DGMOSFET

즉, 채널폭 방향인  $z$ 방향으로의 전위분포는 거의 일정하므로[7]  $x, y$  방향의 2차원 전위분포만을 다음과 같은 포아송방정식을 이용하여 구한다.

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = \frac{qn(x)}{\epsilon_{si}} \quad (1)$$

여기서  $n(x)$ 는 채널내 도핑분포함수로서 식(2)와 같은 가우시안 분포함수를 이용하였다.

$$n(x) = N_p \exp\left\{-\frac{(x - R_p)^2}{2\sigma_p^2}\right\} \quad (2)$$

여기서  $N_p$ 는 이온주입시 도즈량에 의하여 결정되는 최대 도핑분포값이며  $R_p$ 와  $\sigma_p$ 는 각각 이온주입의 범위 및 분포편차를 나타낸다. 식 (1)과 (2)를 풀기 위하여 Tiwari 등의 전개방법을 이용하면 전위분포를 구할 수 있다. 이미 발표한 논문에서 전위분포 관련식에 관하여 검증하였다[8]. 이렇게 구한 전위분포함수를 이용하여 얻은 에너지분포도를 그림 2에 도시하였다. 그림 2에 도시한 바와같이 열방사전류는 에너지분포함수 이상의 에너지를 지닌 전자들에 의하여 형성되고 있다. 그러므로 게이트전압이 변화하면 에너지장벽을 넘어 이동할 수 있는 전자의 양이 변화하므로 드레인전류의 크기도 변화하게 된다. 즉, 그림에서 알 수 있듯이 게이트전압이 증가하면 에너지장벽이 낮아져 결국 드레인전류의 양이 증가하는 것이다.

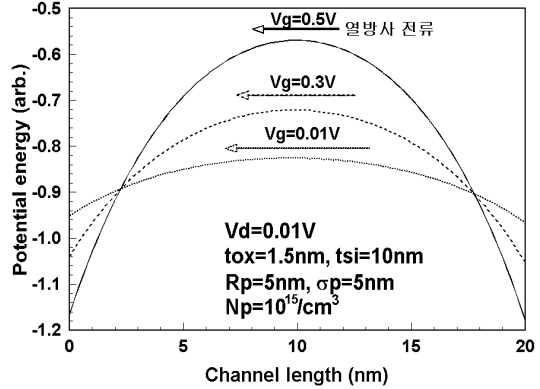


그림 2. 게이트전압에 따른 DGMOSFET의 채널내 에너지분포도  
Fig. 2 Energy distribution of DGMOSFET in channel for gate voltages

이와같은 정성적인 분석을 이용하여 정량적으로 전류의 크기를 분석해보면, 모든 전자는 3차원의 자유도를 지니고 있으므로  $x, y, z$ 방향으로 그리고  $+$ ,  $-$ 방향으로 이동할 수 있다. 즉 6개의 방향으로 이동할 수 있다. 그 중 소스에서 드레인으로 향하는 전자는  $1/6$ 이 되며 열전자의 이동속도를  $v_{th}$ 라 하자. 이때 전자농도는

$$n_m(x_{eff}) = \frac{n_i^2}{N_p} \exp(q\phi_{\min}(x)/kT) \quad (3)$$

와 같다. 여기서  $\phi_{\min}$ 은 최소전위값이며  $x_{eff}$ 는 전도중심을 나타낸다[4]. 결과적으로 열방사전류만으로 구성되는 드레인전류는

$$I_{th} = qn_m(x_{eff})v_{th}Wt_{si}/6 \quad (4)$$

으로 표현할 수 있다. 여기서  $Wt_{si}$ 는 채널폭과 채널두께의 곱으로써 전자가 드레인으로 빠져나가는 면적이다. 본 논문에서는 게이트전압에 따라 식 (4)를 이용하여 구한 전류의 변화를 채널도핑농도 및 분포, 채널의 길이 및 두께 그리고 산화막두께에 따라 분석할 것이다.

### III. 게이트전압에 따른 전류의 변화

그림 3에 채널두께를 10nm, 게이트산화막을 1.5nm로 고정하고 이온주입범위와 분포편차가 5nm로 동일할 때 문턱전압이하영역에서 열방사전류 즉, 드레인전류를 도시하였다.

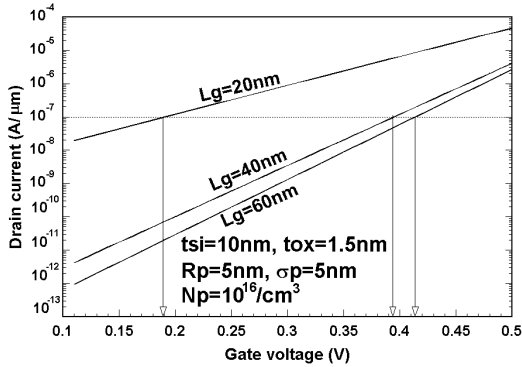


그림 3. 게이트전압에 따른 드레인전류의 변화 ( $t_{si} = 10nm$ )

Fig. 3 Drain current for gate voltages ( $t_{si} = 10nm$ )

각 그래프의 기울기에서 문턱전압이하 스윙을 구할 수 있으며 채널길이가 작아지면 문턱전압이하 스윙값이 증가하여 단채널효과가 발생하고 있다는 것을 알 수 있다. 또한 전체적인 전류양도 채널길이가 작아지면 급격히 증가하는 것을 관찰할 수 있다. 이러한 특성은 문턱전압의 변화에도 영향을 미치며  $10^{-7} A/\mu m$ 의 전류가 흐를 때를 문턱전압이라 하면[9] 그림 3에서 도시한 바와같이 채널길이가 작아질 때 문턱전압이 급격히 감소하는 문턱전압이동현상이 발생하는 것을 알 수 있다. 이와같이 문턱전압이하에서 게이트전압과 드레인전류의 관계를 유도하면 단채널효과를 분석할 수 있다.

모든 파라미터값을 고정시키고 단지 도핑농도만  $N_p = 10^{16}/cm^3$ 에서  $N_p = 10^{18}/cm^3$ 로 100배 증가시켰을 때 드레인전류의 변화를 고찰하기 위하여 그림 4에 해당 그래프를 도시하였다. 스케일링 이론에 의하면 단채널효과를 감소시키기 위하여 도핑농도를 증가시켜야만 한다.

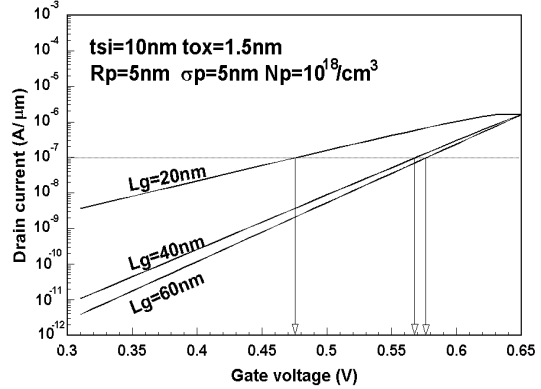


그림 4. 게이트전압에 따른 드레인전류의 변화 ( $N_p = 10^{18}/cm^3$ )

Fig. 4 Drain current for gate voltages ( $N_p = 10^{18}/cm^3$ )

그림 3과 그림 4를 비교하면 채널길이에 따른 문턱전압의 변화가 도핑농도가 클 때 매우 감소하는 것을 알 수 있다. 즉, 문턱전압이동이라는 단채널효과를 감소시킬 수 있으나 급격히 문턱전압이 증가하는 문제점을 야기시킨다. 문턱전압의 증가는 산화막두께 및 채널두께 등을 조절하여 감소시킬 수 있다.

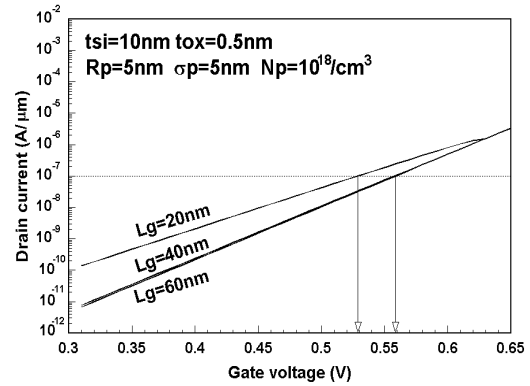


그림 5. 게이트전압에 따른 드레인전류의 변화 ( $t_{ox} = 0.5nm, N_p = 10^{18}/cm^3$ )

Fig. 5 Drain current for gate voltages ( $t_{ox} = 0.5nm, N_p = 10^{18}/cm^3$ )

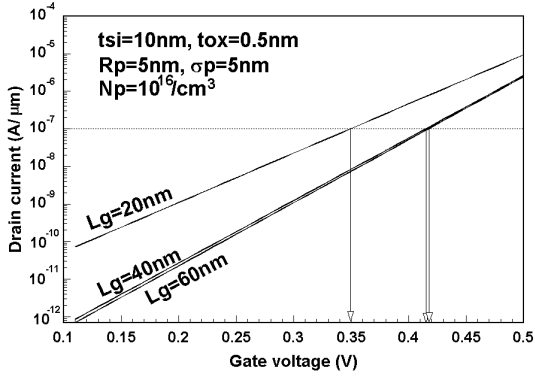


그림 6. 게이트전압에 따른 드레인전류의 변화  
 ( $t_{ox} = 0.5nm, N_p = 10^{16}/cm^3$ )  
 Fig. 6 Drain current for gate voltages  
 ( $t_{ox} = 0.5nm, N_p = 10^{16}/cm^3$ )

문턱전압의 증가를 해결하기 위하여 게이트산화막의 두께를 감소시켜 구한 게이트전압 대 드레인전류의 관계를 그림 5에 도시하였다. 그림에서 알 수 있듯이 채널길이가 40nm와 60nm에서는 문턱전압이 약간 감소하나 채널길이가 20nm에선 오히려 증가하였다. 또한 문턱전압의 이동과 같은 단채널효과는 크게 감소한 것을 알 수 있다. 이와같이 게이트산화막의 두께를 감소시켜 문턱전압이동은 감소시킬 수 있으나 게이트산화막의 두께를 나노단위 이하로 제작하여야 하는 어려움이 있다.

그림 3의 조건에서 단지 게이트산화막의 두께를 감소시켰을 때 문턱전압이하 전류특성을 알아보기 위하여 그림 6에 산화막두께를 0.5nm로 감소시켰을 때 전류특성을 도시하였다. 그림 3과 비교하면 채널길이가 40nm와 60nm에선 문턱전압의 변화가 거의 없으나 채널길이가 20nm로 감소할 경우, 문턱전압이 크게 증가하는 것을 알 수 있다. 그러나 채널길이에 따른 문턱전압의 이동현상은 감소하였다. 즉, 그림 3과 6, 그리고 그림 4와 5를 각각 비교해보면 도핑농도와 관계없이 산화막두께가 감소하면 문턱전압이동현상은 크게 감소하는 것을 관찰할 수 있다. 이와같이 단채널효과는 도핑농도와 산화막두께에 대하여 매우 민감하게 나타나고 있다는 것을 알 수 있다. 여기서 산화막두께가 0.5nm 정도로 감소하면 채널길이가 40nm 이상에서 도핑농도와 관계없이 문턱전압은 거의 일정하게 유지되는 것을 관찰할 수 있다.

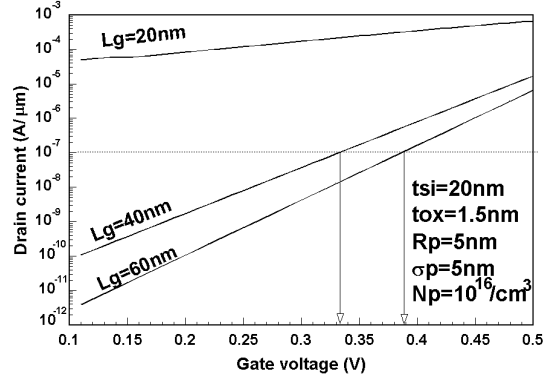


그림 7. 게이트전압에 따른 드레인전류의 변화  
 ( $t_{si} = 20nm$ )  
 Fig. 7 Drain current for gate voltages  
 ( $t_{si} = 20nm$ )

채널두께가 증가하면 전류크기가 증가하여 결국 문턱전압의 감소를 야기시킬 것이다. 즉, 그림 7에 채널두께가 10nm에서 20nm로 증가하였을 때 전류특성을 도시하였다. 그림 3과 비교하면 전류크기가 매우 증가하고 있다는 것을 알 수 있다. 특히 채널길이가 20nm로 매우 작을 때는 전류가 급격히 증가하여 문턱전압이 크게 감소하고 있다는 것을 알 수 있다. 그러나 감소정도는 채널길이가 증가할수록 미미하게 나타나고 있다는 것도 관찰할 수 있다. 또한 채널길이의 변화에 대한 문턱전압의 이동과 같은 단채널효과가 채널두께의 증가와 함께 매우 급격히 발생하고 있다는 것을 알 수 있다. 그러므로 단순히 문턱전압을 감소시키기 위하여 채널두께를 증가시키면 단채널효과가 심각하게 발생하므로 주의하여야 한다.

#### IV. 결 론

본 연구에서는 이중게이트 MOSFET에서 채널 내 도핑분포 및 채널구조에 따른 문턱전압이하 전류의존성을 분석하였다. 이러한 전류의존성을 이용하여 문턱전압의 이동 등을 정성적으로 분석하였다. 전위분포를 구하기 위하여 포아송방정식을 풀 때 전하분포는 가우스 분포함수를 이용하였으며 이온주입범위 및 분포편차는 5nm로 동일한 값을 가지는 분포를 이용하였다.

이중게이트 MOSFET는 게이트전압에 의한 전류 제어능력의 증가로 단채널 효과를 감소시킬 수 있다는 장점이 있으므로 채널길이 및 채널두께 그리고 채널도핑농도 등에 따른 전송특성을 면밀히 관찰하여 이중게이트 MOSFET의 장점을 부각시켜야 할 것이다. 게이트전압에 대한 문턱전압이하에서의 드레인전류의 변화를 이용하여 문턱전압의 변화를 정량적으로 분석해 본 결과, 스켈링 이론에 따라 도핑농도가 증가하면 문턱전압이 증가하고 산화막두께를 감소시키면 문턱전압이동 현상이 다소 감소하는 것을 알 수 있었다. 또한 채널두께가 증가하면 전체적인 전류크기는 증가하나 채널길이에 따른 문턱전압이동 현상과 같은 단채널효과가 심각하게 발생하고 있다는 것도 관찰하였다. 이상에서 살펴본 바와같이 채널크기와 채널도핑농도 등에 따른 전류의존성에 대한 분석결과는 이중게이트 MOSFET소자 설계에 이용할 수 있는 것으로 사료된다.

### 참고문헌

[1] A.Martinez, K.Kalna, P.V.Sushko, A.L.Shluger, J.Barker and A.Asenov, "Impact of Body-Thickness-Dependent Band Structure on Scaling of Double-Gate MOSFETs: A DFT/NEGF Study," IEEE Trans. on Nanotechnology, Vol.8, No.2, pp. 159-166, 2009.

[2] V.Subramanian, A.Mercha, B.Parvias, M.Dehan, G.Groeseneken, W.Sansen and S.Decoutere, "Identifying the bottlenecks to the RF performance of FinFETs," 2010 23rd International Conference on VLSI Design, pp.111-116, 2010.

[3] S.H.Oh, D.Monroe and J.M. Hergenrother, "Analytic Description of Short-Channel Effects in Fully-Depleted Double-Gate and Cylindrical, Surrounding-Gate MOSFETs," IEEE Electron Device Letters, Vol.21, No.9, pp.445-447, 2000.

[4] Z.Ding, G.Hu, H.Gu, R.Liu, L.Wang and T.Ting,"An Analytical Model for the Subthreshold Swing of Double-Gate MOSFETs," IWJT-2010, May 2010.

[5] 정학기, "나노구조 이중게이트 MOSFET에서 터널링이 단채널효과에 미치는 영향," 한국해양정보통신

학회논문지, Vol.10, No.3, pp.479-485, 2006.

[6] P.K. Tiwari, S. Kumar, S. Mittal, V. Srivastava, U. Pandey and S. Jit, "A 2D Analytical Model of the Channel Potential and Threshold Voltage of Double-Gate(DG) MOSFETs with Vertical Gaussian Doping Profile," IMPACT-2009, pp.52-55, 2009.

[7] A.S.Havaladar, G.Katti, N.DasGupta and A.Das Gupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 53, no.4, pp.737-741, 2006.

[8] 정학기, "이중게이트 MOSFET에서 채널내 도핑분포에 대한 드레인유기장벽감소의존성," 한국해양정보통신학회논문지, Vol.15, No.9, pp.2000-2006, 2011.

[9] TCAD Manual, Part 4:INSPEC, ISE Integrated Systems Engineering AG, Zurich, Switzerland, 2001, p.56. ver.7.5.

### 저자소개

#### 정학기(Hakkee Jung)

한국정보통신학회논문지  
제16권 제4호 참조