
기관전압에 따른 나노와이어 Junctionless MuGFET의 전류-전압 특성

이재기* · 박종태**

Current-Voltage Characteristics with Substrate Bias in Nanowire Junctionless MuGFET

Jae-Ki Lee* · Jong-Tae Park**

요 약

본 연구에서는 고속 및 저전력 스위칭 소자 응용을 위하여 n-채널 무접합 및 반전모드 MuGFET 와 p-채널 무접합 및 축적모드 MuGFET의 기관전압에 따른 전류-전압 특성을 측정하고 비교 분석하였다. 기관전압에 따른 문턱전압과 포화 드레인 전류 변화로부터 n-채널 소자에서는 반전모드 소자가 무접합 소자보다 변화량이 크며 p-채널 소자에서는 무접합 소자가 축적모드 소자보다 변화량이 큰 것을 알 수 있었다. 전달컨덕턴스 변화는 n-채널 소자보다 p-채널 소자의 변화량이 큰 것을 알 수 있었다. 그리고 subthreshold swing 특성으로부터 n-채널 소자와 p-채널 무접합 소자는 기관전압 변화에 따라 S값의 변화가 거의 없지만 p-채널 축적모드 소자는 기관전압이 양의 방향으로 증가할 때 S 값이 증가하는 것으로 관측되었다. 기관전압을 이용한 고속 및 저전력 스위칭 소자 응용 측면에서는 n-채널 소자에서는 반전모드 소자가 p-채널 소자에서는 무접합 소자가 더 좋은 특성을 보였다.

ABSTRACT

In this paper, a current-voltage characteristics of n-channel junctionless and inversion mode(IM) MuGFET, and p-channel junctionless and accumulation mode(AM) MuGFET has been measured and analyzed for the application in high speed and low power switching devices. From the variation of the threshold voltage and the saturation drain current with the substrate bias voltages, their variations in IM devices are larger than junctionless devices for n-channel devices, but their variations in junctionless devices are larger than AM devices for p-channel devices. The variations of transconductance with substrate biases are more significant in p-channel devices than n-channel devices. From the characteristics of subthreshold swing, it was observed that the S value is almost independent on the substrate biases in n-channel devices and p-channel junctionless devices but it is increased with the increase of the substrate biases in p-channel AM devices. For the application in high speed and low power switching devices using the substrate biases, IM device is better than junctionless devices for n-channel devices and junctionless device is better than AM devices for p-channel devices.

키워드

무접합 MuGFET, 반전모드 MuGFET, 축적모드 MuGFET, 기관 바이어스 효과

Key word

Junctionless MuGFET, Inversion mode MuGFET, Accumulation mode MuGFET, Substrate bias effect

* 정회원 : 가천대학교 전자공학과 교수

접수일자 : 2012. 02. 21

** 정회원 : 인천대학교 전자공학과 교수(교신저자 jtpark@incheon.ac.kr)

심사완료일자 : 2012. 03. 28

Open Access <http://dx.doi.org/10.6109/jkiice.2012.16.4.785>

© This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서 론

고집적화와 저소비전력이 요구되는 이동 기기의 수요 증가로 CMOS 소자의 크기는 수십 나노미터 레벨로 축소되고 있다. 그러나 나노미터 레벨로 소자 크기가 축소되므로 단채널 현상이 심하게 되어 소자의 스위칭 특성이 저하된다. 이를 개선하기 위한 기술개발이 미래 CMOS 소자의 가장 중요한 핵심이 되고 있다. 단채널 현상을 줄이기 위해 다양한 CMOS 소자 구조와 high-end 공정에 관한 연구들이 발표되고 있다. 최근에는 SOI(Silicon-on-Insulator) 기술을 사용한 게이트가 여러 개인 MuG FET(Multiple-Gate MOSFET)가 차세대 나노미터 레벨의 CMOS 소자로 유망할 것으로 기대된다[1-2].

MuGFET는 여러 개의 게이트를 사용하므로 소자의 채널 포텐셜을 효과적으로 제어할 수 있게 되어 문턱전압 roll-off, DIBL(Drain Induced Barrier Leakage : 드레인 유기 장벽 누설)등의 단채널 현상을 줄일 수 있게 된다. 2001년도에 인텔에서는 집적회로에 나노미터 레벨의 Tri-gate CMOS를 사용한 제품을 발표 하여 앞으로 MuGFET는 CMOS 소자의 핵심 소자 구조가 될 것임을 알 수 있다[3].

MuGFET 소자 중에서 가장 좋은 소자구조는 GAA(Gate-All-Around) 또는 Surrounding-gate 소자이다. GAA 소자는 게이트가 채널을 둘러싸는 구조이므로 게이트 전압이 채널 포텐셜을 가장 완벽하게 제어할 수 있게 되어 단채널 현상을 현저히 줄일 수 있다[1].

일반적으로 n-채널 MOSFET는 채널과 소스 및 드레인의 불순물 농도가 다른 타입인 반전 모드 소자를 사용하고 있으나 SOI MOSFET의 실리콘 박막 두께가 초박막으로 되면서 채널과 소스 및 드레인의 불순물 타입이 같은 AM (accumulation mode : 축적모드) 소자의 특성이 IM(inversion mode : 반전 모드) 소자 특성과 유사하다는 연구결과가 발표되었다[4].

최근에 J.P. Collinge 등은 축적모드 소자를 변형하여 소스 및 드레인 접합이 없는 무접합 (junctionless) 트랜지스터를 제안하여 접합 부근의 측면 확산을 줄이므로 단채널 현상을 줄이고 공정 단가를 획기적으로 줄일 수 있게 되었다[5]. 무접합 트랜지스터는 SOI MOSFET의 실리콘 박막을 10-20nm 정도로 얇게 하여 게이트와 실리콘

박막의 일함수 차이로 실리콘 박막의 캐리어를 완전히 공핍시키게 한다. 그러면 게이트 전압이 0V 일 때 소자는 OFF 상태 즉 “normally-OFF” 소자가 된다. 그리고 게이트에 문턱전압 보다 더 큰 전압이 인가되면 실리콘 박막의 중앙부터 소스와 드레인 사이에 캐리어 층이 연결되어 전류가 흐르는 채널이 형성된다.

무접합 트랜지스터는 소스 및 드레인 접합을 위한 이온 주입과 후속 열처리 공정이 없으므로 접합 부근의 측면 확산을 줄일 수 있고 volume inversion을 이용하므로 채널 표면에 서의 캐리어 스케터링에 의한 이동도 감소를 줄일 수 있으므로 나노미터 레벨 소자로 유망하다 [6]. 낮은 채널 불순물을 사용하므로 소스 및 드레인의 직렬저항이 증가하는 단점이 있으나 일반적인 CMOS의 extension 게이트 공정을 이용하여 높은 불순물을 소스와 드레인에 한 번 더 이온 주입 하여 큰 직렬저항을 줄일 수 있다는 연구결과도 발표되었다[7].

기관전압에 의한 문턱전압 제어는 차세대 저전력 집적회로에 아주 중요한 기술이다. 기관 전압에 따라 소자가 활성상태 또는 대기상태로 될 수 있다. 활성상태에서는 기관 전압에 의해서 문턱전압을 감소시킬 수 있으므로 구동 전류를 크게 하여 집적회로의 속도를 빠르게 할 수 있다. 대기상태에서는 기관 전압에 의해서 문턱전압을 증가 시키므로 소자의 누설전류를 줄일 수 있게 되어 집적 회로의 소비전력을 줄일 수 있다. 기관전압에 따라 문턱전압을 제어할 수 있는 fully depleted SOI MOSFET 또는 MuGFET 소자는 저전력 집적 회로 응용에 유리하다는 연구들이 발표 되었다 [8-9].

나노와이어 무접합 MuGFET 소자의 특성에 관한 많은 연구들은 발표되었지만 기관전압에 따른 전류-전압 특성에 관한 연구는 발표된 것이 없다[5-7]. 본 연구에서는 기관전압에 따른 n-채널 무접합 소자와 반전모드 소자의 전류-전압 특성과 p-채널 무접합 소자와 축적 모드 소자의 전류-전압 특성을 비교분석하였다.

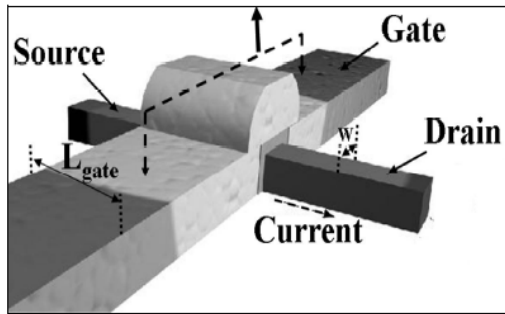
II. 소자제작

무접합 MuGFET, 반전모드 소자 및 축적모드 소자는 실리콘 박막의 두께가 340 nm이며 저항이 10-20Ω-cm고 매몰 산화층 두께가 400 nm인 p-형 SOI 웨이퍼를 기관오

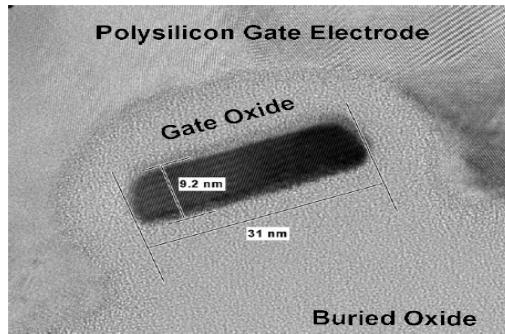
로 이용하여 제작되었다. 산화공정과 wet chemical removing 공정을 이용하여 실리콘 박막을 10-15 nm 로 한 후에 e-beam 리소그래피와 RIE 에칭을 이용하여 실리콘 나노와이어를 만들었다. 게이트 산화층 두께는 10 nm로 건식 산화로 성장시켰다. 무접합 소자를 만들기 위한 이온 주입은 n-채널 소자는 N⁺, p-채널 소자는 P⁺로 각각 1x10¹⁹cm⁻³의 농도로 균일하게 도핑 하였다. N-채널 반전모드 소자는 NA=2x10¹⁸cm⁻³의 역셉터 도핑 농도로 채널에 이온 주입하였다. P-채널 축적모드 소자는 도핑되지 않은 즉 불순물농도는 약 NA=2x10¹⁵ cm⁻³ 정도이다. 게이트는 LPCVD(low pressure chemical vapor deposition) 방법으로 모든 소자에 50 nm 두께의 다결정 실리콘을 게이트 산화층 위에 증착하였고 n-채널 무접합 소자는 P⁺로 도핑하였으며 n-채널 반전모드 소자, p-채널 무접합 소자, 축적모드 소자는 N⁺로 도핑하였다.

P-채널 축적모드 소자는 BF₂, n-채널 반전모드 소자는 비소를 각각 소스와 드레인 영역에 이온 주입하여 형성되었다. 그러나 무접합 소자는 소스 및 드레인에 불순물을 다시 도핑하지 않았으므로 채널불순물 농도인 1x10¹⁹cm⁻³과 같게 된다. 산화층을 증착하고 콘택을 위한 시가 공정을 한 후에 TiW+Al 금속을 증착하여 전극을 형성하였다. 제작된 모든 소자의 게이트 구조는 게이트 확장 길이가 10 nm인 pi-gate 구조의 MuGFET 소자이다.

공정 후 TEM으로 관측된 실리콘 박막 두께는 약 10 nm이다. 측정에 사용된 모든 소자의 게이트 길이는 1 μm 이고 n-채널 소자의 채널 폭은 도면 40 nm에서 공정 후 30 nm로 감소하였고 핀 수 (n_f)는 5이며 p-채널 소자의 채널 폭은 도면 50 nm에서 공정 후 40 nm로 감소하였고 n_f=15이다. 그림 1은 제작된 n-채널 무접합 MuGFET의 3차원 도식도와 TEM 사진을 나타낸 것이다.



(a)



(b)

그림 1. MuGFET의 3차원 도식도 (a) 및 제작된 무접합 MuGFET의 TEM 사진(b)
Fig. 1 Schematic diagram of MuGFET (a) and TEM of junctionless n-channel MuGFET (b)

III. 결과 및 고찰

그림 2는 n-채널 무접합 및 반전모드 소자와 p-채널 무접합 및 축적모드 소자의 문턱아래전압 특성을 측정 한 것이다. 그림으로부터 n-채널 소자인 경우 무접합 소자의 구동전류가 반전모드 소자보다 약간 작은 것을 알 수 있다. 그러나 p-채널 소자에서는 무접합 소자의 구동전류가 오히려 축적모드 소자보다 큰 것을 알 수 있다. 그리고 n-채널 무접합 소자와 반전모드 소자의 S(subthreshold swing)은 각각 약 105 mV/dec, 80 mV/dec 이었다. p-채널 무접합 소자와 축적모드 소자의 S는 각각 160 mV/dec 및 100 mV/dec 이었다. 무접합 소자의 S가 반전모드 소자나 축적모드 소자보다 큰 것을 알 수 있는데 이는 무접합 소자는 게이트 전압이 증가함에 따라 채널이 실리콘 박막의 중심부에서 시작하여 volume inversion을 만들고 반전모드 소자는 게이트 전압이 증가함에 따라 채널 표면에 채널이 만들어지기 때문이다.

MOSFET 소자에서 문턱전압변화(ΔV_{TH})는 기관전압에 따라 다음식과 같이 γ(body factor)에 비례하는 것으로 나타낼 수 있다[10].

$$\Delta V_{TH} = \gamma \Delta V_{SUB} \tag{1}$$

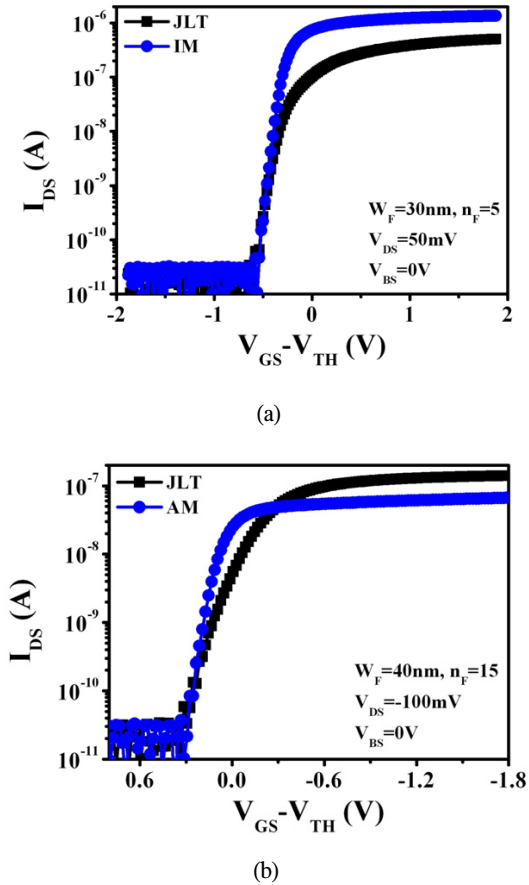


그림 2. n-채널 무접합 및 반전모드 MuGFET (a)와 p-채널 무접합 및 축적모드 MuGFET (b)의 문턱전압아래 특성
 Fig. 2 Subthreshold characteristics of n-channel junctionless and IM MuGFET (a) and p-channel junctionless and AM MuGFET(b)

γ 는 다음과 같다[10].

$$\gamma = C_B / C_G \quad (2)$$

여기서 기판전압에 따라 변하는 C_B 는 채널과 기판사이의 단위 면적당 커패시턴스이며 C_G 는 채널과 윗면 게이트(front gate) 사이의 단위 면적당 커패시턴스이다. 식 (1)로부터 큰 γ 를 얻기 위해서는 C_B 가 큰 것이 요구된다. SOI MOSFET에서는 C_B 를 크게 하기 위해 매몰산화층

두께를 얇게 하는 방법을 이용되기도 한다[8].

그림 3은 n-채널 무접합 및 반전모드 소자와 p-채널 무접합 및 축적모드 소자의 기판전압에 따른 ΔV_{TH} 를 나타낸 것이다. n-채널 소자인 경우 반전모드 및 무접합 소자의 γ 는 각각 0.01과 0.009 정도로 반전모드 소자의 γ 가 더 큰 것을 알 수 있다. 그러나 p-채널 소자에서는 무접합 소자가 $\gamma=0.018$, 축적모드 소자는 $\gamma=0.006$ 정도로 오히려 무접합 소자가 더 큰 것을 알 수 있다. 소자의 실리콘 박막의 두께가 약 10nm 정도로 아주 얇기 때문에 γ 가 작은 것으로 사료된다.

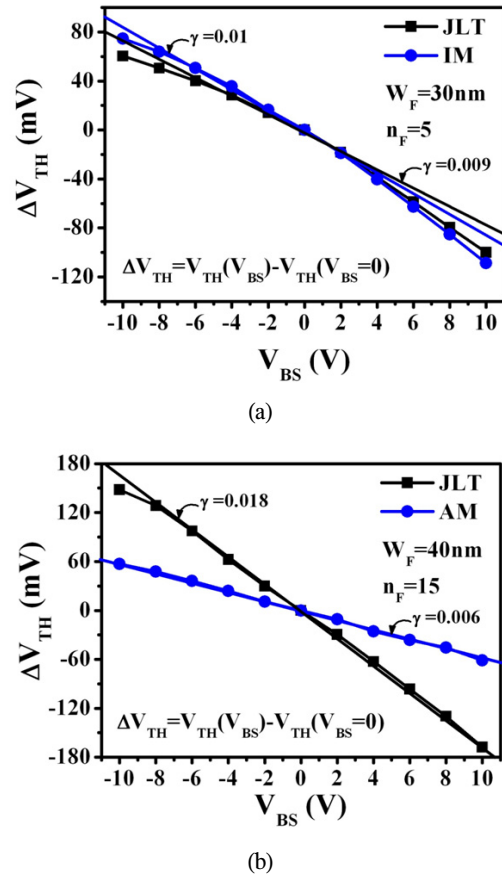
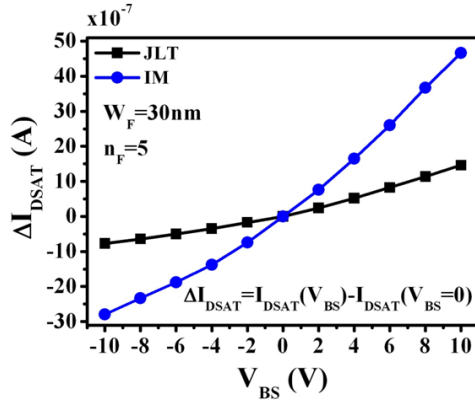
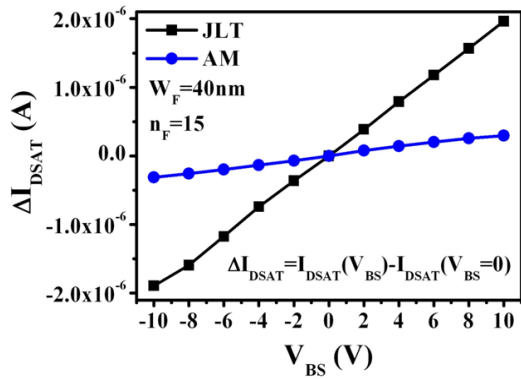


그림 3. 기판전압에 따른 n-채널 무접합 및 반전모드 MuGFET (a)와 p-채널 무접합 및 축적모드 MuGFET (b)의 문턱전압 변화
 Fig. 3 Threshold voltage variation with substrate bias in n-channel junctionless and IM MuGFET (a) and p-channel junctionless and AM MuGFET(b)

n-채널인 경우 반전모드 소자의 γ 가 무접합 소자보다 더 큰 것은 기판전압을 -10 V에서 +10 V로 인가하였을 때 실리콘 박막의 하부분이 공핍이 되어 C_B 가 큰 것으로 사료된다.



(a)



(b)

그림 4. 기판전압에 따른 n-채널 무접합 및 반전모드 MuGFET (a) 와 p-채널 무접합 및 축적모드 MuGFET (b)의 포화전류 변화
Fig. 4 Saturation current variation with substrate bias in n-channel junctionless and IM MuGFET (a) and p-channel junctionless and AM MuGFET(b)

그러나 무접합 소자에서는 채널이 실리콘박막의 중앙에 위치하고 있으므로 기판전압에 따라 채널 전자의 변화량이 적기 때문에 문턱전압의 변화량도 적은 것으로 사료된다. 그러나 p-채널에서는 축적모드 소자는 무접합 소자보다 C_B 가 작기 때문에 무접합 소자보다 문

턱전압의 변화가 작은 것으로 사료된다. 결국 소자의 구조에 따라 γ 가 다르게 되므로 기판전압에 의한 문턱전압 제어는 n-채널 소자인 경우는 반전모드 소자가 유리하며 p-채널 소자는 무접합 소자가 바람직함을 알 수 있다.

그림 4는 기판전압에 따른 n-채널 무접합 및 반전모드 소자와 p-채널 무접합 및 축적모드 소자의 드레인 포화전류 변화(ΔI_{DSAT})를 나타낸 것이다. 그림3의 문턱전압변화와 같이 n-채널에서는 반전모드 소자의 ΔI_{DSAT} 가 무접합 소자보다 크며 p-채널에서는 축적모드 소자의 ΔI_{DSAT} 가 무접합 소자보다 큰 것을 알 수 있다. ΔI_{DSAT} 는 문턱전압변화량에 의해서 결정되므로 같은 그림3과 같은 결과를 보인 것으로 사료된다. 기판전압에 의한 소자의 스위칭 속도 개선 측면에서는 n-채널 소자인 경우는 반전모드 소자가 유리하며 p-채널 소자는 무접합 소자가 바람직함을 알 수 있다.

일반적으로 SOI MOSFET에서는 전달컨덕턴스 특성을 다음 식과 같이 나타낼 수 있다 [10].

$$g_m = \frac{1}{n} \frac{W}{2L} C_G \mu (V_G - V_{TH}) \quad (3)$$

$$n = \frac{C_G + C_B}{C_G} \quad (4)$$

여기서 μ 는 이동도이며 L은 채널길이를 W는 채널 폭을 나타낸다. 식(3)과 (4)로부터 기판전압에 따라 문턱전압, 이동도, C_B 가 변하므로 전달컨덕턴스도 변하게 된다.

그림 5는 기판전압에 따른 n-채널 무접합 및 반전모드 소자와 p-채널 무접합 및 축적모드 소자의 전달컨덕턴스 특성을 나타낸 것이다. n-채널 반전모드 소자에서는 기판전압이 -10V 일 때는 전달컨덕턴스가 감소하고 +10V 일 때는 전달컨덕턴스가 증가하는데 이는 -10V에서는 실리콘 박막의 하부가 기판전압에 의해 축적 상태가 되고 +10V에서는 채널이 형성되어 전류가 많이 흐르기 때문이다. n-채널 무접합 소자에서는 기판전압이 -10V 일 때 보다 +10V 일 때 실리콘 박막의 중앙에 형성되는 채널의 폭이 증가하기 때문이다. p-채널 축적모드 소자는 기판전압이 -10V 일 때는 전달컨덕턴스가 증가

하고 +10V 일 때는 전달컨덕턴스가 감소하는데 이는 -10V 에서는 실리콘 박막의 하부가 기판전압에 의해 축적 상태가 되어 전류가 많이 흐르고 +10V 에서는 공핍상태가 되므로 하부 채널이 형성되지 않으므로 전류가 적게 흐르기 때문이다. n-채널 무접합 소자에서는 기판전압이 +10V 일 때 보다 -10V 일 때 실리콘 박막의 중앙에 형성되는 채널의 폭이 증가하기 때문이다. 그럼으로부터 특이한 것은 기판전압에 따른 p-채널 무접합 소자의 전달컨덕턴스 변화량이 n-채널 무접합 소자보다 큰 것으로 이에 관한 연구가 더 필요하다.

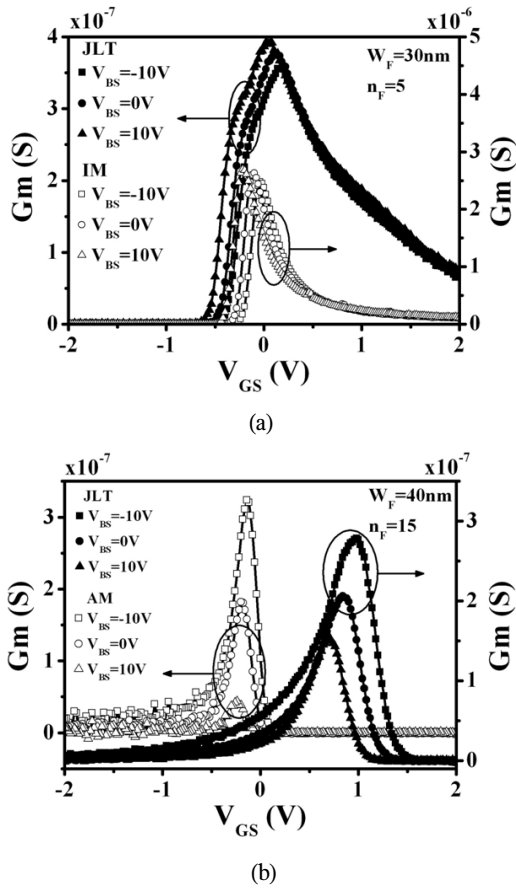


그림 5. 기판전압에 따른 n-채널 무접합 및 반전모드 MuGFET (a) 와 p-채널 무접합 및 축적모드 MuGFET (b)의 전달컨덕턴스 특성
 Fig. 5 Transconductance characteristics with substrate bias in n-channel junctionless and IM MuGFET (a) and p-channel junctionless and AM MuGFET (b)

MOSFET의 문턱전압아래(subthreshold) 전류는 실리콘 표면부근의 소스와 채널 사이의 전위장벽을 넘어 드레인으로 확산되는 전자의 수에 의해서 결정된다. 소스와 채널의 전위장벽의 높이는 실리콘 표면전위 또는 게이트 전압에 의해서 제어되므로 일반적으로 문턱전압 아래 전류는 게이트 전압에 지수함수로 증가한다. 게이트 전압에 따라 드레인 전류가 많이 증가할수록 좋은 스위칭 특성을 가게 되므로 문턱전압아래 영역에서 게이트 전압에 따른 드레인 전류 기울기의 역수를 S로 정의하며 소자의 성능 지수로 사용된다.

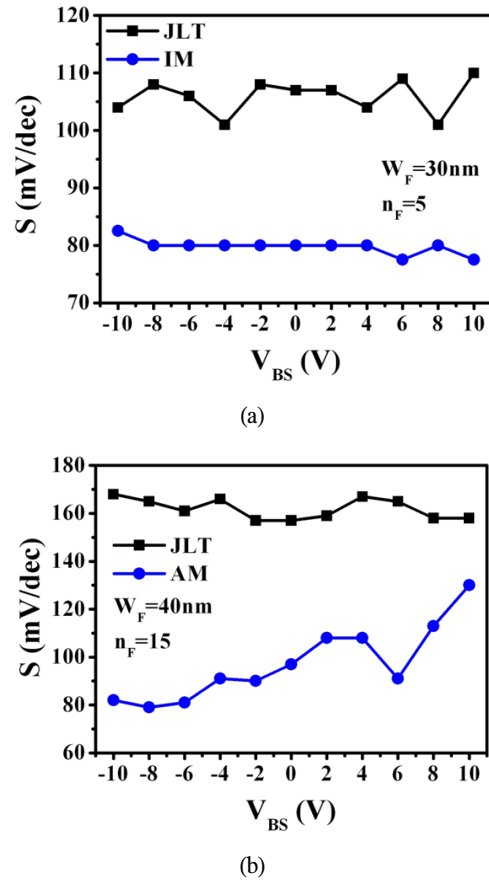


그림 6. 기판전압에 따른 n-채널 무접합 및 반전모드 MuGFET (a) 와 p-채널 무접합 및 축적모드 MuGFET (b)의 문턱전압아래 swing
 Fig. 6 Subthreshold swing with substrate bias in n-channel junctionless and IM MuGFET (a) and p-channel junctionless and AM MuGFET (b)

SOI MOSFET에서는 기관전압에 따라 실리콘 박막의 하부 전하 상태가 다르게 되므로 표면 채널과 결합 정도에 따라 S 값이 복잡하게 모델링 된다.

그림 6은 기관전압에 따른 n -채널 무접합 및 반전모드 소자와 p -채널 무접합 및 축적모드 소자의 S 변화를 나타낸 것이다. 그림으로부터 무접합 소자의 S 값이 반전모드 및 축적모드 소자보다 큰 것을 알 수 있다.

그리고 n -채널 소자에서는 무접합 소자와 반전모드 소자 모두 기관전압에 따라 S 값이 크게 변하지 않음을 알 수 있다. 이런 결과는 실리콘 박막의 두께가 작을 때 낮은 드레인 전압과 실리콘 박막의 하부가 공핍이 되는 상태에서 S 값이 기관전압에 상관없이 거의 일정하다는 참고문헌의 결과와 일치한다[11].

기관전압에 따라 S 값이 변하지 않고 문턱전압의 변화가 클수록 고속 및 저전력 소자 응용에 유용하다. 그러나 그림 6으로부터 p -채널 무접합 소자에서는 기관전압에 무관하게 S 가 일정하나 축적모드 소자는 기관전압이 양의 방향으로 증가 할수록 S 값이 증가하는 것을 알 수 있다. 이런 결과는 축적모드 소자는 기관 전압이 양의 방향으로 증가함에 따라 공핍상태에서 전자의 수가 증가하는 약 반전상태로 변하기 때문으로 사료된다.

IV. 결론

기관전압에 따른 문턱전압과 포화 드레인 전류 변화로부터 n -채널 소자에서는 반전모드 소자가 무접합 소자보다 변화량이 크며 와 p -채널 소자에서는 무접합 소자가 축적모드 소자보다 변화량이 큰 것을 알 수 있었다. 기관전압에 따른 전달컨덕턴스 변화로부터 n -채널 소자보다 p -채널 소자의 변화량이 큰 것을 알 수 있었다. 그리고 기관전압에 따른 문턱전압아래 swing 특성으로부터 n -채널 소자와 p -채널 무접합 소자는 실리콘 박막의 하부가 공핍상태 일 때 S 값의 변화가 거의 없지만 p -채널 축적모드 소자는 기관전압이 양의 방향으로 증가할 때 S 값이 증가하는 것으로 관측되었다. 기관전압을 이용한 고속 및 저전력 스위칭 소자 응용 측면에서는 n -채널 소자에서는 반전모드 소자가 p -채널 소자에서는 무접합 소자가 더 좋은 특성을 보였다.

참고문헌

- [1] Jong Tae Park, and J. P. Colinge, "Multiple gate SOI MOSFETs :Device design guidelines," IEEE Trans. Electron Device, vol. 49, no,12, pp. 2222-2228, 2002
- [2] J. P. Colinge, "Multiple-gate SOI MOS- FETs," Solid-State Electronics, vol. 48, no. 6, pp. 897-905, 2004
- [3] <http://newsroom.intel.com/docs/DOC-2032>
- [4] M. Masahara, K .Endo, Y. Liu, T. Mats- ukawa, S. Ouchi, K. Ishii, E. Sugimata, E. Suzuki, " Demonstration and analysis of accumulation-mode double-gate metal oxide semiconductor field effect tran- sistor," Jpn J. Appl. Phys., vol. 45, no. 4b, pp. 079-3083, 2006
- [5] J. P. Colinge, C. W. Lee, A. Afzalian, N. Kelleher, B. McCarthy, and R. Murphy, "Nanowire transistors without junction," Nature Nano-technology, vol. 5, no. 3, pp. 225-229, 2010
- [6] J. P. Raskin, J. P. Colinge, I. Ferain, A. Kranti, C. W. Lee, N. Dehdashti, R. Yan, P. razavi, R. Yu, "Mobility improvement in nanowire junctionless transistors by uniaxial strain," Appl. Phys. lett., vol. 97, pp. 042114, 2010
- [7] C. W. Lee, I. Ferain, A. Afzalian, R. Yan, N. D. Akhavan, P. Razavi, J. P. Colinge, "Performance estimation of junctionless multiple gate transistors," Solid-State Electronics, vol. 54, no. 2, pp. 97-103, 2010
- [8] T. Ohtou, K. Yokoyama, K. Shimizu, T. Nagumon, and T. Hiramoto, "Threshold voltage control of AC performance deg- radation free FD SOI MOSFET with extremely thin box using variable body factor scheme," IEEE Trans Elec- tron Devices vol. 54, no. 2, pp. 301-307, 2007
- [9] J. B. Kuo, W. C. Lee, and J. H. Sim, "Back-gate bias effects on the sub- threshold behavior and the switching performance in an ultrathin SOI CMOS inverter operating at 77 and 300K," IEEE Trans Electron Devices vol. 39, no. 12, pp. 2781-2790, 1992

- [10] J.P. Colinge, Silicon - on-Insulator tech- nology: materials to VLSI, 2nd editon, Nor-well, MA Kluwer, 1997
- [11] K. Tokunaga, and J. C. Sturm, "Substrate bias dependence of subthreshold slopes in ully depleted Silicon-on-Insulator MOS- FETs," IEEE Trans Electron Devices vol. 38, no.8, pp. 1803-1807, 1991

저자소개



이재기(Jae-Ki Lee)

1987.2 서울산업대학교
전자공학과 학사
1990.2 인천대학교 전자공학과
공학석사

2002.8 인천대학교 전자공학과 공학박사
1992.2~현재 가천대학교 전자공학과 교수
※ 관심분야 : CMOS Reliability, SOI/MOSFET



박종태(Jong-Tae Park)

1981년 경북대학교
전자공학과 학사
1983년 연세대학교
전자공학과 공학석사

1987년 연세대학교 전자공학과 공학박사
1983.8~1985.8 금성반도체(주)연구소 연구원
1991.1~1991.12 MIT Post Doc.
2000.7~2001.8 UC Davis 방문교수
1987.3~현재 인천대학교 전자공학과 교수
※ 관심분야 : CMOS Reliability, Nano-scale CMOS,
SOI/MOSFET, RF-CMOS