
DCT 기반 인트라 예측 인코더를 위한 효율적인 하드웨어 설계

차기종* · 류광기**

Effective hardware design for DCT-based Intra prediction encoder

Ki-jong Cha* · Kwang-ki Ryoo**

이 논문은 한밭대학교 2011년 교내학술 지원사업 및 IDEC의 CAD tool 지원사업에 의한 연구 결과임

요 약

본 논문에서는 인트라 모드 결정으로 인해 발생하는 연산 복잡도 문제를 줄이기 위해 DCT 기반 인트라 예측을 사용하는 효율적인 하드웨어 구조를 제안한다. 제안된 하드웨어 구조는 처음 입력 블록에 대해 DCT를 수행하고 DCT 계수의 특성을 이용하여 에지 방향성을 예측한다. 그리고 예측된 에지 방향에 해당하는 모드에 대해서만 화면 내 예측을 수행함으로써 복잡도 문제를 해결하였다. DCT 하드웨어 구조는 4개의 덧셈기와 4개의 뺄셈기, 2개의 쉬프트 연산기로 구성된 Transform_PE를 이용하여 Multitransform_PE를 구현하였고 4x4 블록 DCT를 1 사이클에 계산한다. 또한, 15개의 덧셈기, 15개의 쉬프트 연산기로 구성된 Intra_pred_PE를 통해 2 사이클에 하나의 화면 내 예측을 수행한다. 따라서 하나의 매크로블록을 인코딩할 때 517 사이클을 소요하며 기존의 하드웨어 구조 보다 수행 사이클 수에 있어서 17%의 성능이 향상됨을 보였다. 본 논문의 하드웨어 구조는 DCT 기반 인트라 예측 알고리즘을 사용하여 Verilog HDL을 이용하여 구현되었고, 매그나칩 공정 0.18 μ m 셀 라이브러리로 합성 결과 최대 125MHz에서 동작함을 확인하였다.

ABSTRACT

In this paper, we proposed an effective hardware structure using DCT-based intra-prediction mode selection to reduce computational complexity caused by intra mode decision. In this hardware structure, the input block is transformed at first and then analyzed to determine its texture directional tendency. the complexity has solved by performing intra prediction in only predicted edge direction. 4x4 DCT is calculated in one cycle using Multitransform_PE and Intra_pred_PE calculates one prediction mode in two cycles. Experimental results show that the proposed Intra prediction encoding needs only 517 cycles for one macroblock encoding. This architecture improves the performance by about 17% than previous designs. For hardware implementation, the proposed intra prediction encoder is implemented using Verilog HDL and synthesized with Megnachip 0.18 μ m standard cell library. The synthesis results show that the proposed architecture can run at 125MHz.

키워드

H.264/AVC, RDO, DCT 기반 인트라 예측, 효율적인 하드웨어 설계

Key word

H.264/AVC, RDO, DCT-Based Intra prediction, Effective hardware design

* 준회원: 국립한밭대학교 (green0827@gmail.com)

접수일자 : 2011. 12. 16

** 종신회원 : 국립한밭대학교

심사완료일자 : 2012. 02. 02

Open Access <http://dx.doi.org/10.6109/jkiice.2012.16.4.765>

© This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서 론

최고의 압축률과 우수한 화질을 제공하는 디지털 비디오 압축 표준인 H.264/AVC는 동일한 화질을 기준으로 MPEG-2, MPEG-4, H.263 보다 64%, 39%, 그리고 49%의 높은 압축률을 제공한다. 하지만 기존의 압축 표준보다 압축효율을 높이기 위해 아래와 같은 다양한 기법들이 추가 되어 연산의 복잡도는 훨씬 증가하였다[1][2].

- 작은 블록 사이즈를 사용하는 가변 블록 사이즈 움직임 보상
- 1/4-샘플 정확도의 움직임 보상
- 프레임의 경계를 벗어나는 움직임 벡터
- 여러 개의 참조 프레임을 사용하는 움직임 보상
- 가중치 예측
- 화면 내 부호화를 위한 방향성 공간 예측
- 디블록킹 필터의 내장
- 울-왜곡 최적화 기법

따라서 다양한 기법들의 추가로 인한 연산 복잡도 문제를 해결하기 위해 H.264/AVC 부호화 표준이 제정된 이후 각각적으로 연구가 진행되어 왔다. 특히 본 논문에서 관심을 가지고 있는 최적의 인트라 예측 모드 선택을 위한 울-왜곡 최적화 기법의 연산 복잡도는 상당히 높다. H.264/AVC에서 인트라 예측 모드는 휘도 4x4블록을 위한 9개의 예측 모드, 휘도 16x16 블록을 위한 4개의 예측 모드, 색차 8x8 블록을 위한 4개의 예측 모드 총 17가지의 인트라 예측 모드가 존재한다. H.264 부호화기는 많은 예측 모드들 중 압축 효율이 가장 좋은 최적 모드를 선택해야 하는 문제가 주어지는데, 예측 모드 선택과정은 매크로블록마다 반복되므로 H.264 부호화기의 전반적인 계산량과 복잡성에 중요한 영향을 미친다.

H.264 부호화기는 최적의 모드를 선택하기 위해서 가능한 모든 모드에 대하여 식 (1)과 같이 RDO(Rates Distortion Optimization)의 방법을 사용하여 계산하며, RDCost 값이 최소인 모드가 최적의 모드로 선택된다 [3].

$$J(s, c, IMODE | QP, \lambda_{MODE}) = SSD(s, c, IMODE | QP) + \lambda_{MODE} \cdot R(s, c, IMODE | QP) \quad (1)$$

식 (1)에서 SSD(Sum of squared distortion)은 원본 블록과 복원된 블록 간의 왜곡을 나타내며, λ_{MODE} 는 라그랑지안 상수이다. R은 IMODE(Intra MODE)를 이용하여 부호화하였을 때 발생하는 실제 비트량을 나타낸다. 상기의 울-왜곡 최적화 기법은 인트라 4x4 9가지 모드에 대하여 계산되며 그 중 J값이 가장 작은 모드를 현재 블록의 최적의 모드로 결정한다. 그러므로 J값을 계산하기 위해 트랜스폼, 양자화, 엔트로피 부호화를 반복적으로 적용해야 하므로 연산 복잡도가 매우 높다. 따라서 이러한 부호화기의 연산 복잡도 문제를 해결 하기 위한 고속 인트라 예측 모드 결정 기법의 연구가 활발히 진행되고 있다[4-7]. 본 논문에서는 인트라 예측 모드 결정으로 인해 발생하는 연산 복잡도 문제를 해결하기 위해 DCT(Discrete Cosine Transform)를 이용한 인트라 예측 알고리즘[5]을 사용하며 상기 알고리즘을 사용하여 인트라 예측을 수행하는 기존 하드웨어 구조 보다 수행 사이클을 감소할 수 있는 하드웨어 구조를 제안한다. 본 논문에서는 4개의 덧셈기와 4개의 뺄셈기, 2개의 쉬프트 연산기로 구성된 Transform_PE를 이용하여 Multitransform_PE를 구현하였고 4x4 DCT를 1 사이클에 계산한다. 또한, 15개의 덧셈기, 15개의 쉬프트 연산기를 이용하여 2 사이클에 하나의 인트라 예측을 수행할 수 있는 Intra_pred_PE구조를 제안한다.

본 논문의 구성은 다음과 같다. II장의 본문에서는 제안하는 하드웨어 구조를 기술하고 IV장에서는 제안하는 하드웨어 구조와 기존 하드웨어 구조의 합성결과를 비교 분석하며 마지막으로 V장에서는 결론으로 끝을 맺는다.

II. 본 론

2.1. 제안하는 인트라 부호화기 하드웨어 구조

매크로블록 단위로 DCT 기반 인트라 부호화를 수행하는 전체 하드웨어 구조는 그림 1과 같다.

하드웨어 구조는 크게 5개의 기능 블록과 하나의 32K 메모리로 구성된다. 초기 하나의 매크로블록 데이터는 Multitransform_PE를 통해 DCT를 수행하며 그 결과 값은 Register_File에 저장된다. 그 후 저장된 픽셀은 Top_Controller로 입력되며 DCT 기반 인트라 예측 알고리즘을 토대로 후보 모드를 선택하며 선택된 후보 모드는 인

접 블록의 참조 픽셀을 메모리로부터 읽어와 화면 내 예측을 수행한다. Cost_Generation_Mode_Decision은 최적의 모드를 찾기 위해 SAITD 기법을 이용하여 화면 내 예측된 각 모드의 오차값을 구하고 오차값이 가장 적은 모드를 최적 모드로 선택한다[4].

다음 예측 블록의 참조 픽셀을 얻기 위해 최적 모드의 오차값은 Reconstruction Loop로 입력되며 양자화/역양자화/역변환을 수행하고 이전 화면 내 예측된 픽셀과 합 연산으로 참조 픽셀을 구한다. 전체 매크로블록의 부호화가 끝난 후 매크로 블록 예측 정보와 오차 값을 출력한다.

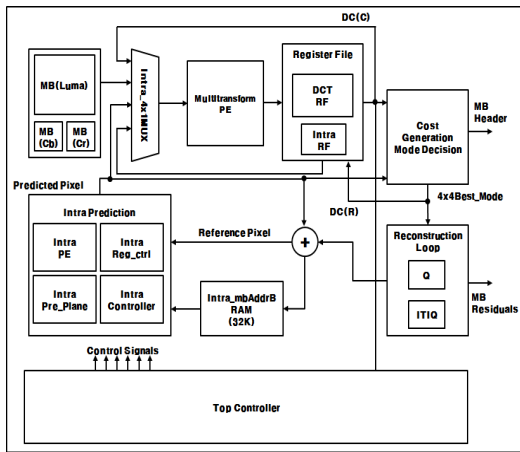


그림 1. 인트라 예측 하드웨어 구조
Fig. 1 Hardware structure of Intra prediction

2.2. DCT 하드웨어 구조

그림 2는 제안하는 정수 변환 하드웨어 내부 구조를 보여준다.

하나의 Transform_PE는 4개의 덧셈기와 4개의 뺄셈기, 그리고 2개의 쉬프트 연산기로 구성된다. 8개의 Transform_PE는 DCT 연산 수식에 의거 서로 연결하여 Multitransform_PE를 설계하였다. Multitransform_PE는 4x4 블록 DCT를 1 사이클에 계산하기 때문에 하나의 매크로블록을 16 사이클에 완료하게 된다. 그 후 휘도 16x16 화면 내 예측 후보 모드 선택을 위해 16개의 4x4 DCT 변환 결과에서 DC값만 따로 모아서 하다마드 변환을 1 사이클에 수행한다.

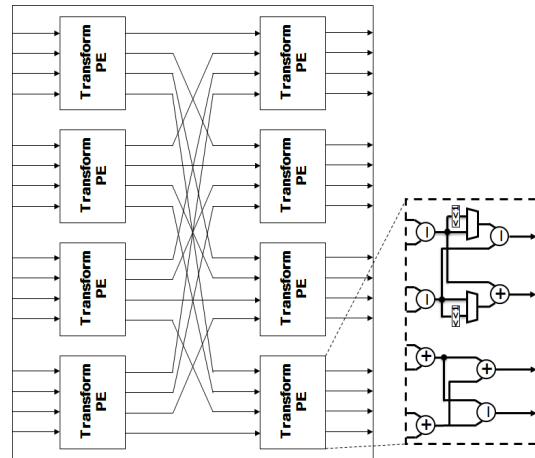


그림 2. Multitransform 하드웨어 구조
Fig. 2 Hardware Structure of Multitransform

2.3. 화면 내 예측 하드웨어 구조

그림 1의 전체 블록도에서 Intra_Prediction 모듈은 Intra_PE, Intra_Reg_ctrl, Intra_Pre_Plane, Intra_Controller 총 4개의 모듈로 구성된다. Intra_Reg_ctrl 모듈은 인접 블록의 참조 픽셀 값을 입력 받아 현재 블록 예측 수행 시 참조 픽셀을 할당하는 기능을 수행하며 Intra_PE 모듈에서는 할당 받은 참조 픽셀을 이용하여 예측 픽셀을 구한다. Intra_Pre_Plane 모듈은 전처리 Plane 모드 연산 기능을 수행한다.

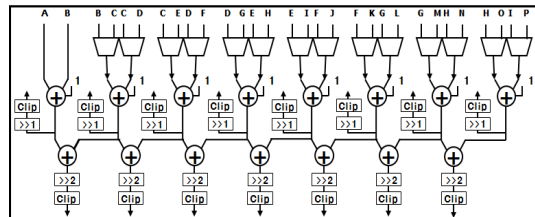


그림 3. Intra_pred_PE 하드웨어 구조
Fig. 3 Hardware structure of Intra_pred_PE

DC 모드 연산 수식, Plane 모드 연산 수식은 6개의 유형으로 분류할 수 있고 P_i+P_j+1 이 공통으로 포함되어 있는 것을 알 수 있다. 따라서 P_i+P_j+1 를 Full-adder로 설계하고 Full-adder 입력 값은 MUX를 이용하여 제어하도록 설계하면 15개의 Full-adder와 15개의 쉬프트 연산기만

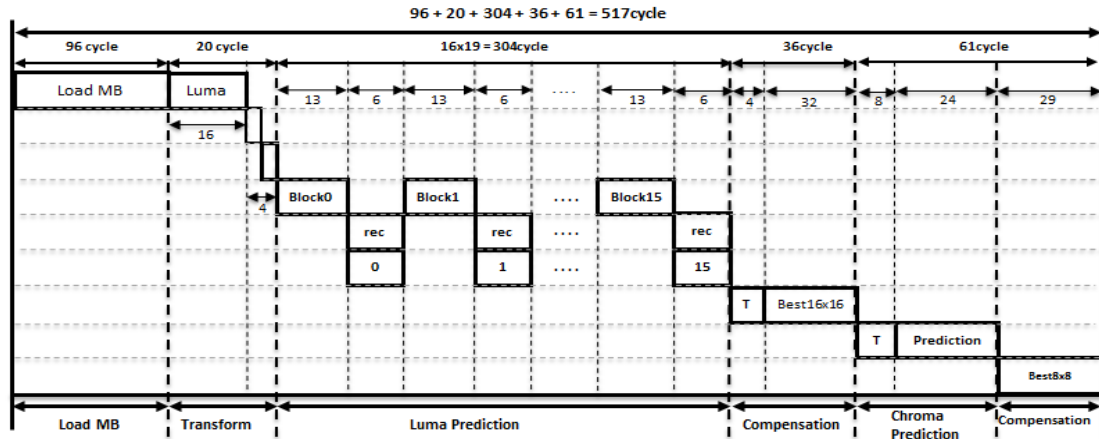


그림 4. 인트라 예측 하드웨어 스케줄링
Fig. 4 Hardware scheduling of Intra prediction

으로 1 사이클에 4x4 블록의 16개 픽셀을 연산하게 된다. 16x16 화면 내 예측의 DC모드와 Plane 모드는 출력 값을 피드백 하여 모드 예측을 수행하며 각각 3 사이클, 7 사이클에 모드 예측을 완료한다. 그림 3은 설계한 Intra_pred_PE 하드웨어 구조를 나타낸다.

한 픽셀의 크기는 8비트이다. 따라서 0~255 범위를 나타낼 수 있으므로 Clip연산을 통해 음의 정수는 0으로 출력하고 256이상의 값은 255로 출력하도록 구현하였다.

2.4. 인트라 예측의 하드웨어 스케줄링

그림 4는 본 논문에서 제시한 하나의 매크로블록 부호화 타이밍 스케줄링을 나타내며 부호화 사이클은 517 사이클 내에 수행된다.

초기에 시스템은 현재 매크로블록의 16x16 휘도 성분 256개 픽셀과 8x8 색차 성분 128개(Cb:64, Cr:64)의 픽셀을 입력 받는다. 하나의 픽셀 크기는 8비트이므로 매크로블록의 비트 수는(256x8 + 128x8 = 3072)이다.

시스템은 32비트의 데이터 폭을 가지므로 하나의 매크로블록 픽셀 데이터 입력 사이클은 3072/32 = 96 사이클이 수행된다. 다음 16개의 4x4 DCT를 16사이클에 수행하고 변환된 계수는 Register_Array에 저장된다. 16x16 화면 내 예측모드 선택을 위해 2 사이클에 하다마드 변환을 수행하고, 다음 2 사이클은 Register_Array에 저장

된 변환 계수를 읽어와 4x4 화면 내 예측 모드의 후보모드를 선택한다. 각 후보모드의 예측은 그림 5의 4x4 화면 내 예측 유한 상태 머신의 순서대로 화면 내 예측을 수행한다.

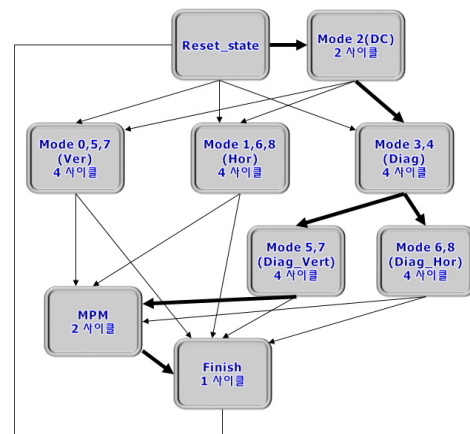


그림 5. 4x4 화면 내 예측 유한 상태 머신
Fig. 5 Finite state machine of 4x4 Intra prediction

된 화살표는 크리티컬 패스를 보여주며 최대 13 사이클에 4x4 화면 내 예측을 수행한다. 다음은 최적 모드를 찾기 위해 Reconstruction(양자화, 역양자화, 역 변환)을 6 사이클에 수행한다. 다음 4x4 블록 예측을 위해 필

요한 참조 픽셀을 얻기 위해선 Reconstruction 사이클이 완료 되어야만 한다. 따라서 Reconstruction 사이클을 수행하는 6 사이클 동안 인트라 예측기는 아무것도 수행하지 않게 된다. 본 논문에서는 하드웨어 활용도의 증가를 위해 16x16 화면 내 예측을 4x4 블록 16개로 나누어 4x4 화면 내 예측 Reconstruction 사이클 동안 수행하게 된다 [8-9].

16개의 화면 내 예측 수행 후 각 4x4 오차 블록의 DC 값을 따로 모아 하다마드 변환을 4 사이클에 수행하고 32 사이클 동안 4x4 화면 내 예측 모드와 16x16 화면 내 예측 모드 중 최적 모드를 선택하게 된다. 8x8 색차 성분 화면 내 예측 후보모드 선택을 위해 8 사이클 동안 DCT를 수행하고 53 사이클 동안 색차 성분의 예측을 완료한다.

IV. 실험결과

제안된 DCT 기반 인트라 예측 하드웨어는 Verilog HDL로 설계하였으며, 매그나칩 공정 0.18 μ m 셀 라이브러리로 합성 결과 최대 125MHz에서 동작함을 확인하였다. 표 1은 기존 하드웨어 구조와 제안된 하드웨어 구조의 하드웨어 비용을 비교 분석한 결과이다.

제안된 하드웨어 구조는 하나의 매크로블록을 인코딩하는데 517 사이클 소요하여 Heng[5]보다 110 사이클이 감소하였으며 제안된 하드웨어 구조는 사이클 수를 줄이기 위해 각 모듈의 연산기와 레지스터 개수를 증가시켜 전체 게이트 수는 15.4k 증가하였다. 그러나 연산의 병렬 처리를 통해 동작 주파수를 125MHz로 증가시켰다.

표 1. 제안하는 하드웨어 구조의 성능 결과
Table. 1 The performance result of Proposed hardware structure

	Heng[5]	Proposed
공정	0.18um	0.18um
주파수	100MHz	125MHz
게이트 수	88.9k	104.3k
Cycle/MB	624	517
Plane 모드	Yes	Yes

표 2는 Heng[5]과 각 단계별 수행 사이클을 비교한 결과이다.

표 2. 각 단계별 수행 사이클 비교
Table. 2 The comparison of execution cycles for each step

단계별 수행 동작	Heng[5]	Proposed
매크로블록 입력	96	96
휘도 트랜스폼	32	16
DC 하다마드	3	4
인트라 4x4 예측	324	304
DC 하다마드	4	4
휘도 보상	32	32
색차 트랜스폼	16	8
색차 예측	24	24
색차 모드 결정	3	3
색차 보상	18	18
Ending Cycle	8	8
Extra Cycle	64	0
Total	624	517

V. 결론

제안된 DCT 기반 인트라 예측 하드웨어 구조는 Verilog HDL을 이용하여 구현되었고, 매그나칩 공정 0.18 μ m 셀 라이브러리로 합성 결과 최대 125MHz에서 동작함을 확인하였다. 또한, H.264/AVC 표준 참조 소프트웨어 JM 13.2에서 비트스트림을 추출하여 제안된 하드웨어 구조를 통해 시뮬레이션 한 결과 참조 소프트웨어에서 추출한 비트스트림과 비교하여 정상적으로 동작함을 확인하였다.

제안된 하드웨어 구조는 8개의 Transform_PE를 포함하고 있는 Multitransform_PE 구조를 통해 4x4 DCT 변환 수행 시 1 사이클을 소요하며 Intra_pred_PE 구조를 이용하여 4x4 화면 내 예측 수행을 13 사이클에 완료한다. 따라서 하나의 매크로블록을 인코딩할 때 517 사이클을 소요하여 기존의 하드웨어 구조 보다 수행 사이클 수에 있어서 17%의 성능이 향상됨을 보였다.

제안된 인트라 예측 하드웨어 구조는 엔트로피 코딩과 화면 간 예측, 디블록킹필터 등 다른 부호화기의 요소들을 포함하고 있지 않아 실제 H.264의 부호화 기능을 완벽하게 수행할 수는 없지만 앞으로 나머지 기능들을 하드웨어로 구현하여 통합할 경우 현재보다 최적화된 H.264/AVC 비디오 부호화기를 얻을 수 있을 것으로 기대할 수 있다.

감사의 글

본 연구는 한밭대학교의 2011년 교내학술연구비지원사업 및 IDEC의 CAD tool지원 사업에 의한 연구 결과임.

참고문헌

[1] Iain E. G. Richardson, The H.264 Advanced Video Compression Standard, 2nd Edition, John Wiley & Sons, August 2010.

[2] Iain E. G. Richardson, The H.264 and MPEG Video Compression, John Wiley & Sons, December 2003.

[3] Joint Video Team[JVT] Reference Software JM13.2

[4] L. Wang, L.M. Po, and S.Y. Li "Enhanced SAITD Cost Function for H.264/AVC Intra 4x4 Mode Decision," International Symposium on Circuits and Systems, pp. 1-4, Aug. 2010.

[5] Heng-Yao Lin, Kuan-Hsien Wu, Bin-Da Liu, "An Efficient VLSI Architecture for Transform-Based Intra Prediction in H.24/AVC," IEEE Trans. Circuits Syst. Video Technol. vol. 20, no. 6, pp. 894-906, June 2010.

[6] T. Hattori, K. Ichige, "Intra Prediction Mode Decision in H.264/AVC using DCT Coefficients," International Symposium on Circuits and Systems, pp. 135-138, Dec. 2006.

[7] M.G. Sarwer, Q.M.J. Wu, "Enhanced Low Complex Cost Function for H.264/AVC Intra Mode Decision," IEEE Transactions on Circuits and Systems for Video Technology, vol. 1, no. 5, pp. 46-50, May 2011.

[8] Y. K. Lin, Ch. W. Ku, D. W. Li, and T. S. Chang, "A 140-MHz 94K Gates HD1080p 30-frames/s intra-only profile H.264 encoder," IEEE Transactions on Circuits and Systems for Video Technology, vol. 19, no. 3, pp.432-436, Mar. 2009.

[9] K. Suh, S. Park, and H. Cho, "An efficient hardware architecture of intra prediction and TQ/IQIT module for H.264 encoder," ETRI J., vol. 27, no. 5, pp. 511-524, Oct. 2005.

저자소개

차기종(Ki-jong Cha)



2010년 한밭대학교
정보통신공학과 공학사
2010년~현재 한밭대학교
정보통신공학과 석사과정

※ 관심분야: 임베디드 프로세서, SoC 플랫폼 설계, 하드웨어/소프트웨어 통합설계, 멀티미디어 코덱 설계

류광기(Kwang-ki Ryoo)



1986년 한양대학교 공과대학
전자공학과 공학사
1988년 한양대학교 대학원
전자공학과 공학석사

2000년 한양대학교 대학원 전자공학과 공학박사
1991년~1994년 육군사관학교 교수부 전자공학과
전임강사
2000년~2002년 한국전자통신연구원 집적회로설계
연구부 시스템IC 설계팀 선임연구원
2003년~현재 한밭대학교 정보통신공학과 부교수
※ 관심분야: SoC 플랫폼 설계 및 검증, 하드웨어/
소프트웨어 통합설계 및 검증, 멀티미디어 코덱
설계