

---

# 구리기둥주석범프의 전해도금 형성과 특성

소대화\*

## Formation and Properties of Electroplating Copper Pillar Tin Bump

Dea-Wha Soh\*

### 요 약

고밀도집적을 위하여 전기도금과 무전해도금법을 적용하여 구리기둥주석범프(CPTB)를 제작하고, 그 특성을 분석하였다. CPTB는 ~100 $\mu$ m의 피치를 갖도록 KM-1250 건식감광필름(DFR)을 사용하여 먼저 구리기둥범프(CPB)를 도금 전착시킨 다음, 구리의 산화억제를 위하여 그 위에 주석을 무전해 도금하였다. 열-압력에 따른 산화효과와 접합특성을 위하여 전기저항계수와 기계적 충밀립 전단강도를 측정하였다. 전기저항계수는 산화두께의 증가에 따라서 증가하였고, 전단강도는 330 $^{\circ}$ C에서 500 N의 열-압력일 때 최고치를 나타냈다. 시뮬레이션 결과에 따르면, CPTB는 시간이 경과됨에 따라 통전면적의 크기 감소의 결과를 나타냈으며, 그것은 구리의 산화에 의해 크게 영향을 받는 것으로 확인되었다.

### ABSTRACT

Copper Pillar Tin Bump (CPTB) was investigated for high density chip interconnect technology development, which was prepared by electroplating and electro-less plating methods. Copper pillar tin bumps that have 100 $\mu$ m pitch were introduced with fabrication process using a KM-1250 dry film photoresist (DFR), with copper electroplating for Copper Pillar Bump (CPB) formation firstly, and then tin electro-less plating on it for control oxidation. Electric resistivity and mechanical shear strength measurements were introduced to characterize the oxidation effects and bonding process as a function of thermo-compression. Electrical resistivity increased with increasing oxidation thickness, and shear strength had maximum value with 330 $^{\circ}$ C and 500 N at thermo-compression process. Through the simulation work, it was proved that the CPTB decreased in its size of conduction area as time passes, however it was largely affected by the copper oxidation.

### 키워드

주석 층, 산화층베리어, 구리기둥범프, 내부연결, 전단강도

### Key word

tin layer, oxidation barrier, copper pillar bump, interconnection, shear strength

---

\* 종신회원 : 명지대학교, 한국과학기술정보원  
(gpsoh45@naver.com)

접수일자 : 2011. 12. 08  
심사완료일자 : 2012. 02. 03

## I. 서 론

반도체기술시장에서 소자의 집적도를 비롯하여 기능과 활용성을 좌우하는 I/O의 수는 계속 증가되는 반면에 칩과 PCB기판과의 접합에서 범프(bump)의 크기는 지속적으로 작아지고 있다.[1]

솔더-볼(Solder ball) 방식에서 지름을 70~80 $\mu\text{m}$  이하로 줄이는 것은 접합기술의 구조적 문제와 함께 접합 후 브릿징 문제를 쉽게 일으킨다. 이에 대하여 금속기동형상화 범프를 제작할 경우, 지름을 획기적으로 줄여주고, 금속의 낮은 저항은 소자의 전기적특성과 물리적 강도를 개선시킴으로써 신뢰성을 향상시켜 기존의 볼-범프에서 금속기동범프로 전환되고 있다. 상기 금속에서 Cu의 선택은 Ag 이외의 가장 낮은 저항성과, 금속특유의 강도, 물질이동성(EM)에 대한 저항성 등, 여러 부분에서 타 금속에 비하여 많은 장점을 지닌다. 또한 기동-범프는 최근에 칩과 기판의 접합기술단계(1st level)의 플립칩 접합에 솔더-볼의 대안으로 대두되고 있다.[2] 인텔사에서도 최근 구리기동범프를 그들의 새로운 최소패키징 기법에 적용하고 있다.[3] 하지만, 구리기동은 산소환경노출 시 산화가 진행되며, 더욱이 자기보호(self-protect) 기능 부재의 심각한 단점을 지닌다.[4] 구리기동범프에서 산화의 진행은 전류의 통전면적을 감소시켜 소자의 성능과 신뢰성에 심각한 문제를 야기시킨다.

따라서 본 논문에서는, 1)구리기동의 산화방지 대안으로 주석층박산화방지 보호막 구조의 범프 제작, 2)제안된 구조의 도금기법을 비롯한 제작공정과 방법의 소개, 3)기존의 CPB-구리기동범프와 주석층박보호막구조의 개선된 CPTB-구리기동주석범프의 전기적 특성에 대하여 비교, 분석하였다.

## II. 실 험

### 2.1. 구리의 전해도금

3-D 패키징(packaging) 기술의 발전과 함께 전해도금은 Dual Damascus 등의 공정에서 큰 역할을 담당하고 있다. 뿐만 아니라, 그 우수한 내 부식성, 낮은 공정온도 그리고 내경 및 슬롯 등에 전착할 수 있는 순기능 때문에

내부연결(interconnection)에서 전해도금은 점점 주도적인 위치를 확보하고 있다. 전해도금은 용액비율에 따라 도금 효과도 다를 수 있다. 전해도금의 기본 원리는 도금하고자 하는 금속을 음극으로 하고 전착시키고자하는 금속을 양극으로 하여, 전착시키고자하는 금속의 이온을 함유한 전해액속에 넣고, 통전하여 전해함으로써 원하는 금속이온이 양극물질의 표면에 전해 석출하는 원리를 이용한 것이다. 따라서 도금하고자하는 대상은 전도성이 좋아야 하지만 금속성 제품의 경우는 별 문제가 없다.

본 논문에서는 헐셀(Hull Cell)도금장치(정도시험기 연구소)를 사용하여 전해도금의 기본 조건을 확보하였다. 헐셀도금장치는 미국의 R. O. Hull이 개발(1953년)한 것으로, 표준형 헐셀 및 그의 도금조의 형상은 그림1과 같다.[5]

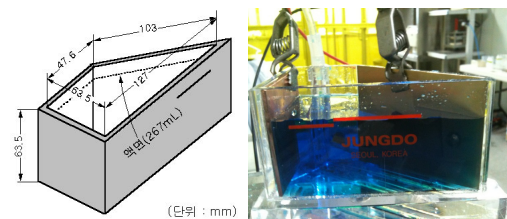


그림 1. 표준형 헐셀과 도금조의 형상  
Fig. 1 Standard Hull Cell & plating bath

헐셀이 개발될 당시 미국과 영국 등에서 도금액은 oz/gal의 농도 단위가 쓰여졌고, 헐셀시험에서는 첨가제의 양을 oz단위로 다량 첨가할 수 없기 때문에 g단위로 약품을 첨가하며, g단위로 첨가한 뒤 oz/gal 단위의 환산에 편리하도록 267ml 크기의 용량이 채택되었다.

267ml 셀에 2g의 약품을 첨가하면, 그 농도는 1 oz/gal에 상당한다. (여기서, 1 oz/gal=28.3495g /3.7853 l =1실 /0.1335 l =2g/267ml) 즉, Hull 이 처음 고안한 셀은 1000 ml의 용량이었으나 작은 셀을 사용하는 것이 편리할 뿐만 아니라, 상기와 같이 첨가량 계산이 간편하기 때문에 267ml의 셀이 선정되었다. 7ml 셀에 1g의 약품을 첨가하였을 때 g/l의 농도로는 3.75g/l에 상당한다. 267 ml 셀의 표선까지 액을 채우지 않고 250ml의 액을 사용한다면 1g의 약품을 첨가하였을 때 4g/l에 상당한다. 도금액의 조정 시 3.75를 곱하여 환산하거나 또는 4를

공하여 환산하는 것은 큰 차이가 없으므로, 본 실험에서는 267ml의 표준형 셀을 사용하였다. 여기서, 황산동 60~90g/l, 황산 172~217g/l, 염화물 50~100ppm, 황산구리도금액 267ml, 양극전류 1A, 도금시간 10분, 순동 및 주석 전극을 사용하였고, 전원장치와 주변기기는 그림 2와 같다.



그림 2. 직류전원장치와 주변기기  
Fig. 2 DC power supply and peripherals

2.2. 구리도금의 평가

알파스텝( $\alpha$ -step)으로 10분이 경과 한 도금표면의 두께를 측정하였다. 위치 10mm, 30mm, 60mm, 75mm, 90mm 지점의 도금두께 값은 각각 (1) 24.627  $\mu$ m, 16.618 $\mu$ m, 4.6007 $\mu$ m, 2.0278 $\mu$ m, 0.6228 $\mu$ m, (2) 21.464 $\mu$ m, 16.469 $\mu$ m, 2.2677 $\mu$ m, 2.25684 $\mu$ m, 1.9303 $\mu$ m이다. 두 값을 비교해 본 결과, 평균값은 23.0455 $\mu$ m, 16.5435 $\mu$ m, 3.4342 $\mu$ m, 2.1423 $\mu$ m, 1.27655 $\mu$ m이며, 평균차이 값은 0.097837 $\mu$ m로 나타나, 도금상태가 비교적 양호하게 평가되어 도금공정을 처리한 후 CPTB 공정을 수행하였다.

한편, 도금과정에서 나타나는 도금액의 상태는 도금이 진행됨에 따라서 변화하게 되는데, 이를 실시간으로 검출하여 액을 최적의 상태로 유지하는 것은 매우 중요하다. 현재 여러 가지 방법으로 액의 상태를 검출하지만, 대부분 액을 직접 접촉하여 얻는 방식이 일반적이다. 이와 같은 검출방식은 강산성의 도금액 중에서 장시간 접촉하여도 충분히 견딜 수 있는 센서와 검출장치가 요구되기 때문에 어려움이 수반된다. 따라서 실시간 모니터링에 적합하고 직접 접촉을 피할 수 있는 검출방식으로 광센서를 이용하는 방법이 유력하게 시도되고 있다.[6]

여기서 얻어진 도금액투과광검출 값을 분석하여 필요한 조치를 하거나, 적절한 제어신호를 발생시켜 최적의 도금액 상태를 유지시키는 실용적인 실시간모니터링 방식이 제공된다면, 반도체 생산라인의 도금공정 등에서 유익하게 활용될 것이며, 산업발전에 기여할 수 있을 것이다.

2.3. CPTB 제작공정

주석을 입힌 구리기둥주석범프는 그림3과 같은 공정순서에 따라서 제작하였다.

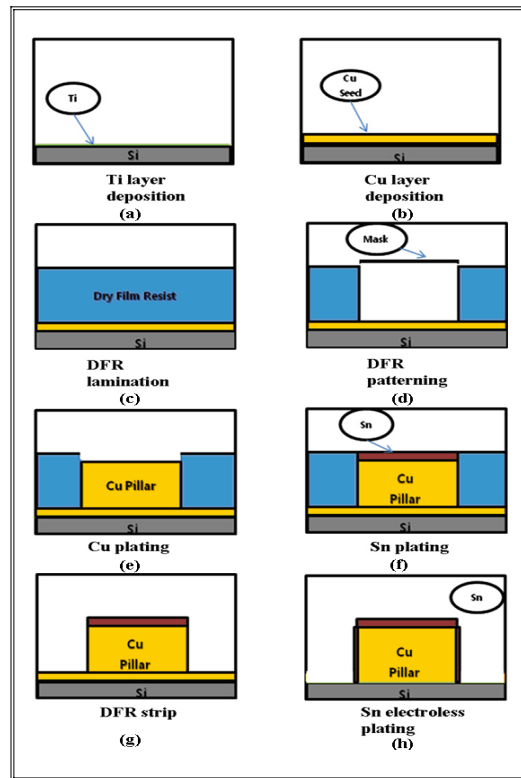


그림 3. 측면산화방지 CPTB 공정 방법  
Fig. 3 Fabrication process of CPTB with anti-oxidation Sn side wall layer

4인치 실리콘 웨이퍼위에 직류 스퍼터 장비를 이용하여 바탕 층 금속으로서 구리를 100nm 증착하고, 실리콘 웨이퍼와 구리간의 접착력을 증대하기 위해 점착 층으로 티타늄을 10nm 증착하였다. 이후 건식 감광막(DFR)을 사용하여 피치 100 $\mu$ m 크기의 패턴을 제작하였다. 감

광막은 산성용액에 강한 내구성을 가지는 Kolon사의 KM1150을 사용하였다. 감광막을 입히기 위하여 사용한 박 층 공정은 115도 0.1 Mpa의 압력을 사용하여 수행하였다. 500mW/min의 자외선광원을 이용하여 노광하였으며, 현상은 1% Na<sub>2</sub>CO<sub>3</sub> 용액을 사용하였다. 최종적으로 높이 30μm, 지름 50μm의 범프 틀을 제작하였다. 이후, 앞에서 서술한 바와 같이, 황산구리 용액을 이용한 전해도금공정으로 28μm의 구리기둥을 형성하고, 다시 무전해 도금으로 구리기둥 상부에 2μm의 주석기둥을 형성하였다. DFR 제거에는 N-Methyl-pyrrolidinone과 Benzimidazole 혼합용액을 이용하여 제거하였다. 바탕 금속 층은 90도의 5% H<sub>2</sub>SO<sub>4</sub>를 이용하여 5분간 에칭공정으로 제거하였다. 마지막으로, 1μm의 주석 층은 구리표면에서만 반응하는 무전해도금방식의 치환도금용액을 사용해 형성하였다.

### III. 결과 및 고찰

제작된 CPTB의 구조는 그림4(a)와 같다. 실험에서 상/하 부분에서 각각 30μm와 40μm를 가지는 샘플을 제작하였다. 그림4(b)에서 측벽에 도금된 . 실험확인할 수 있으며, O<sub>2</sub>분위기에서 산화에 대한 자기보호(self-protect) 문제점 해결실험위한 방어층벽을 구성하였다.

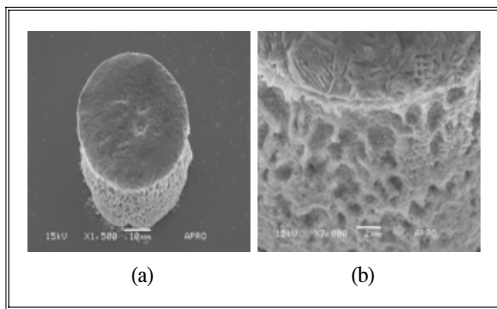


그림 4. 주석보호층벽 구리기둥의 SEM 사진  
Fig. 4 SEM image of copper pillar bump with sidewall anti-oxidation layer.

최근 여러 나라에서 납의 사용을 제한하기 때문에, 본 실험에서는 순수한 주석만을 사용하였다.

그림5.(a)는 열-압착접합 실험의 결과이며, 그림 5.(b)

는 구리와 주석 간의 접합면에 나타나는 Cu<sub>3</sub>Sn과 Cu<sub>6</sub>Sn<sub>5</sub>의 합금 형태이다. 이때 PCB로 선택된 보드는 실험을 위해 패터닝과 구리식각, 그리고 무전해 도금을 이용하여 제작하였다.

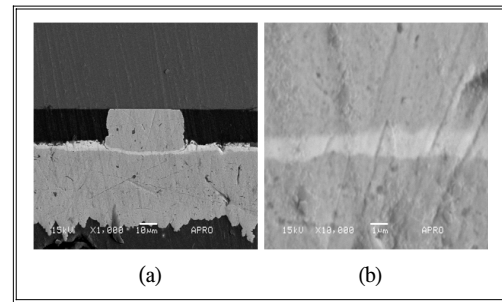


그림 5. (a) 구리기둥과 PCB 기판간의 접합단면도 (b) IMC(Inter Metallic Compound)층 SEM사진  
Fig. 5 (a) Image of joint area between PCB and copper pillar (b) SEM image of IMC

이후 공정은 O<sub>2</sub> 플라즈마를 위한 표면세정과정을 거친 FR-4기판을 이용하여, 구리기둥이 있는 칩 부분과 PCB기판의 Sn-Sn접합을 형성하였다. 접합과정에서 구리기둥 측에는 각각 290℃, 310℃, 330℃, 350℃를 가하였고, FR-4 PCB기판은 70℃를 설정하였다. 500N의 일정한 접합압력을 가하였을 때, 그림6과 같이 온도차의 열응력 접합 최고전단강도는 330℃로 나타났다.

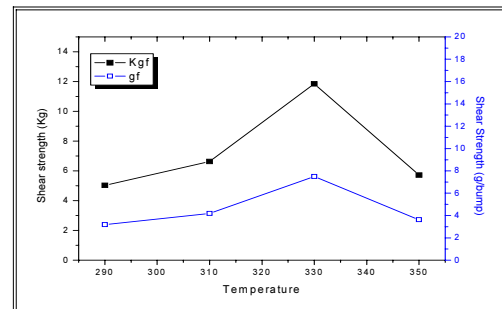


그림 6. 접합 온도별 층밀림 전단세기강도  
Fig. 6 Shear strength of joining temp-variation

주석측벽구리기둥의 전기저항에 대한 주석의 효과는, 지름 50μm와 높이 60μm 기둥을 기준으로 주석측벽의 유, 무에 대하여 O<sub>2</sub>에 의한 산화가 진행된 경우를 계

산하였다. 이때 지름(d)은 산화와 무관하게 항상 일정하다고 가정하였고, 계산에 사용된 범프기둥 모델은 그림 7.과 같다.

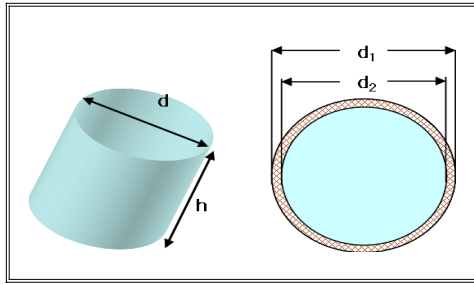


그림 7. 구리기둥의 전기저항 계산을 위한 모델  
Fig. 7 Copper pillar model for calculation of electric resistance

주석층벽의 유(개선), 무(기준)에 따른 저항변화의 비교는 그림8.과 같다. 직경이 큰 경우, 산화에 의한 영향은 그리 크지 않음을 볼 수 있다.

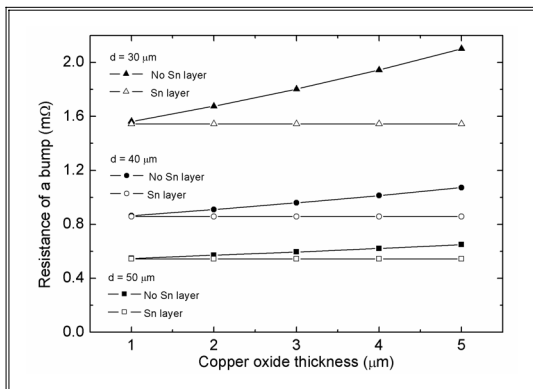


그림 8. 주석층벽유무에 따른 구리기둥 저항변화  
Fig. 8 Resistance variations of copper pillar bump with Sn anti-oxidation layer effect

하지만, 초기 직경이 30μm인 경우, 보호층벽이 없는 기존의 방식에서 산화 막의 두께 증가는 구리기둥 자체 저항을 급격히 증가시키기를 볼 수 있다. 주석보호층벽이 산화를 방어해 줌으로써 저항변화가 나타나지 않는 개선된 경우와 크게 비교 된다. 이는 소자의 집적화에 바탕을 둔 기둥의 축소화 경향에 대하여, 산화현상에 대한 문제가 더욱더 부각될 수 있음을 보여준다.

더욱이, 구리범프의 전기저항이 증가됨에 따라 Black's 식에 의거하여 전류밀도가 증가되고, 이는 물질 이동성(EM) 효과를 크게 증가시키게 된다.[7][8] 증가된 E-M효과는 접합부위에 크랙 형성을 더욱 쉽게 발생시켜서 신뢰성 저하를 초래하게 된다. 따라서 고 밀집 패키징에 지대한 영향을 미치게 된다.

#### IV. 결론

고집적 패키징 기술에 사용되는 구리기둥범프의 신뢰성 향상을 위해 산화방지용주석보호층을 형성하고, 그에 대한 특성 안정화 및 신뢰성 개선 방안을 비교, 제시하였다.

산화방지용주석보호층을 갖는 구리기둥범프는 Cu의 산화용이성에 따른 전기-물리학적 취약성을 극복하며, 특히 전기저항의 안정화에 따른 고 밀집 패키징 기술 제고에 기여할 장점을 지닌다.

따라서 구리기둥의 산화방지를 위한 개선된 주석층벽의 제조기법과 그에 대한 CPTB 구조를 제안하였다. 시험제작에서 100μm의 피치를 갖는 범프 제작과 접합 특성의 확인으로부터, 주석층벽이 없는 기존방식의 경우에서 현저한 전기저항 증가 현상을 확인한 결과에 대하여 주석층벽 형성으로부터 전기저항이 일정한 수준으로 개선된 결과를 얻은 비교 평가에서 명확한 차별성을 확인하였다. 그러므로 주석층벽공정기술을 최적화할 경우, 100μm 이하의 피치가 요구되는 공정조건에서도 본 연구결과를 적용함으로써 고 밀집 패키징 공정 및 제조기술에서 성능과 신뢰성 향상에 크게 기여할 수 있음을 확인하였다.

#### 참고문헌

- [1] Robert Doering, Yoshio Nishi, "Semiconductor Manufacturing Technology", CRC Press, Ch. 32-2, 2008.
- [2] T. Wang, F. Tung, L. Foo, V. Dutta, "Studies on A Novel Flip-Chip Interconnect Structure Pillar Bump", Electronic Components and Technology Conference, pp. 945-949, 2001.

- [3] A. Yeoh, M. Chang, C. Peltó, Tzuen-Luh Huang, S. Balakrishnan, G. Leatherman, S. Agraharam, Guotao Wang, Zhiyong Wang, D. Chiang, P. Stover, P. Brandenburger, "Copper die bumps (first level interconnect) and low-K dielectrics in 65nm high volume manufacturing", Electronic Components and Technology Conference, pp.1611-1615, 2006.
- [4] E. T. Ogawa, K-D Lee, "Electro-migration reliability issues in dual-damascene Cu interconnections", IEEE Transaction on reliability, vol. 51, pp. 403-419, 2002.
- [5] 이성주, "혈셀과 도금의 평가", 참기획, 2007.
- [6] 왕 리, 지영주, 소대화, 홍상진, "Real-time Monitoring of Copper Electroplating for Semiconductor Interconnect", 한국진공학회 2010년 동계학술대회, 강원도 평창, 2010.
- [7] Yi-Shao Lai, Kuo-Ming Chen, Chiu-Wen Lee, Chin-Li Kao, Yu-Hsiu Shao, "Electronic Packaging Technology Conference", Proceedings of 7th, vol. 2, pp.786-791, 2005.
- [8] 왕 리, 정원철, 조일환, 홍상진, 황재룡, 소대화, "반도체공정에서 구리기둥주석범프의 전해도금 형성과 특성", 한국해양정보통신학회, 2010 추계종합학술대회논문집, 14권 2호, p726-729, 2010.

## 저자소개



### 소대화(Soh Dea-Wha)

경희대학교 전자공학과 공학박사  
명지대학교 전자공학과 명예교수  
한국과학기술정보원 전문연구위원  
중국동북대학교 겸직교수

중국요녕과학기술대 객좌교수

러시아고등교육과학원 과학원사

※ 관심분야: 반도체 재료 및 소자, 초전도체공학,  
융합과학기술, 동굴과학기술