

# 교란 방어를 위하여 히스테리시스가 시리얼로 제어되는 가변 비교기 회로

## A Variable Hysteresis Comparator Circuit Controlled by Serial Digital Bits Against Jamming

김 영 기  
Young Gi Kim

### Abstract

In order to overcome jamming, a hysteresis tunable monolithic comparator circuit based on a 0.35  $\mu\text{m}$  CMOS process is suggested, designed, fabricated, measured and analyzed in this paper. To tune the threshold voltage of the hysteresis in the comparator circuit, two external digital bits are used with supply voltage of 3.3V. An improved variable hysteresis comparator circuit controlled by serial digital bits is suggested, designed and simulated to overcome jamming in modern warfare.

### 요 약

본 논문에서는 통신, 탐지 및 제어를 위한 원신호의 크기가 시간적으로 변화하고 또한 간섭 잡음의 역할을 하는 교란 신호의 크기도 시간적으로 변화하는 현대전의 상황에서 교란 간섭 신호와 원 신호를 구분하여 원 신호를 디지털신호로 복원하는 확률을 높이기 위하여 본 논문에서는 피드백 경로에 있는 MOSFET의 실효적인 문턱을 디지털 제어 신호로 변경하여 피드백 전류 신호양의 조절하고 히스테리시스의 크기를 조절할 수 있는 IC 회로를 제안하여 설계, 제작 후 측정 및 분석하였다. 병렬 디지털 제어신호에 의한 히스테리시스가 설계 시 예측한 만큼 제어됨을 0.35 $\mu\text{m}$ -CMOS 공정의 IC 회로를 제작하고 측정하여 증명하였으며 이를 직렬 디지털 제어신호를 제어하기 위한 회로를 설계하여 모의 실험하였다. 또한 교란신호의 크기에 따른 적합한 피드백을 제공하기 위한 제어신호를 모의실험으로 제시하였다.

*Key words* : 비교기, 히스테리시스, 교란 방지, 신호 복원, jamming

한다.

교란 신호의 크기는 시간에 따라 변화할 것이고, 실제의 통신에 필요한 수신호의 크기 역시 수신거리, 송신 전파 신호 전력의 크기, 송·수신 기기 자체에서 발생하여 변환되어 원 신호 자체에 포함된 잡음신호의 크기 등이 시간에 따라 변화하게 된다. 이러한 교란 신호를 포함한 다양한 잡음 신호에 대하여 수신호의 수신 복원력을 높여 외부간섭으로부터의 영향을 줄여서 안정된 통신을 유지하기 위한 방법의 일환으로 수신된 신호에서 잡음신호와 수신호를 구분하는 문턱진압을 상황에 맞게 변화시켜야 한다. 즉 자기 자신의 송수신 주파수 대역 내에서 발생하거나 다른 주파수 대역에서 변환 되어온 잡음 신호로부터의 간

### 1. 서론

지난 연평도 피격에서 경험한 바와 같이 현대전에서는 변화무쌍한 교란 신호에 의한 Jamming이 항상 같이 존재함을 인지하고 군용 통신, 탐지 및 제어기기는 이에 대비하여 설계되고 설치 운영 고려하여야

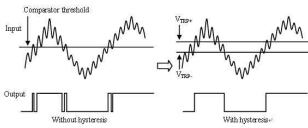
\* 안양대학교 정보통신공학과  
(Department of Data Communication Anyang University)  
接受日:2011年 11月 28日, 修正完了日: 2011年 11月 28日  
掲載確定日: 2011年 12月 09日

섭의 영향에 능동적으로 대처하여 입력된 아날로그 신호를 디지털 구형파로 안정되게 복원하기 위하여 입력신호의 히스테리시스의 크기를 상황에 맞게 변경하는 것이다. 특히 상대방이 우군의 통신주파수를 정확하게 탐지하지 못하여 광범위한 주파수에 방해 간섭신호로 교란시킬 경우에는 주 신호의 크기보다 교란신호의 양이 상대적으로 증가하고 시간에 따른 변화 폭이 커서 통신의 방어효과가 클 것으로 예상된다.

교란 상태의 현대전의 통신·제어 상황은 도심이나 박람회 전시장에서 다수의 서로 다른 기기가 독립적으로 무작위의 강한 신호를 발생시켜 서로 충돌이 일어나 오동작을 하는 RFID 기기간의 충돌과 유사하다고 할 수 있다. 따라서 RFID의 충돌회피방법에 대한 고찰이 필요하다.

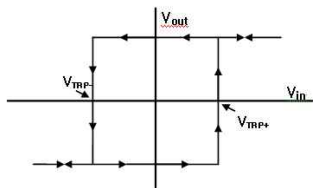
수신 전력의 효율을 개선하여 도달거리를 증가시키기 위한 연구가 진행되어 왔다<sup>[1]</sup>.

그림 1의 (a)와 같이 간섭 잡음의 크기가 일정하고 그 신호의 크기가 전송신호보다 적으면 비교기에 그림 1의 (b)와 같은 일정한 크기의 히스테리시스를 부여하여 수신 신호를 안정된 구형파 신호로 복원할 수 있다. 하지만 RFID의 무선 통신환경에서는 주변 간섭 신호의 크기 및 주 전송신호의 크기가 주 환경에 따라 수시로 변화함으로써 히스테리시스의 문턱 전압을 상황이 맞게 가변 하는 것이 효율적이다.



(a) Comparator response of a noisy input

(a) 비교기회로의 신호 복원특성



(b) Comparator hysteresis curve

(b) 히스테리시스 특성

Fig. 1. Hysteresis comparator response

그림 1. 히스테리시스를 갖는 비교기회로의 신호 복원특성.

히스테리시스의 문턱전압을 낮추기 위한 BICMOS 구조의 회로가 제안 되었으며<sup>[2]</sup>, 히스테리시스의 문턱 전압을 제어하기 위하여 단지 시뮬레이션 결과만으로 MUX, D-플립플롭등 비교적 복잡하고 검증되지 않는 회로들을 이용하여 전류를 제어함으로써 히스테리시스를 제어 하는 CMOS IC 회로가 제안 되었다<sup>[3]</sup>.

본 논문에서는 히스테리시스의 문턱 전압을 안정된 디지털방식의 두개의 비트로 조절 할 수 있는 비교기 회로를 CMOS 회로로 제안한다.

## II. 비교기 회로의 이론 및 설계

그림 2는 히스테리시스를 갖는 일반적인 비교기 회로도이며 트랜지스터 M3, M4, M6, M7에 흐르는 전류의 비  $I_{D6}/I_{D3}$ 와  $I_{D7}/I_{D4}$ 의 값이 1보다 작으면 음의 피드백이 되어 히스테리시스가 없다. 반면에 그 비율 값이 1보다 커지면 양의 피드백이 형성되고 히스테리시스가 시작된다<sup>[4]</sup>. M1의 게이트  $V_{in1}$ 을 접지 시킨 상태에서  $V_{in2}$ 가 약간 높은 값으로 가면 M1은 도통되고 M2는 차단되어,  $V_{o1}$ 이 높아져서  $V_{gs3}$ 와  $V_{gs6}$ 가 높아져 M3와 M6가 도통되고, 반대로  $V_{o2}$ 는 낮아져서  $V_{gs4}$ 와  $V_{gs7}$ 이 낮아져 M4와 M7은 차단된다. 따라서 공급 전류  $I_5$ 는 모두 M1과 M3로만 흐른다.

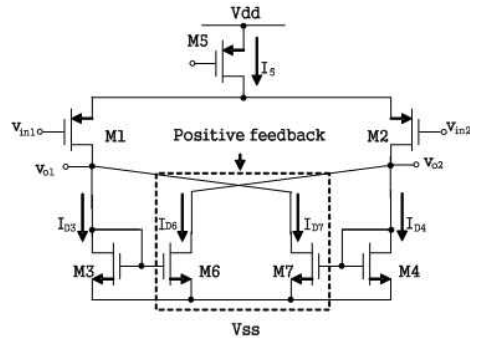


Fig. 2. Hysteresis comparator

그림 2. 히스테리시스를 갖는 비교기회로도

즉

$$I_{D1} = I_{D3} = I_{D5} \tag{1}$$

$$V_{gs3} = V_{gs6} \tag{2}$$

이고, MOS 트랜지스터에 흐르는 전류  $I$ 와 게이트전압과과의 관계는 다음과 같다.

$$V_{gs} = \sqrt{\frac{2I}{\mu C_{ox} (W/L)}} + V_T \quad (3)$$

여기서  $V_{gs}$  는 게이트 소스간의 전압,  $\mu$  는 캐리어의 이동도,  $C_{ox}$  는 산화막의 정전용량,  $V_T$  는 문턱전압,  $L$  은 게이트의 길이,  $W$  는 게이트의 넓이,  $I_{Di}$  는 해당  $i$  MOS 트랜지스터에 흐르는 전류를 각각 나타낸다.

식 (1), (2), (3) 에서부터

$$I_{D6} = \frac{\left(\frac{W_6}{L_6}\right)}{\left(\frac{W_3}{L_3}\right)} I_{D5} \quad (4)$$

이고  $V_{in2}$  이 감소되면 M2 의 전류가 증가하여

$$I_{D2} = I_{D6} \quad (5)$$

를 지나는 근사 시점에서 비교기 회로의 상태가 천이된다.

이때

$$V_{gs3} = V_{gs6} \quad (6)$$

임으로

$$I_{D6} = \frac{\left(\frac{W_6}{L_6}\right)}{\left(\frac{W_3}{L_3}\right)} I_{D3} \quad (7)$$

이고

$$I_{D2} = I_{D6} \quad (8)$$

$$I_{D5} = I_{D1} + I_{D2} \quad (9)$$

$$I_{D1} = I_{D3} \quad (10)$$

에서

$$I_{D3} = \frac{I_{D5}}{1 + \frac{\left(\frac{W_6}{L_6}\right)}{\left(\frac{W_3}{L_3}\right)}} = I_{D1} \quad (11)$$

$$I_{D2} = I_{D5} - I_{D1} = \frac{\frac{\left(\frac{W_6}{L_6}\right)}{\left(\frac{W_3}{L_3}\right)} I_{D5}}{1 + \frac{\left(\frac{W_6}{L_6}\right)}{\left(\frac{W_3}{L_3}\right)}} \quad (12)$$

이를 종합하면 양의 문턱 전압  $V_{TRP+}$  은 다음과 같이 구해진다.

$$\begin{aligned} V_{TRP+} &= V_{gs2} - V_{gs1} \\ &= \sqrt{\frac{2}{\mu C_{ox}}} \left( \sqrt{\frac{I_{D2}}{W_2/L_2}} - \sqrt{\frac{I_{D1}}{W_1/L_1}} \right) \\ &= \sqrt{\frac{2I_{D5}}{\mu C_{ox}}} \frac{\left( \sqrt{\frac{\left(\frac{W_6}{L_6}\right)}{\left(\frac{W_2}{L_2}\right)\left(\frac{W_3}{L_3}\right)}} - \sqrt{\frac{1}{W_1/L_1}} \right)}{\sqrt{1 + \frac{\left(\frac{W_6}{L_6}\right)}{\left(\frac{W_3}{L_3}\right)}}} \end{aligned} \quad (13)$$

여기서 M1 과 M2 의 게이트 크기가 같고 M3 와 M6 가 같은 게이트 길이를 갖게 회로를 구성하면 이 식은 다음과 같이 간략히 된다.

$$V_{TRP+} = \sqrt{\frac{2I_{D5}}{\mu C_{ox}}} \frac{\left( \sqrt{\frac{\left(\frac{W_6}{L_6}\right)}{\left(\frac{W_2}{L_2}\right)\left(\frac{W_3}{L_3}\right)}} - \sqrt{\frac{1}{W_1/L_1}} \right)}{\sqrt{1 + \frac{\left(\frac{W_6}{L_6}\right)}{\left(\frac{W_3}{L_3}\right)}}} \quad (14)$$

이 식에서  $W_1, W_3, L_1, I_{D1}$  가 고정되면  $W_6$  을 변화 시킴으로 문턱전압  $V_{TRP+}$  을 조절 할 수 있다.

본 논문에서는 문턱전압  $V_{TRP+}$  을 조절하기 위하여 그림 2 에서의 양의 피드백 회로를 그림 3, 그림 4 와 같이 제안하여 디지털 피드백 제어회로부로 구현하였다. 이 제안된 디지털 피드백 제어회로 부는 M8 부터 M11 까지 4 개의 피드백 NMOS 들과 M8a 와 M8b와 같은 8 개의 스위칭 NMOS 들과 First Control Bit 와 Second Control Bit 에 직접 연결되어 있는 2 쌍의 CMOS 역전 회로들로 구성되었다. 양의

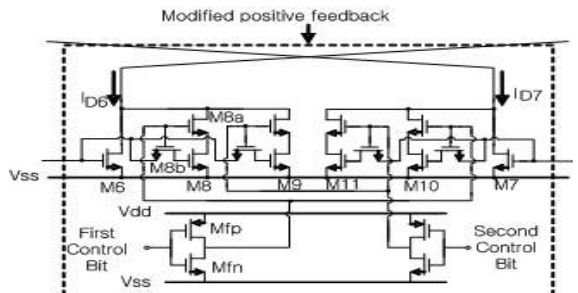


Fig. 3. The modified positive feedback circuit in a hysteresis comparator

그림 3. 본 논문에서 제안한 디지털 피드백 제어 회로부

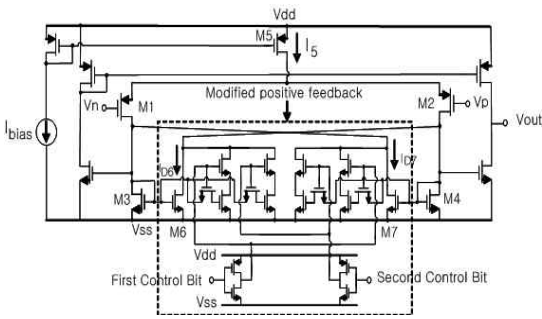


Fig. 4. Schematics of the whole proposed circuit  
 그림 4. 본 논문에서 제안한 비교기 전체 회로도

피드백 회로는 외부 디지털 비트로 제어되는 데, 첫 번째 비트가 로직 1에 해당하는 전압으로 올라가면  $M_{fp}$ ,  $M_{8a}$ ,  $M_{8b}$  을 차단시켜  $M_8$  은  $M_6$  와 격리되어 영향을 미치지 못 한다. 그러나 첫 번째 비트의 전압이 0으로 내려가면  $M_{fp}$ ,  $M_{8a}$ ,  $M_{8b}$  가 도통하여  $M_8$  이  $M_{8a}$  를 통하여  $M_6$  와 병렬 연결된 효과를 만들어 위 식의  $W_6$  를 늘리는 것과 같은 효과를 발생시켜 양의 문턱전압  $V_{TRP+}$  의 값을 약간 변화시킨다. 여기서  $M_6$  의 면적이 늘어나는 효과는 양의 피드백의 양을 증가시켜서 그 결과로  $V_{TRP+}$  의 값을 변화시킨다. 이 첫 번째 비트의 영향은  $M_{10}$  에도 동시에 동일하게 작용하여 음의 문턱전압의 절대 값을 변화시킨다. 두 번째 비트는  $M_9$  과  $M_{11}$  를 같은 방법으로 제어한다.  $M_6$ ,  $M_8$ ,  $M_9$  의 게이트 넓이의 비는 1:1:2로 하여 디지털 제어 비트의 값이 11에서 00로 변화함에 따라  $W_6/W_3$  의 값이 1, 2, 3, 4로 순차적으로 변화하게 설계하였다.

### III 병렬제어 가변 비교기 집적 회로 제작 및 전기적 특성 분석

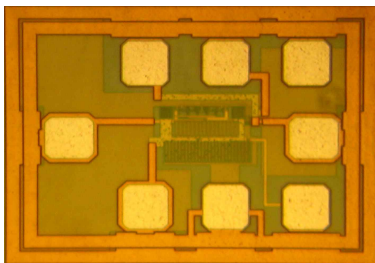
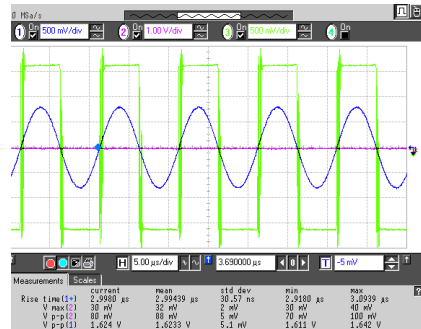
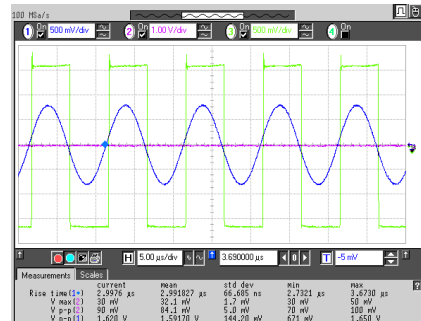


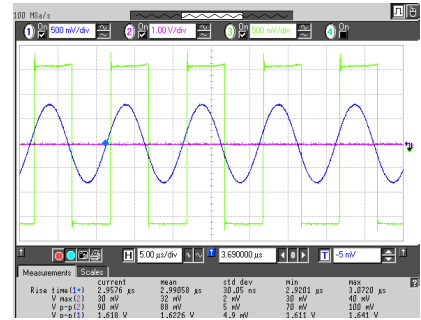
Fig. 5. Mico-photograph of a hysteresis controllable comparator  
 그림 5. 제작한 단일 칩 비교기 회로의 현미경 사진



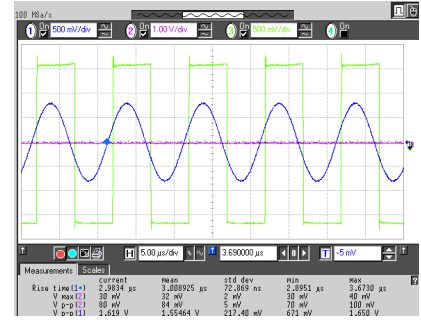
(a) 11



(b) 10



(c) 01



(d) 00

Fig.6. Hysteresis comparator response for the digital control bits  
 그림 6. 디지털 제어비트에 따른 히스테리시스 특성

앞 절에서 기술된 히스테리시스 제어형 비교기 회로구조는 0.35 마이크론 선폴의 CMOS 공정을 적용하여 IDEC에서 지원하는 CADENCE를 이용하여 반복적 시뮬레이션을 통하여 회로를 설계 하였다. **그림 5** 는 제작한 단일 칩 비교기 회로의 현미경사진으로 연결선, 패드, 외각 선을 포함한 칩의 크기는 0.58 x 0.44 mm<sup>2</sup> 이다. 패드와 연결선등을 제외한 실제 비교기 회로만의 크기는 0.16 x 0.11 mm<sup>2</sup> 이다.

**그림 6** 에는 100kHz 의 입력신호에 대하여 디지털 제어 비트를 변화시킴에 따라 측정된 출력 파형을 나타내었다.

Table 1. Hysteresis characteristics for the combination of control bits.

표 1. 제어비트의 조합에 따른 히스테리시스 특성 변화

입력 제어 비트		11	10	01	00
W <sub>6</sub> /W <sub>3</sub> 비율		1	2	3	4
고주파(100 kHz)의 사인과 입력신호에 따른 고 구동전류 (I <sub>5</sub> =357μA) 일 때	계산된 히스테리시스 양의 문턱전압 (mV)	0	115	177	246
	시뮬레이션상의 히스테리시스 양의 문턱전압 (mV)	12	131	200	246
	측정된 히스테리시스 양의 문턱전압 (mV)	0	130	190	250
저주파(100 Hz)의 삼각파 입력신호에 따른 저 구동전류 (I <sub>5</sub> =12.6μA) 일 때	계산된 히스테리시스 양의 문턱전압 (mV)	0	25	38	46
	시뮬레이션상의 히스테리시스 양의 문턱전압 (mV)	0	35	58	71
	측정된 히스테리시스 양의 문턱전압 (mV)	0	16	20	44

### IV 시리얼 제어 가변 비교기 회로

본 비교기회로는 디지털 제어 비트의 값이 11에서 00 로 변화함에 따라 W<sub>6</sub>/W<sub>3</sub> 의 값이 1, 2, 3, 4 로 순차적으로 변화하게 설계되었다. 제어 비트가 11 인 (a) 의 경우 히스테리시스가 전혀 나타나지 않아 입력신호가 영을 통과하는 부근에서 잡음에 의하여 출력이 불규칙하게 변하는 글리치(glitch) 오류가 발생함을 알 수 있다. 히스테리시스가 있는 (b), (c), (d) 에서는 이 글리치 오류가 개선되었다. 교란 방해가 무작위로 존재하는 현대 상황에서 통신, 탐지, 제어를 하기 위하여는 주변 간섭 신호의 크기 및 주 전송 입력신호의 크기가 주의 환경에 따라 수시로 변화함으로 히스테리시스의 문턱 전압을 간섭 잡음의 크기에 맞게 가변 하는 것이 요구 된다. 본 CMOS 비교기 회로는 입력신호의 주파수가 높아짐에 따라 정상적인 구형파로의 변환을 위하여 이를 구동하는 식 (14) 의 I<sub>5</sub> 에 해당하는 구동전류도 증가하여야 하는데 100kHz 의 사인과 입력신호에 대하여 357μA 의 구동전류에 대한 응답 특성을 분석 · 비교하였다.

제어비트의 조합에 따른 히스테리시스 문턱전압의 변화를 표 1 에 식 (14)에서 계산된 값, 시뮬레이션 값, 측정값을 비교하였는데 매우 근접하였다<sup>[4]</sup>.

앞 절에서의 비교기회로는 병렬디지털 제어 비트로 동시에 히스테리시스를 제어하는 때문에 제어 속도가 빠르지만 4 가지의 경우만을 제어 하는 제약이 있다. 이보다 더 넓은 범위에서 섬세하게 디지털로 제어하기 위하여는 더 많은 제어비트가 필요하며, 따라서 제어선의 수가 증가하여 회로 구성이 복잡하여 진다. 이에 확장된 넓은 범위에서 더 미세한 16 구간으로 나누어 제어하면서도 2 개의 제어선 만으로 제어하기 위하여 직렬-병렬(serial to parallel) 변환기 회로가 추가된 가변 히스테리시스 비교기를 **그림 7** 과 같이 설계하였다. 피드백 경로의 실효 면적을 변화 할 때 마다 스위칭에 필요한 MOS 트랜지스터의 개수가 이전 절에서는 3 개 이었으나 본 설계에서는 2개로 줄었다. 직렬-병렬 변환기 블록 내부의 회로 블록구조는 **그림 8** 과 같으며, 16개의 D 플립-프롭(D-Flip Flop)이 직렬로 반복된 구조에서 생략하여 2 개의 D 플립-프롭만을 도시하였다. 사용된 D 플립-프롭은 저 전력 고속 스위칭을 위주로 설계 하였으며 회로도에는 **그림 9** 와 같다.

설계된 비교기를 전원 전압 1.8V로 모의실험 구동시 총 소모 전류는 400.4uA 이며, 직렬 디지털 제어신호 “1” 에 해당하는 1.8V를 10uS 간격으로 연속하여 인가 시 600 uV 크기의 100kHz 의 원 입력신

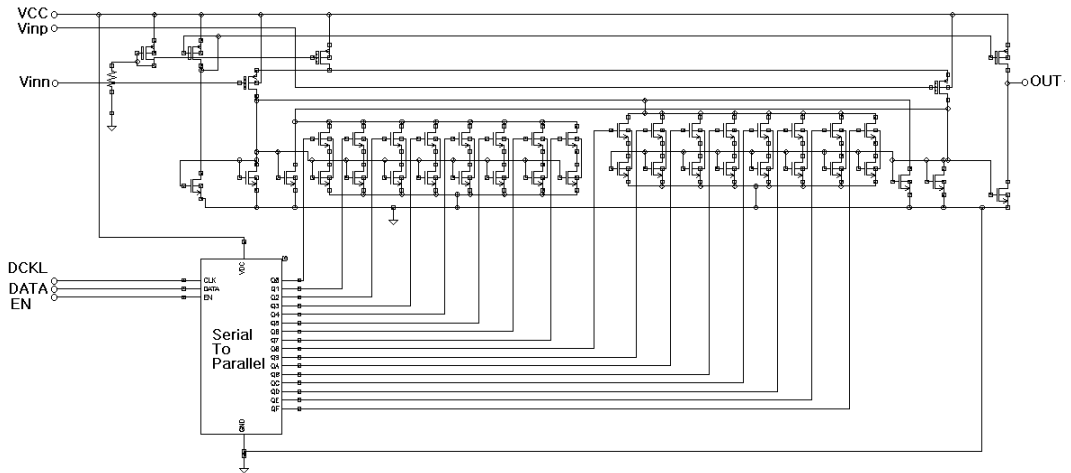


Fig. 7. Schematics of the comparator circuit controlled by serial digital bits  
 그림 7. 직렬- 병렬 신호 변환기가 내장된 가변 히스테리시스 비교기

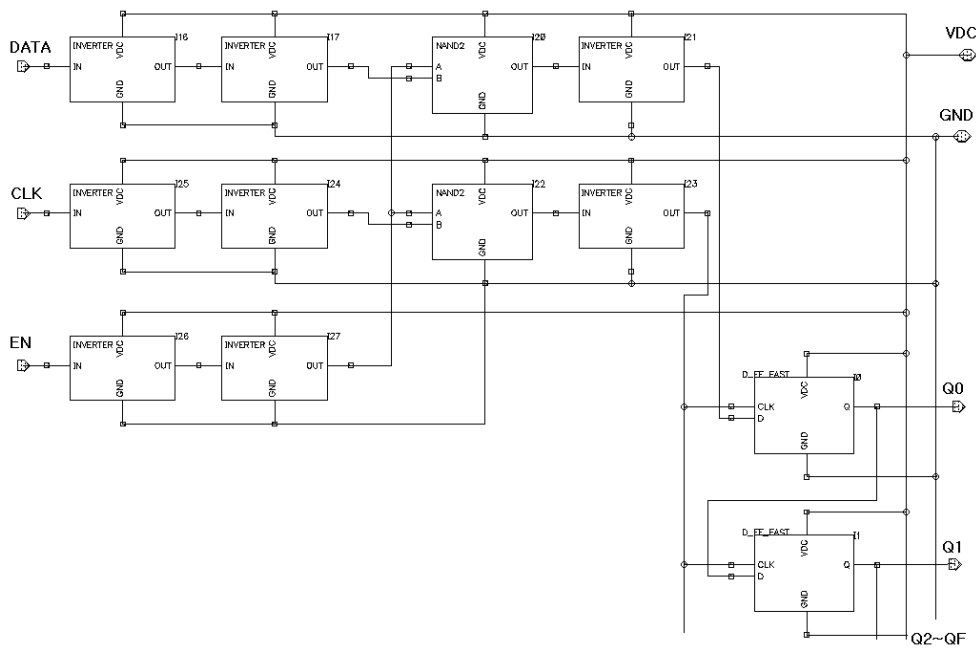


Fig. 8. Schematics of the serial to parallel converter  
 그림 8. 직렬-병렬 신호 변환기 회로의 블록도

호에 500kHz의 교란 신호크기를 1uV, 10uV, 400uV, 500uV 로 각각 가변 하여 방해할 경우의 비교기 회로의 출력 신호 파형이 그림 10 에 도시되었다. 교란 신호의 크기가 1uV 로 작을 때는 비교적 신호의 복원이 용이하였으나, 교란 신호의 크기가 증가 할수록 신호 복원에 적합한 피드백 조건이 바뀌어 짐을 알 수 있다. 교란신호의 크기가 100uV에서 400uV 정도로 증가 할 시 12개 또는 13개의 디지털 제어비트가 “1” 로 부가되는 230uS에서 270uS의 구간에서 그리치가 없는 양호한 디지털 신호로 변환됨을 알 수 있다. 특히 교란신호의 크기가 500uV로 크게 증가하여 600uV 크기의 주신호의 크기보다 약간 작은 경우는 12개의 디지털 제어비트가 “1” 로 부가되는 230uS에서 250uS의 구간에만 디지털 신호로 복원 가능한 신호로 변환됨을 알 수 있다.

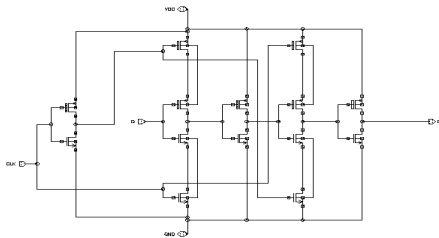


Fig. 9. Schematics of the fast D-flip flop  
 그림 9. 직렬-병렬 신호변환기 회로 내의 고속 저전류 D 플립-플롭 회로도

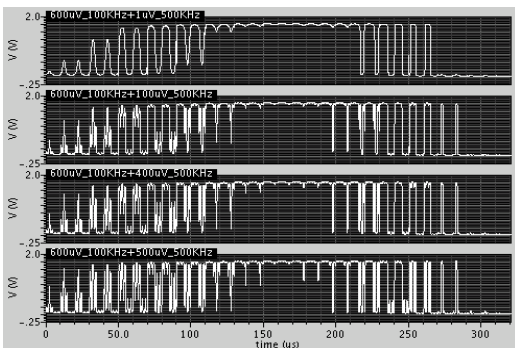


Fig. 10. Comparator response with various jamming signal for the serial digital control bit changes  
 그림 10. 다양한 교란 신호의 크기에 대한 비교기 회로의 출력 신호 파형

### V. 결론

본 논문에서는 통신, 탐지 및 제어를 위한 원 신호의 크기가 시간적으로 변화하고 또한 간섭 잡음의 역할을 하는 교란 신호의 크기도 시간적으로 변화하는 현대전의 상황에서 교란 간섭 신호와 원 신호를 구분하여 원 신호를 디지털신호로 복원하는 확률을 높이기 위하여 본 논문에서는 피드백의 경로에 있는 MOSFET의 실질적인 면적을 디지털 제어 신호로 변경하여 피드백 전류 신호양의 조절하고 히스테리시스의 크기를 조절할 수 있는 IC 회로를 제안하여 설계, 제작 후 측정 및 분석하였다. 히스테리시스의 문턱전압을 디지털적으로 제어할 수 있는 회로구조를 제안하고 히스테리시스의 문턱전압에 영향을 미치는 요인인 제어용 MOS의 게이트 넓이와 구동전류의 관계식을 해석적으로 분석하여 회로 설계에 적용하고 제작하여 전기적 특성을 측정 및 분석하여 이를 검증한 결과 비교적 정확한 일치를 보였다. 병렬 디지털 제어신호에 의한 히스테리시스가 설계 시 예측한 만큼 제어됨을 0.35m-CMOS 공정의 IC 회로를 제작하고 측정하여 증명하였으며 이를 직렬 디지털 제어신호를 제어하기 위한 회로를 설계하여 교란신호의 크기에 따라 적절한 제어를 하여 주 신호의 복원 확률을 높일 수 있음을 모의실험으로 증명하였다

본 논문에서 제시한 가변 히스테리시스 비교기 회로는 차후 다른 회로와의 종합적인 통합으로 실제의 통신, 탐지 및 제어용 기기에 적용하여 본 논문의 이론을 좀 더 검증하고 이를 국방에 적용함이 바람직 할 것 이다.

### 참고문헌

[1] K. Udo and F. Martin, "Fully Integrated Passive UHF RFID Transponder IC With 16.7-W Minimum RF Input Power," IEEE JOURNAL OF SOLID-STATE CIRCUITS, NO. 10, VOL. 38, pp. 1602-1608, 2003

[2] G. Xiaofeng, L. Xinquan, L. Yushan, W. Jianping Z. Jie, "Design and application of the novel low-threshold comparator using hysteresis," in Proc. of 6th International Conference On ASIC Proceedings, pp. 549 - 553 , Shanghai, China, 2005

[3] H. W. Huang, C. H. Lin, K. H. Chen, " A programmable dual hysteretic window comparator,"

in Proc. of IEEE International Symposium on Circuits and Systems 2008, pp. 1930 - 1933, Seattle, U. S. A, May 2008

[4] 김영기, “히스테리시스가 디지털로 제어되는 CMOS 비교기 IC 회로” 대한전자공학회 논문지, pp. 37 - 42, 제 47 권, SD 편, 11호, 2010년 11월. [5] P. E. Allen and D. R. Holberg, “CMOS Analog Circuit Design.” 2nd Edition, Oxford University Press. 2002

---

### 저 자 소 개

---

**김 영 기** (정회원)



1983년: 한양대학교 전자공학과  
졸업 (공학사)

1984년: 한양대학교 대학원 전자  
공학과 (공학석사)

1993년: 텍사스주립 대학교 대학  
원 전기과 (공학박사)

2005년~2006년 오하이오 주립대  
객원교수

1996년 3월~현재: 안양대학교 정보통신공학과 교수  
<주관심분야> RF integrated circuits and  
devices, LED driving circuits