

논문 2012-49IE-1-4

# 소형 휴대기기용 DC-DC 변환기를 위한 전압 보호회로 설계

( Design of a Voltage Protection Circuit for DC-DC Converter of the Potable Device Application )

박 호 종\*, 허 윤 석\*\*, 박 용 수\*\*\*, 김 남 태\*\*\*\*, 송 한 정\*\*\*\*\*

( Ho Jong Park, Yun Seok Heo, Yong Su Park, Nam Tae Kim, and Han Jung Song )

## 요 약

본 논문에서 소형 휴대기기용 DC-DC 변환기를 위한 전압보호회로를 설계 하였다. 제안하는 전압보호회로는 저전압 보호회로(UVLO)와 고전압 보호회로(OVP) 로 구성되며, 비교기와 바이어스 회로를 사용하여 구현하였다. XFAB 1 $\mu$ m CMOS 공정을 SPICE 모의실험을 통하여 특성 확인을 하였다. 모의실험 결과, 저전압 보호회로(UVLO)는 입력 전압이 4.8 V 이상이 되면 턴-온 되며, 4.2 V 이하가 되면 턴-오프가 되어 저전압의 입력전압이 인가될 때 회로의 오작동을 막을 수 있다. 고전압 보호회로(OVP)는 기준전압 3.8V 이상의 출력전압이 발생하였을 때 회로를 차단하여 소자의 파괴를 막아 안정성과 신뢰성을 높일 수 있다. 또 가상의 DC-DC 변환기 제어회로에 연결한 결과 전압의 이상에 따른 전압보호회로의 동작여부를 확인하였다. 본 논문에서 제안하는 전압보호회로는 DC-DC 변환기의 보호회로 셀로 유용하게 사용 될 것으로 사료된다.

## Abstract

In this paper, a potable device application for DC-DC converter was designed for voltage protection circuit. Voltage protection circuit to offer the under voltage lock out and over voltage protection consists of a comparator and bias circuits were implemented using. XFAB 1 $\mu$ m CMOS process, SPICE simulations was confirmed through the characteristics. Simulation results, under voltage lock out input voltage is 4.8 V higher when the turn-on and, 4.2 V less when turn-off. When the input voltage is low voltage is applied can be used to prevent malfunction of the circuit. Over voltage protection is 3.8 V reference voltage when the output voltage caused by blocking circuit prevents device destruction can be used to improve the stability and reliability. The virtual control circuits of the DC-DC converter connected. According to the results of the abnormal voltage, voltage protection circuit behavior was confirmed. The proposed voltage protection circuit of the DC-DC converter cell is useful are considered.

**Keywords :** Protection circuit, DC-DC converter

## I. 서 론

\* 학생회원, \*\*\*\*\* 정회원, 인제대학교 나노공학부  
(Dept. of Nano Eng., Inje Univ.)

\*\* 학생회원, 인제대학교 나노시스템공학과  
(Dept. of Nano System Eng., Inje Univ.)

\*\*\* 정회원, 충청대학교 전기전자학부  
(Dept. of Electronics, Chung Cheong Univ.)

\*\*\*\* 정회원, 인제대학교 전자지능로봇공학과  
(Dept. of Electronic Eng., Inje Univ.)

※ 본 논문은 지식경제부 및 정보통신산업진흥원의 IT/SW 창의연구과정의 연구결과로 수행되었음.  
(NIPA-2011-C1820-1102-0046)

접수일자: 2011년10월4일, 수정완료일: 2012년3월9일

최근 휴대폰과 같은 소형 휴대기기 수요의 증가와 보편화가 빠르게 진행되고 있다. 또한, 무선 인터넷 기반의 시설들이 확충됨에 따라 소형 휴대기기의 수요는 점차 증가하고 있는 실정이며, 하나의 휴대기기 내에 더 많은 기능을 탑재하고 있다.<sup>[1~2]</sup>

소형 휴대기기들은 다양한 기능들을 동작하기 위해서는 배터리에 의한 전원 전압 하에서 다양한 동작 전

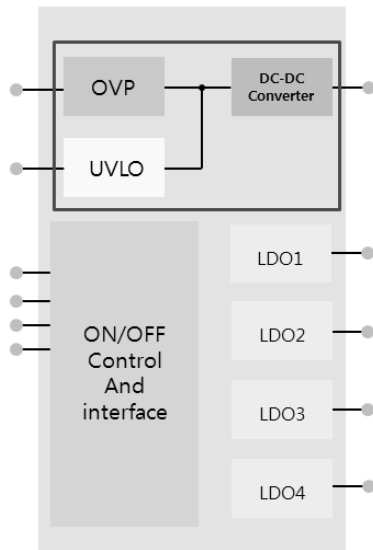


그림 1. 휴대기기용 PMIC 블록도  
Fig. 1. PMIC block diagram for portable device application

압을 공급 받아야 한다.<sup>[3]</sup> 이를 위해 적은 전력을 소모하여 일정한 전압을 출력하는 전원관리 회로가 필요하게 되었으며<sup>[4]</sup>, 이런 소형 휴대기기들의 주 전원 기능을 하나의 칩으로 만든 PMIC(Power Management Integrated Circuit)의 중요성이 크게 부각되고 있다<sup>[5-6]</sup>. 이런 PMIC의 대표적인 종류에는 DC-DC 변환기가 있으며 중요성이 증대되는 만큼 신뢰성과 안정성을 위한 보호회로가 필수적이다.

그림 1은 DC-DC변환기를 사용한 PMIC 칩 내부 블록도로 나타내었다. 그림을 통해 알 수 있듯이 DC-DC 변환기의 신뢰성과 안정성을 위해 고전압 보호회로(OVP), 저전압 보호회로(UVLO) 등의 보호회로의 구성이 필수적이라는 것을 알 수 있다.

본 논문에서는 전원 관리 회로인 DC-DC변환기의 입력전압과 출력전압의 오작동을 줄이기 위해 저전압 차단회로(Under Voltage Lock Out : UVLO)와 고전압 보호회로(Over Voltage Protection : OVP)를 설계하여 하나의 전압보호회로를 구성하였다.

## II. 휴대기기용 Buck DC-DC 변환기의 전압 보호회로

설계 하고자 하는 전압 보호회로의 구동원리는 기준 전압과 입/출력전압을 비교를 통해 전압조건 이상에 대한 응답으로 회로 구동에 불필요한 전력손실 및

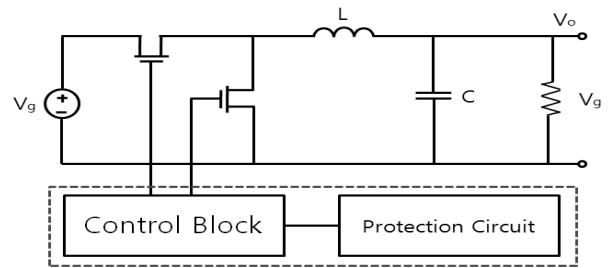


그림 2. 보호회로가 내장된 감압형 DC-DC 변환기 블록도  
Fig. 2. Buck DC-DC converter with protection circuit block.

고전압으로 인해 회로의 소자가 손상되는 것을 보호하는 역할을 한다. 그림 2는 전압보호회로가 응용된 DC-DC변환기의 블록도이다.

기본구조는 Buck DC-DC 변환기이며, 변환기의 스위칭 소자에 제어블록과 제안하는 전압보호회로를 서로 연결하여 전원조건의 이상을 보호회로에서 감지하여 제어회로를 통해 차단하여 DC-DC 변환기의 구동을 결정 짓게 된다. 그림 3은 본 논문에서 설계하고자하는 전압 보호회로와 제어회로의 구성을 블록도로 나타내었다. 블록도 에서 볼 수 있듯이 저전압보호회로(UVLO)는 입력전압이 저전압일 때를 인지하여 전원부의 출력을 제어하게 되며, 고전압 보호회로(OVP)는 출력전압의 이상여부를 확인하여 제어회로의 RS 래치의 리셋 신호에 입력되어 제어 회로 구동을 차단하거나 동작시키게 된다.

설계하고자 하는 전압보호회로는 저전압 보호회로(UVLO)와 고전압 보호회로(OVP)로 구성되어있으며, 저전압 보호회로(UVLO)를 통해 기준전압보다 낮은 전압에서의 불필요한 작동을 막아 전력손실을 막을 수 있

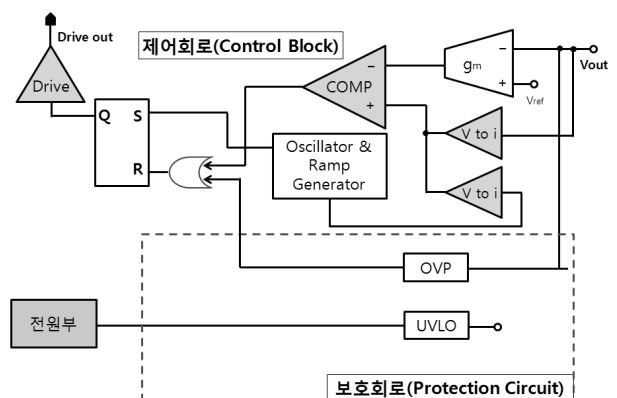


그림 3. 보호회로 제어부 블록도  
Fig. 3. Controll block for protection circuit.

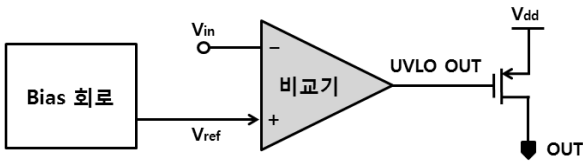


그림 4. 저전압 보호회로(UVLO) 블록도  
 Fig. 4. UVLO(Under voltage lock out) block diagram.

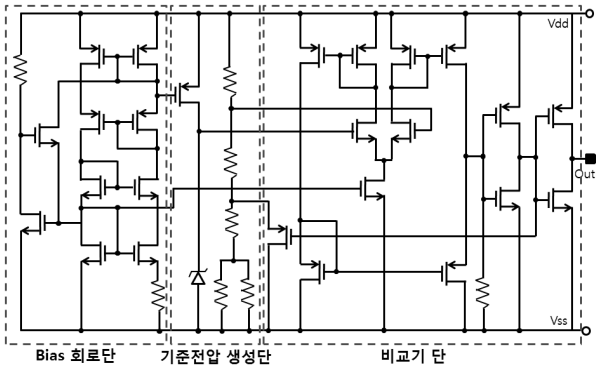


그림 5. 제안하는 저전압 보호회로(UVLO)  
 Fig. 5. Proposed UVLO schematic.

으며, 고전압 보호회로(OVP)를 통해 기준전압 이상의 전압이 흐르게 되면 회로구동을 차단하여 회로 소자의 손상을 막아 회로를 보호하게 된다. 이로 인해 적정 전압에서 회로가 구동될 수 있도록 한다.

그림 4는 저전압 보호회로(UVLO)의 블록도를 나타내었다. 그림에 볼 수 있듯이 바이어스 회로를 통해 기준전압을 생성하게 되며 생성된 기준전압과 입력전압을 비교기를 통해 비교하여 작동하고자 하는 전원 보다 저전압일 때에는 오작동이 발생하는 것을 방지하기 위하여 회로를 차단하게 된다. 또한 적정 전압이 흘러나올 때에는 회로의 동작이 멈춰 적절하게 회로가 동작을 하게 된다.

그림 5는 제안하는 저전압 보호회로(UVLO)의 회로도이다. 앞서 나타낸 그림 4의 블록도를 하나의 회로로 구성하여 앞단에는 바이어스 회로를 구성하여 기준전압을 만들며, 뒷단에는 비교기를 설계하여 바이어스 회로의 기준전압과 입력전압을 비교하여 저전압 보호회로의 구동의 유무를 확정 짓게 된다. 설계된 저전압 보호회로는 히스테리시스 특성을 이용하여 설계 하였으며, 턴-온되는 전압과 턴-오프되는 전압을 설정 할 수 있게 된다. 그림 6은 그림 5의 구동을 확인하기 위한 시뮬레이션 결과이다. 시뮬레이션 결과에서 볼 수 있듯이 입력전압이 서서히 증가시켰을 때 4.8V이상이 되면 턴-온되고, 입력전압이 감소할 때 4.2V이하가 되면 턴-오프

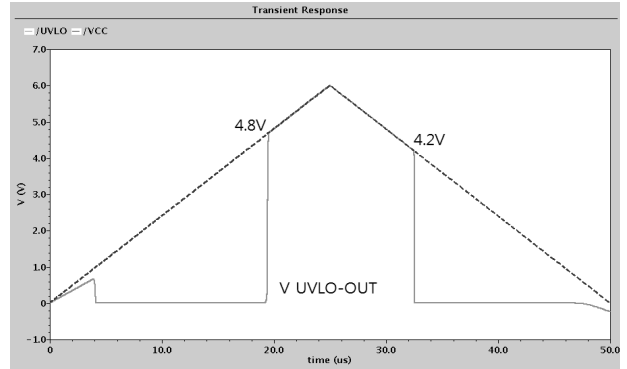


그림 6. 저전압 보호회로(UVLO) SPICE 모의실험 결과  
 Fig. 6. SPICE results of the UVLO.

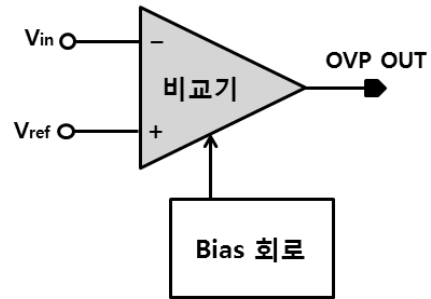


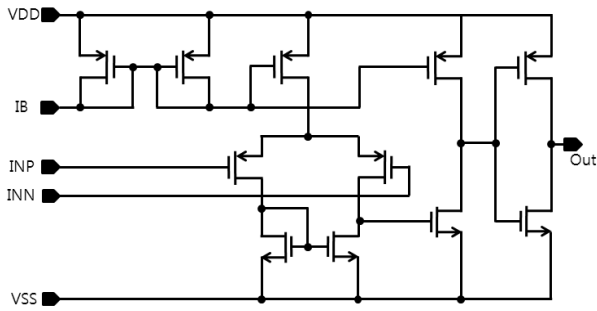
그림 7. 고전압 보호회로(OVP) 블록도  
 Fig. 7. OVP(Over voltage protection) block diagram.

되는 것을 확인 할 수 있다. 또한 이 구간에서는 레귤레이터에 전원전압이 인가되어도 정상적으로 동작할 수 있다.

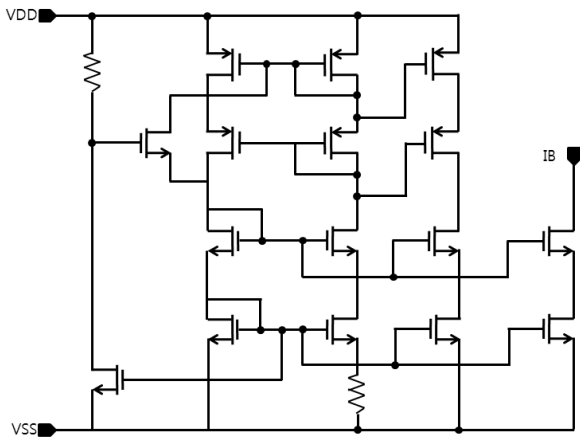
그림 7은 설계하고자하는 고전압 보호회로(OVP)의 구동원리의 이해를 위해 블록도로 나타내었다. 고전압 보호회로 역시 비교기를 사용하여 입력전압과 기준전압을 비교하여 고전압의 여부를 확인하고 회로의 차단여부를 확정 짓게 된다. 비교기의 Bias 전압이 입력되는 단자에는 Bias의 안정 및 비교기내 일정한 전류 공급을 위해 Bias회로 따로 구성을 통해 비교기의 구동에 도움을 주게 된다.

그림 8은 제안하는 고전압 보호회로의 회로도도를 나타내었다. (a)는 고전압 보호회로의 내부 회로도도를 나타내었으며, (b)는 Bias 회로단의 회로도도를 나타내었다. 이 보호회로는 출력전압이 목표보다 훨씬 높아지면 소자가 파괴되는 것을 방지하기 위하여 일정 전압 이상이 될 때를 검출하여 이 구간동안은 스위칭 동작을 하지 않도록 제어함으로써 회로를 보호할 수 있게 된다.

그림 9는 고전압 보호회로의 시뮬레이션 결과를 나타내었다. 입력전압을 0~5V로 삼각파를 입력하여



(a) 고전압 보호회로(OVP)의 회로도  
(a) OVP schematic



(b) 바이어스 회로도  
(b) Bias circuit

그림 8. 제안하는 고전압 보호회로(OVP)  
Fig. 8. Proposed OVP schematic.

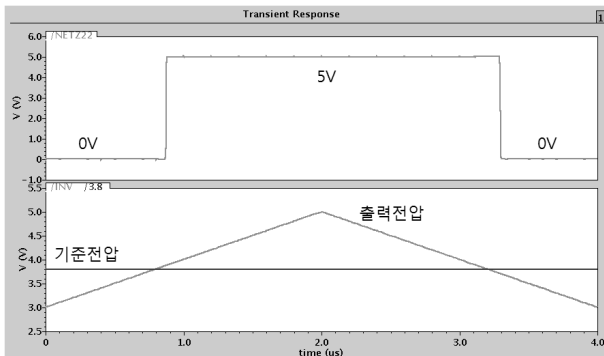


그림 9. 고전압 보호회로(OVP) SPICE 모의실험 결과  
Fig. 9. SPICE results of the OVP.

기준전압 3.8V이상의 전압이 출력이 될 때 고전압 보호회로가 동작하여 회로의 구동을 차단하게 되고, 이로 인해 회로를 보호할 수 있다.

### III. 전압 보호회로의 SPICE 시뮬레이션 결과

본 논문에서는 SPICE 시뮬레이션은 XFAB 1 $\mu$ m CMOS 공정을 사용하였다.

그림 10은 보호회로의 블록도를 나타내었다. 본 논문에서는 RS 래치의 출력단과 전원부에 연결된 저전압보호회로(UVLO)의 출력값을 확인하여 보호회로의 동작여부를 확인하였다.

그림 11은 고전압 보호회로(OVP)의 작동여부를 확인하고 그 신호가 OR게이트를 통해 신호가 어떻게 나오는지 확인하는 시뮬레이션 결과이다.

고전압 보호회로(OVP)에서 기준전압 이상의 입력전압이 들어왔을 때 보호회로의 동작 하는 것을 확인 할 수 있으며 그 신호에 의해 OR게이트의 동작을 확인 할 수 있었다.

그림 12는 전압 보호회로가 구동하여 OR게이트를 통해 나온 신호가 제어회로의 RS-래치에 입력되어 그 신호를 나타낸 시뮬레이션 결과이다.

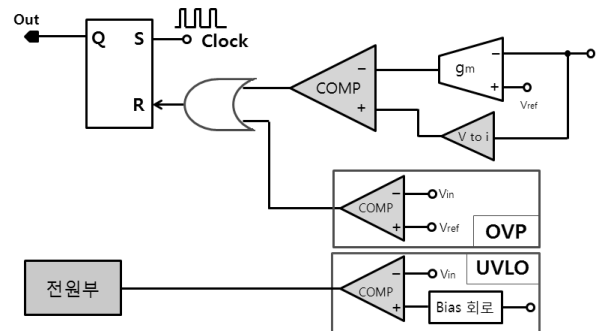


그림 10. 보호회로 블록도  
Fig. 10. Protection circuit block diagram.

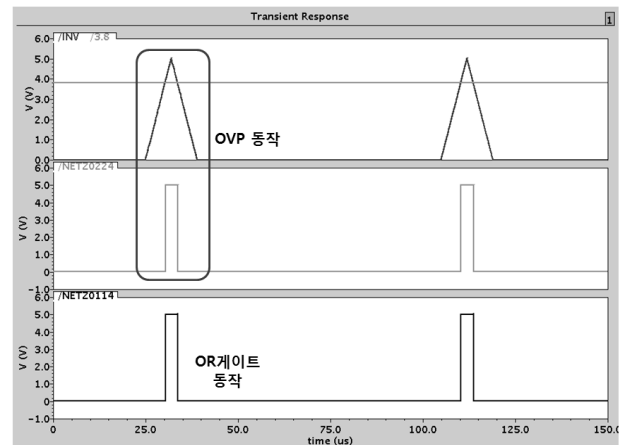


그림 11. 보호회로의 결과  
Fig. 11. Output results of the protection circuits.

Set 신호는 일정한 클럭을 인가하였으며 고전압 보호 회로(OVP)의 동작 시, RS 래치의 출력 값이 어떻게 변하는지 확인함으로써 설계하고자 하는 전압보호회로의 구동을 최종적으로 확인 할 수 있다. 시뮬레이션 결과를 보면 위에서부터 순차적으로 고전압 보호회로(OVP), OR게이트의 동작, Set 신호, RS래치 동작 신호의 순으로 나타내었다. 그림에서 볼 수 있듯이 고전압 보호회로(OVP)의 동작으로 인해 OR게이트가 동작을

하게 되며, 마지막으로 RS래치의 동작을 끊어 전체 회로의 동작을 차단하는 것을 확인 할 수 있다. 이로 인해 보호회로의 역할을 제대로 이행하는 것을 시뮬레이션을 통해 확인 할 수 있다.

그림 13은 제안하는 전압보호회로인 저전압 보호회로(UVLO)와 고전압 보호회로(OVP)의 레이아웃을 나타내었다. 저전압 보호회로(UVLO)는 789 $\mu\text{m}$ ×307 $\mu\text{m}$ 의 크기를 나타내었으며 고전압 보호회로(OVP)는 335 $\mu\text{m}$ ×177 $\mu\text{m}$ 의 크기를 나타내었다.

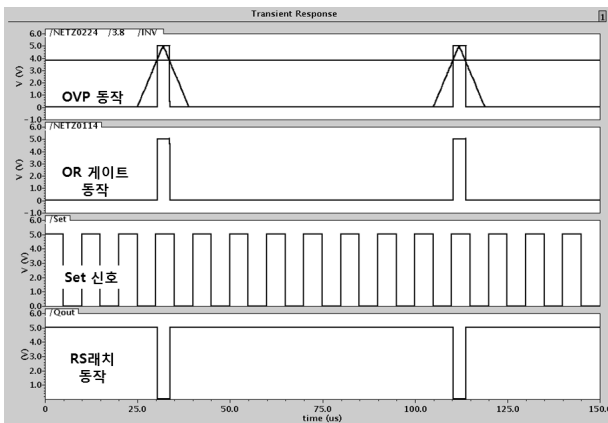
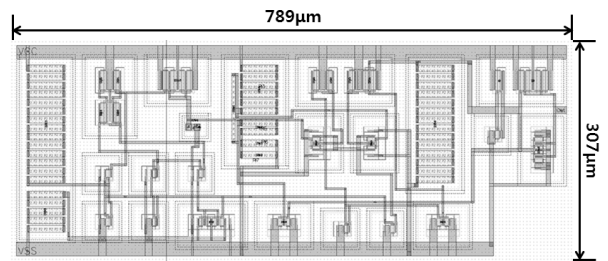


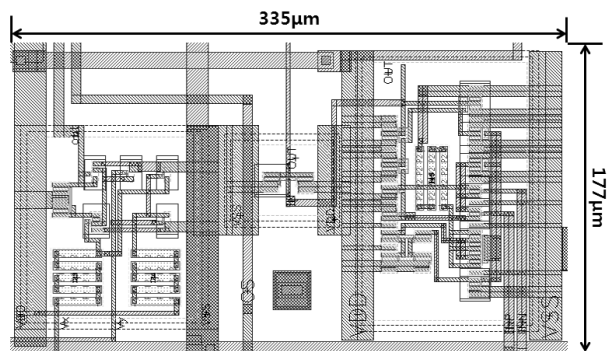
그림 12. 보호회로 결과  
Fig. 12. Output results of the protection circuit.

### IV. 결론

본 논문에서는 소형 휴대기기용 DC-DC변환기를 위한 전압보호회로를 설계하였다. 제안하는 전압보호회로는 저전압 보호회로(UVLO)와 고전압 보호회로(OVP)로 구성되며, 비교기와 바이어스 회로를 사용하여 구현하였다. XFAB 1 $\mu\text{m}$  CMOS 공정 SPICE 모의실험을 통하여 특성을 확인한 결과, 저전압 보호회로(UVLO)는 입력 전압이 4.8 V 이상이 되면 턴-온되며, 4.2 V 이하에서는 턴-오프가 되어 저전압의 입력전압이 인가될 때 회로의 오작동을 막을 수 있으며, 고전압 보호회로(OVP)는 기준전압 3.8 V 이상의 출력전압이 발생하였을 때 회로를 차단하여 고전압으로 인한 소자의 파괴를 막아 안정성과 신뢰성을 높일 수 있다. 또한 가상의 DC-DC 변환기의 제어회로와 연결하여 전압의 이상에 따른 전압보호회로의 동작여부를 확인하였다. 향후, sub- $\mu\text{m}$  급 이하의 저전력, 저전압 DC-DC 변환기에 적절한 보호회로 설계가 필요하다. 본 논문에서 제안하는 전압보호회로는 DC-DC 변환기의 보호회로 셀로 유용하게 사용 될 것으로 사료된다.



(a) 저전압 보호회로(UVLO) 레이아웃  
(a) UVLO layout



(b) 고전압 보호회로(OVP) 레이아웃  
(b) OVP layout

그림 13. 제안하는 전압보호회로 레이아웃  
Fig. 13. Layout of the protection circuit.

### 참고 문헌

- [1] J.N. Ross, "The Essence of Power Electronics, 1<sup>st</sup> ed." London, UK:Prentice Hall, 1997.
- [2] P.Gray, P.J. Hurst, S.H. Lewis, and R.G. Meyer, "Analysis and Design of Analog Integrated Circuits," 4<sup>th</sup> ed. New York, Wiley, 2001.
- [3] R. Mammano, "Switching power supply topology: Voltage mode vs. current mode," Texas Instruments Inc., Dallas, TX, Unित्रode Design Note DN-62, 1994.
- [4] 한수빈, 박석인, 송유진 등, "최근의 LED 구동

IC의 종류 및 특성”, 조명전기설비학회 추계학술대회 논문집. pp. 105-107, 2008.

- [5] “Power management.” Texas Instruments Incorporated, Dallas, TX, <http://www.ti.com>
- [6] “Power supplies, power management, and battery management,” Maxim Integrated Products, Sunnyvale, CA, <http://www.maxim-ic.com>

— 저 자 소 개 —



**박 호 중**(학생회원)  
 2012년 현재 인제대학교  
 나노공학부 재학 중.  
 <주관심분야 : 반도체 회로설계,  
 소자>



**허 윤 석**(학생회원)  
 2012년 현재 인제대학교 나노  
 시스템 공학과 재학 중.  
 <주관심분야 : 반도체 회로설계,  
 소자>



**박 용 수**(정회원)  
 대한전자공학회 논문지  
 제46권 IE편 1호, p.22 참조  
 2012년 현재 충청대학교 전기전자  
 학부 부교수  
 <주관심분야 : 반도체 테스트 및  
 회로설계>



**김 남 태**(정회원)  
 대한전자공학회 논문지  
 제48권 TC편 12호, p.904 참조  
 2012년 현재 인제대학교 전자  
 지능로봇공학과 부교수  
 <주관심분야 : 각종 도파계와 복  
 사계의 전자계 해석, 광대역 무선  
 부품 설계 및 소자 모델링 등>



**송 한 정**(정회원)-교신저자  
 대한전자공학회 논문지  
 제46권 IE편 1호, p.22 참조  
 2012년 현재 인제대학교 나노공학  
 부 부교수  
 <주관심분야 : 반도체소자 신뢰성  
 및 회로설계>