

논문 2012-49SD-1-2

# 소자 레이아웃이 n-채널 MuGFET의 특성에 미치는 영향

## ( Effects of Device Layout On The Performances of N-channel MuGFET )

이 승 민\*, 김 진 영\*, 유 중 근\*, 박 종 태\*

( Sung Min Lee, Jin Young Kim, Chong Gun Yu, and Jong Tae Park )

### 요 약

전체 채널 폭은 같지만 핀 수와 핀 폭이 다른 n-채널 MuGFET의 특성을 측정 비교 분석하였다. 사용된 소자는 Pi-gate 구조의 MuGFET이며 핀 수가 16이며 핀 폭이 55nm인 소자와 핀 수가 14이며 핀 폭이 80nm인 2 종류의 소자이다. 측정 소자 성능은 문턱전압, 이동도, 문턱전압 roll-off, DIBL, inverse subthreshold slope, PBTI, hot carrier 소자열화 및 드레인 항복전압이다. 측정 결과 핀 폭이 작으며 핀 수가 많은 소자의 단채널 현상이 우수한 것을 알 수 있었다. PBTI에 의한 소자열화는 핀 수가 많은 소자가 심하며 hot carrier에 의한 소자열화는 비슷한 것을 알 수 있었다. 그리고 드레인 항복 전압은 핀 폭이 작고 핀 수가 많은 소자가 높은 것을 알 수 있었다. 단채널 현상과 소자열화 및 드레인 항복전압 특성을 고려하면 MuGFET 소자 설계 시 핀 폭을 작게 핀 수를 많게 하는 것이 바람직하다.

### Abstract

The device performances of n-channel MuGFET with different fin numbers and fin widths but the total effective channel width is constant have been characterized. Two kinds of Pi-gate devices with fin number=16, fin width=55nm, and fin number=14, fin width=80nm have been used in characterization. The threshold voltage, effective electron mobility, threshold voltage roll-off, inverse subthreshold slope, PBTI, hot carrier degradation, and drain breakdown voltage have been characterized. From the measured results, the short channel effects have been reduced for narrow fin width and large fin numbers. PBTI degradation was more significant in devices with large fin number and narrow fin width but hot carrier degradation was similar for both devices. The drain breakdown voltage was higher for devices with narrow fin width and large fin numbers. With considering the short channel effects and device degradation, the devices with narrow fin width and large fin numbers are desirable in the device layout of MuGFETs.

**Keywords :** MuGFET, multi-finger structure, short channel effects, device degradation, breakdown voltage

## I. 서 론

현재 집적회로로 사용되는 CMOS의 소자 크기가 수십 nm로 축소되었지만 초고속화, 고집적화, 저소비전력화 등의 집적회로 성능 개선을 위해 반도체 소자 크기

를 수 나노미터로 하려는 연구가 활발하게 진행되고 있다. 그리고 CMOS 소자를 대체할 반도체 소자의 구조 및 재료에 대한 연구도 활발히 진행되고 있다. 그러나 CMOS 소자의 크기가 나노 스케일로 축소되면서 여러 가지 기술적 장벽에 부딪치고 있다. 첫째는 문턱전압 roll-off, DIBL, subthreshold swing 등의 단채널 현상이 더 심각해진다는 것이다. 둘째는 게이트 산화층 터널링 전류 및 소스/드레인 접합 누설전류가 증가하는 것이다. 셋째는 원하는 문턱전압을 위한 고농도의 불순물 증가와 소자 크기 축소로 인한 소자내의 고전계로 이동도가 감소하는 것이다. 넷째는 얇은 접합으로 인하

\* 정회원, 인천대학교 전자공학과  
(Department of Electronics Engineering,  
University of Incheon)

※ 이 논문은 인천대학교 2011년도 자체연구비 지원에 의하여 연구되었음.(No. 2011-0127)  
접수일자: 2011년9월1일, 수정완료일 2012년1월5일

여 소스와 드레인의 기생저항이 증가하는 것이다. 다섯째는 나노미터 레벨 소자에서는 채널 내의 유효 불순물 개수는 수십 또는 백 개 이내가 되므로 채널 내의 불순물이 몇 개만 변동이 되거나 또는 위치가 변하여도 문턱전압은 수십 mV의 변동이 생기게 된다.

이런 문제들을 해결하기 위한 가장 이상적인 CMOS 소자 구조는 multiple-gate MOSFET (MuGFET) 이다. MuGFET는 유효 게이트 수가 증가 할수록 채널 포텐셜을 게이트가 효과적으로 제어할 수 있게 되므로 문턱전압 roll-off, DIBL등의 단채널 현상을 줄일 수 있게 된다<sup>[1]</sup>. MuGFET 소자에서도 가장 이상적인 소자특성을 갖는 CMOS 소자구조는 Gate-All-Around (GAA) 또는 surrounding gate 소자이다. GAA 소자는 top-down 기술로 제작하기는 여러 가지 기술적으로 어려움이 있지만 최근에 nanowire 구조의 소자들에 관한 연구결과가 발표되고 있다<sup>[2~3]</sup>. Tri-gate 소자는 GAA 소자보다 제작이 용이하고 나노스케일 소자는 특성도 GAA 소자와 유사하므로 MuGFET의 대표적인 소자 구조이다. 특히 Pi-gate 소자는 채널 폭이 10nm 이하로 축소되면 측면 게이트의 전계효과에 의하여 소자의 전기적 특성이 GAA 소자와 유사하게 된다<sup>[4]</sup>.

일반적으로 Bulk MOSFET나 SOI MOSFET에서 소자의 구동전류를 증가시키기 위해서는 채널 폭을 크게 하지만 MuGFET에서는 multi-finger 구조를 사용하고 핀(fin) 수를 증가 시키게 된다. 단채널 현상을 고려할 때 MuGFET의 게이트 길이 ( $L_G$ ) 에 대한 채널 폭( $W_F$ )의 비는 최소한 1.5배 정도는 되어야 하는 것으로 알려져 있다<sup>[5]</sup>. 그러므로 MuGFET에서 최소 가동선폭은 게이트 길이가 아니라 채널 폭이 되는 것이다. MuGFET 소자에서 유효 채널 폭( $W_{EFF}$ )은  $W_{EFF} = n_F \times (2H_F + W_F)$ 로 나타낼 수 있다. 여기서  $n_F$ 는 핀 수이며  $H_F$ 는 핀의 높이 이다. 소자의 구동전류는  $W_{EFF}$ 에 비례하므로 큰 구동 전류를 위해서는  $n_F$ ,  $H_F$ ,  $W_F$ 를 크게 하면 된다. 그러나  $H_F$ 가 크면 공정이 어렵기 때문에  $H_F/W_F=2$  정도가 적당한 것으로 알려져 있다<sup>[5]</sup>.  $H_F$ 가 일정한 공정에서는 소자의 구동전류는  $n_F$ 와  $W_F$ 의 크기에 의해서 결정되게 된다.

MuGFET는  $n_F$ 와  $W_F$ 에 따라 소자의 특성이 다르게 되는 데 단채널 현상을 줄이기 위해서는  $W_F$ 를 작게  $n_F$ 를 크게 하는 것이 좋지만  $n_F$ 가 크면 드레인 항복전압이 감소하게 된다<sup>[6]</sup>. 또 소자의 신뢰도 측면에서는  $W_F$ 가 증가하면 hot carrier에 의한 소자열화가 증가하고

$W_F$ 가 작으면 NBTI 현상이 증가하게 된다<sup>[7~8]</sup>. 그리고 MuGFET는 측면 게이트의 결정방향이 수평 게이트와 다르게 되므로 이동도에 의한 소자의 특성과 소자의 열화도  $n_F$ 와  $W_F$ 에 따라 다르게 된다<sup>[9~11]</sup>.

본 연구에서는 n-채널 MuGFET의  $W_{EFF}=2.8\mu\text{m}$ 으로 일정할 때  $n_F$ 와  $W_F$ 에 따른 소자의 단채널 현상, 소자 열화 및 드레인 항복전압 특성을 측정하였다. 그 결과로부터 MuGFET소자의 레이아웃 설계를 위한 설계 가이드라인에 대한 연구를 하였다.

## II. 소자 및 측정

그림 1은 본 연구에 사용된 MuGFET의 도식도 이다. 일반적인 SOI 소자와는 달리 70nm 두께의 매몰 산화층 위에 30nm 두께의  $\text{Si}_3\text{N}_4$ 층을 증착한 SOI 기판을 사용하여 소자를 제작하였다<sup>[12]</sup>. 실리콘 박막의 두께가 60nm이며 불순물 Boron이  $2 \times 10^{15} \text{cm}^{-3}$ 으로 도핑되었다. 핀 패턴은 193nm lithography와 reactive ion etching으로 형성되었다. 핀의 코너의 라운딩을 위하여 수소 분위기에서 열처리 하였고 wet 산화로 두께 1.8nm의  $\text{SiO}_2$ 층을 성장하였다. 게이트로는 두께 6nm의 TiSiN을 LPCVD 기술로 증착하였고 두께 100nm의 다결정실리콘을 그 위에 증착하였다. Pi-gate 소자구조를 만들기 위하여 gate vertical extension 깊이를 3nm로 하였다. 그림2는  $n_F=1$ ,  $W_F=11.1\text{nm}$ 인 Pi-gate MuGFET 소자의 TEM 사진이다. 핀의 모서리가 수소열처리 과정으로 라운딩 되었음을 알 수 있다. 본 연구에서는  $W_{EFF}=2.8\mu\text{m}$ 로 일정하며  $n_F=14$ ,  $W_F=80\text{nm}$ 인 소자와  $n_F=16$ ,  $W_F=55\text{nm}$ 인 2 소자를 측정하여 단채널 현상과 소자열화 및 드레인 항복전압을 측정하여 비교분석하였다. n-채널 MuGFET의 top게이트와 측면 게이트는 결

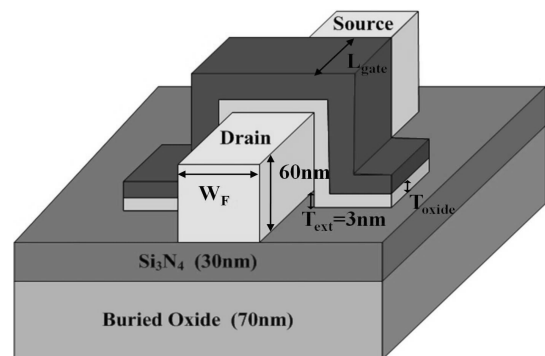


그림 1. 측정에 사용된 MuGFET의 3차원 소자 도식도  
Fig. 1. Schematic diagram of 3-dimensional MuGFET.

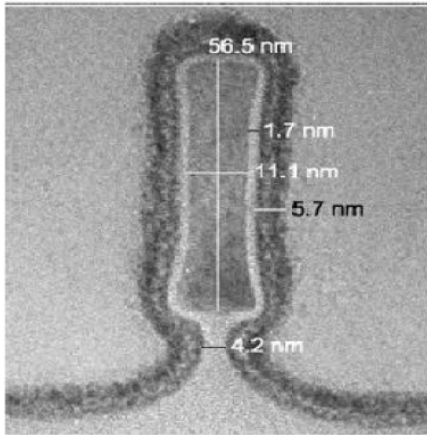


그림 2. Pi-gate MuGFET 소자의 TEM 사진  
Fig. 2. TEM cross-section of Pi-gate MuGFET.

정방향에 다르게 된다. Top 게이트는 결정방향이 (100)이며 측면 게이트는 (110)이 된다. PBTI와 hot carrier에 의한 소자열화 및 드레인 항복 특성을 측정하였다.

### III. 단채널 현상

그림 3은  $W_{EFF}=2.8\mu m$ 로 일정하며  $n_F=14$ ,  $W_F=80nm$ 인 소자와  $n_F=16$ ,  $W_F=55nm$ 인 2 소자의 게이트 전압에 따른 드레인 전류 특성을 나타낸 것이다. 게이트 길이는  $130nm$ 이고 측정 드레인 전압은  $50mV$ 와  $1V$ 이다. 2 소자의 총 유효채널 폭은  $W_{EFF}=2.8\mu m$ 로 같으므로 문턱전압보다 큰 게이트 전압에서는 드레인 전류가 거의 같지만 subthreshold 특성은  $n_F=16$ ,  $W_F=55nm$ 인 소자가  $n_F=14$ ,  $W_F=80nm$  소자보다 좋음을 알 수 있다. 즉

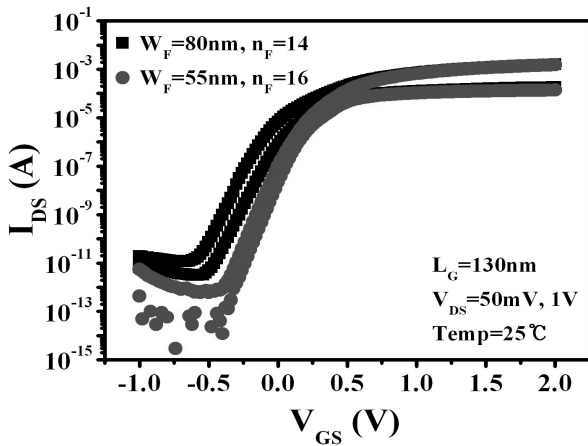


그림 3. MuGFET의 핀 수와 핀 폭에 따른  $I_{DS}-V_{GS}$  특성  
Fig. 3.  $I_{DS}-V_{GS}$  characteristics with fin number and width in MuGFETs.

$n_F=14$ ,  $W_F=80nm$ 의 단채널 특성이 좋지 않음을 알 수 있다.  $n_F=16$ ,  $W_F=55nm$  소자의 문턱전압은 약  $0.28V$ 이었고  $n_F=14$ ,  $W_F=80nm$  소자의 문턱전압은 약  $0.23V$ 로 거의 비슷하였다. 그러나  $n_F=16$ ,  $W_F=55nm$  소자의 subthreshold swing은  $S=71mV/dec.$ 이었고,  $n_F=14$ ,  $W_F=80nm$  소자는  $S=86mV/dec.$ 로 특성이 좋지 않았다.

그림 4는 핀 수와 폭이 다른 2 소자의 게이트 전압에 따른 유효 전자 이동도를 나타낸 것이다. 그림으로부터  $n_F=14$ ,  $W_F=80nm$  소자의 최대 유효 전자 이동도가  $n_F=16$ ,  $W_F=55nm$  소자보다 약 5%정도 큰 것을 알 수 있다. MuGFET에서 top 게이트의 결정방향은 (100)이고 측면 게이트는 (110)이다. (100)의 실리콘 결정방향이 (110) 보다 전자의 이동도가 크므로 핀 수가 증가할수록 측면게이트 수가 증가하게 되고 이로 인하여 이동도가 감소하게 된다<sup>[9]</sup>. 또한  $n_F$ 가 증가할수록 게이트에 의한 채널 포텐셜 영향력이 증가하게 된다.

그림 5는 핀 수와 폭이 다른 2 소자의 게이트 길이에 따른 문턱전압을 나타낸 것이다. 문턱전압은 드레인 전류가  $0.1*W/L(\mu A)$ 이 되는 게이트 전압으로 정의 하였다. 그림으로부터 모든 게이트 길이에서  $n_F=14$ ,  $W_F=80nm$  소자의 문턱전압이  $n_F=16$ ,  $W_F=55nm$  소자보다 작은 것을 알 수 있다. 이것은 그림3에서와 같이  $n_F=14$ ,  $W_F=80nm$  소자의 유효 전자 이동도가 크므로 같은 드레인 전류가 상대적으로 크게 되어 측정 문턱전압이 낮게 된 것으로 사료된다.

그림 6은 핀 수와 폭이 다른 2 소자의 게이트 길이에 따른 문턱전압 roll-off를 나타낸 것이다. 게이트 길이가

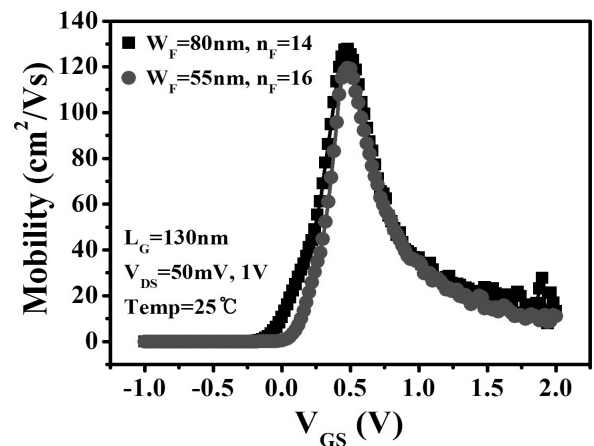


그림 4. 게이트전압에 따른 전자의 유효이동도  
Fig. 4. Effective electron mobility as a function of gate voltage.

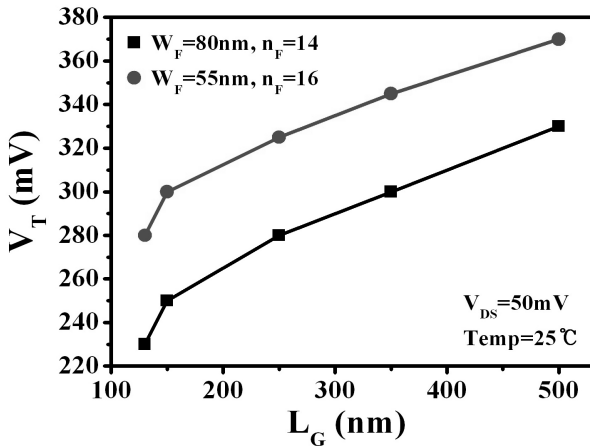


그림 5. 게이트길이에 따른 문턱전압  
Fig. 5. Threshold voltage as a function of gate lengths.

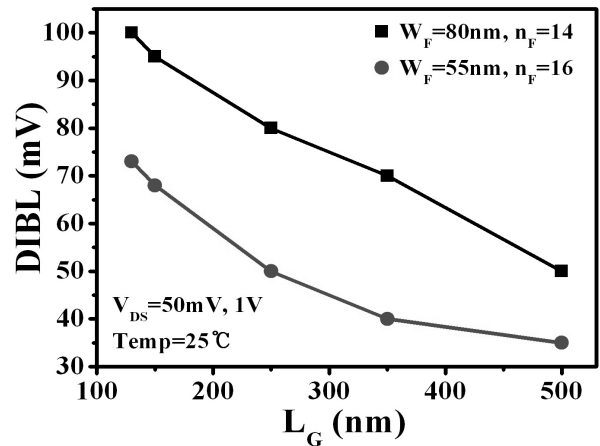


그림 7. 게이트 길이에 따른 DIBL 특성  
Fig. 7. DIBL as a function of gate lengths.

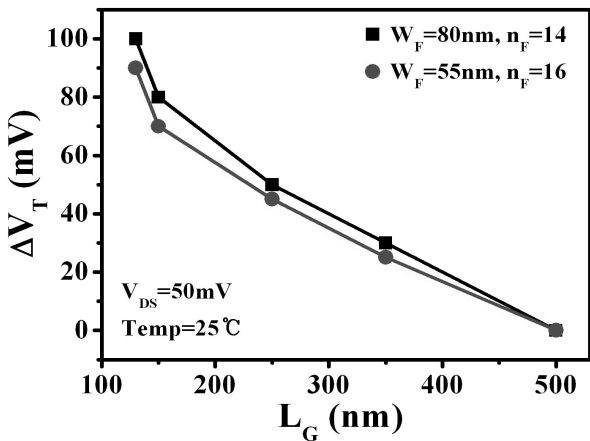


그림 6. 게이트 길이에 따른 문턱전압 roll-off  
Fig. 6. Threshold voltage roll-off as a function of gate lengths.

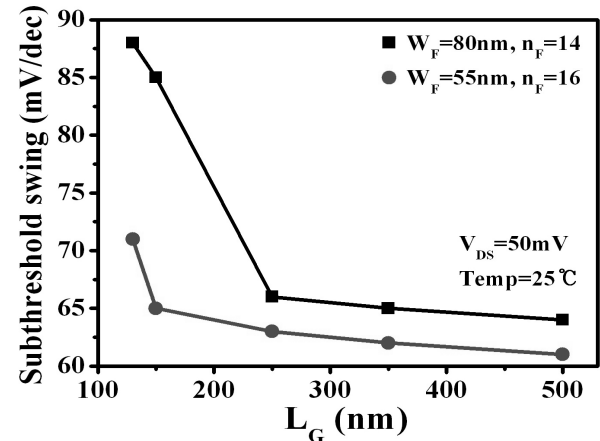


그림 8. 게이트 길이에 따른 inverse subthreshold slope 변화  
Fig. 8. Variation of inverse subthreshold slope as a function of gate lengths.

500nm인 소자의 문턱전압을 기준으로 각 게이트 길이의 문턱전압을 측정하여 그 차이를 나타낸 것이다. 측정 드레인 전압은 50mV 이다. 그림으로부터  $n_F=16$ ,  $W_F=55nm$  소자의 문턱전압 roll-off가  $n_F=14$ ,  $W_F=80nm$  소자보다 작은 것을 알 수 있다. 참고문헌의 결과와 같이 게이트 길이가 같을 때는 채널 폭이 작을수록 단채널 현상이 적게 나타남을 알 수 있다<sup>[13]</sup>.

그림 7은 핀 수와 폭이 다른 2 소자의 게이트 길이에 따른 DIBL 특성을 나타낸 것이다. DIBL 특성은 드레인 전압이 50mV일 때의 문턱전압과 드레인 전압이 1V일 때의 문턱전압 차이로 정의하였다. 그림으로부터  $n_F=16$ ,  $W_F=55nm$  소자의 DIBL이  $n_F=14$ ,  $W_F=80nm$  소자보다 작은 것을 알 수 있다. 다른 연구결과와 같이 게이트 길이가 같을 때는 채널 폭이 작을수록 단채널 현상이 적게 나타남을 알 수 있다<sup>[13]</sup>.

그림 8은 핀 수와 폭이 다른 2 소자의 게이트 길이에 따른 inverse subthreshold slope 변화를 나타낸 것이다. 게이트 길이가 250nm 이하에서 S가 급격히 증가하며  $n_F=14$ ,  $W_F=80nm$  소자의 S가  $n_F=16$ ,  $W_F=55nm$  소자보다 큰 것을 알 수 있다. 이것은 채널 폭이 클수록 게이트 전압이 채널 포텐셜을 완벽하게 제어하지 못하기 때문이다. 즉 채널 폭이 작을수록 단채널 현상이 적게 나타남을 보여준다.

#### IV. 소자열화 특성

그림 9는 핀 수와 폭이 다른 2 소자의 스트레스 시간에 따른 PBTI에 의한 드레인 전류의 열화를 나타낸 것이다. PBTI 열화 측정은 기판 온도를 125°C로 하고 게

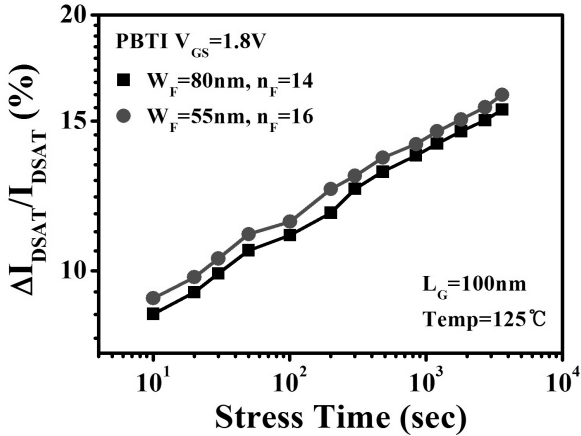


그림 9. 스트레스 시간에 따른 PBTI 열화에 의한 드레인 전류 변화

Fig. 9. PBTI induced drain current degradation as a function of stress time.

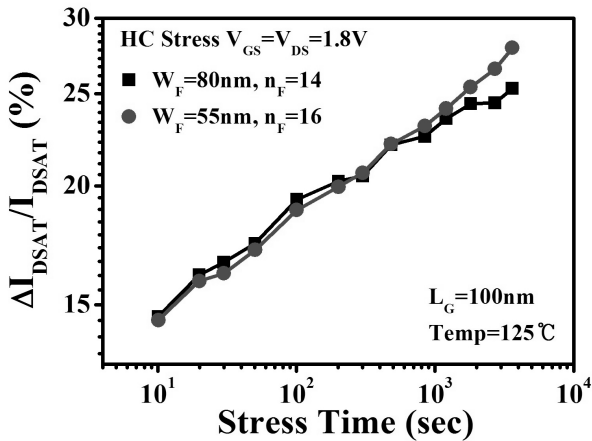


그림 10. Hot carrier에 의한 드레인 전류변화

Fig. 10. Hot carrier induced drain current degradation.

이트에 1.8V의 전압을 인가하였다. 일반적으로 PBTI에 의한 소자 열화는 채널 폭이 감소할수록 증가하는 것으로 알려져 있다<sup>[8]</sup>. 그림으로부터  $n_F=16$ ,  $W_F=55\text{nm}$  소자의 열화 정도가  $n_F=14$ ,  $W_F=80\text{nm}$  소자보다 약간 큰 것을 알 수 있다. PBTI에 의한 열화는 실리콘 결정면의 방향에 따라 다르게 되는데 결정면이 (110) 방향이 (100) 보다 계면상태가 많으므로 소자 열화도 심한 것으로 알려져 있다. 그림에서  $n_F=16$ ,  $W_F=55\text{nm}$  소자의 열화 정도가  $n_F=14$ ,  $W_F=80\text{nm}$  소자보다 심한 것은 채널 폭이 작고 핀 수가 많으므로 상대적으로 (110) 면의 수가 많기 때문인 것으로 사료된다.

그림 10은 핀 수와 폭이 다른 2 소자의 스트레스 시간에 따른 hot carrier에 의한 소자열화를 나타낸 것이다. 열화 측정은 기판 온도를 125°C로 하고 게이트와

드레인에 각각 1.8V의 전압을 인가하였다. Hot carrier에 의한 소자열화는 채널 폭이 증가할수록 심하게 된다. 그러나 그림으로부터  $n_F=16$ ,  $W_F=55\text{nm}$  소자와  $n_F=14$ ,  $W_F=80\text{nm}$  소자의 열화 정도가 비슷한 것을 알 수 있다. 채널 폭만 고려하면  $W_F=80\text{nm}$  소자의 열화가 더 심해야 하지만 핀 수가 많은 소자는 계면상태가 많은 결정면 (110)이 상대적으로 많으므로 소자열화가 2 소자에서 비슷한 것으로 사료된다.

그림 9와 10을 비교하면 n-채널 MuGFET에서는 PBTI보다 hot carrier에 의한 소자열화가 더 심한 것을 알 수 있다. 이것은 게이트 길이가 감소할수록 고온에서 PBTI와 hot carrier에 의한 소자열화가 결합된 concurrent effect 때문이다<sup>[8]</sup>.

## V. 드레인 항복 특성

그림 11은 핀 수와 폭이 다른 2 소자의 게이트 길이에 따른 드레인 항복 전압을 비교한 것이다. 드레인 항복전압은  $V_{GS}-V_T=-0.5\text{V}$ 에서 드레인 전류가  $1\mu\text{A}/\mu\text{m}$  되는 드레인 전압으로 정의 하였다. 그림으로부터  $n_F=16$ ,  $W_F=55\text{nm}$  소자의 드레인 항복전압이  $n_F=14$ ,  $W_F=80\text{nm}$  소자보다 큰 것을 알 수 있다. 이것은 채널 폭이 증가할수록 드레인 전계의 채널에 대한 잠식이 감소하므로 최대 전계가 감소하게 되고 이로 인해 충격 이온화율이 증가하기 때문이다<sup>[6]</sup>. 핀 수가 증가할수록 edge에서의 전계가 증가하여 드레인 항복전압이 작을 수 있지만 본 연구에서는 핀 수의 차이가 크지 않

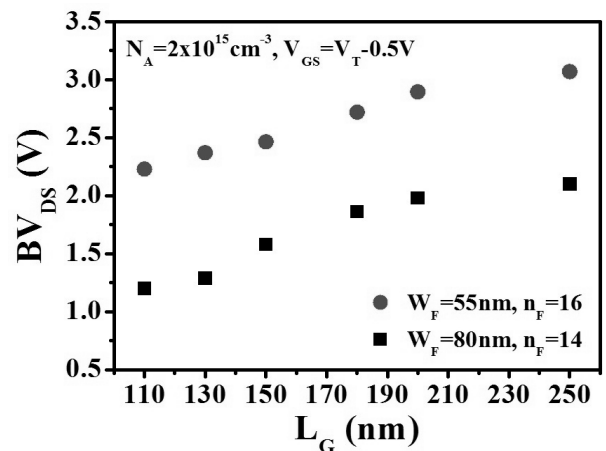


그림 11. 게이트 길이에 따른 드레인 항복전압

Fig. 11. Drain breakdown voltage as a function of gate lengths.

으므로 핀 수보다는 채널 폭에 의하여 항복전압이 결정됨을 알 수 있다.

## VI. 결 론

전체 유효채널 폭은 같으나 핀 수와 핀 폭이 다른 Pi-gate 구조의 n-채널 MuGFET의 단채널 현상과 소자열화 및 드레인 항복전압을 측정 분석하였다. 핀 수가 많고 채널 폭이 작은 소자가 핀 수가 적고 채널 폭이 넓은 소자보다 문턱전압 roll-off 및 DIBL, subthreshold swing 특성이 우수하였다. 그러나 핀 수가 많은 소자는 결정방향이 (110)인 측면 게이트 수가 많으므로 PBTI 열화가 심하였다. Hot carrier에 의한 소자 열화는 핀 수에 관계없이 비슷하였다. 드레인 항복전압은 핀 폭이 작은 소자가 큰 것을 알 수 있었다. MuGFET의 단채널 현상과 소자열화 및 드레인 항복 특성을 동시에 고려할 때 핀 수가 많고 채널 폭이 작은 소자 레이아웃이 더 바람직하다고 사료된다.

## 참 고 문 헌

- [1] Jong Tae Park, and Jean P. Colinge, "Multiple gate SOI MOSFETs :Device design guidelines," IEEE Trans. Electron Device, vol. 49, no.12, pp. 2222-2228, 2002.
- [2] Navab Singh, Kavitha D. Buddharaju, S.K. Manas, A. Agarwal, Subhash C. Rustagi, G.Q. Lo, N. Balasubramanian, and Dim-Lee Kwong, "Si SiGe Nanowire devices by top-down technology and their applications," IEEE Trans. Electron Devices, vol.55, no.11, pp. 3107-3118, 2008.
- [3] S.D. Suk, K.H. Yeo, K.H. Cho, M. Li, Y.Y. Yeoh, S.Y. Lee, S.M. Kim, E.J. Yoon, M.S. Kim, C.W. Oh, S.H. Kim, D.W. Kim, and D. Park, "High-performance twinsilicon nanowire MOSFET (TSNWFET) on bulk Si wafer," IEEE Trans. Nanotechnology, vol.7, no.2, pp.181-184, 2008.
- [4] Jong Tae Park, J.P. Colinge, and C.H. Diaz, "Pi-Gate SOI MOSFET," IEEE Electron Device Lett., vol. 22, no. 8, pp. 405-406, 2001.
- [5] J.P. Colinge, FinFETs and other Multi-gate Transistors, Springer, 2007.
- [6] C.W. Lee, A. Afzalian, R.Yan, N.D. Akhavan, W. Xiong, and J.P. Colinge, "Drain breakdown voltage in MuGFETs: influence of physical parameters, IEEE Trans Electron Devices vol.55, no.12, pp.3503-3506, 2008.
- [7] Y.K. Choi, D.W. Ha, E. Snow, J. Bokor, and T. J. King, "Reliability study of CMOS FinFETs," Tech. Dig. of IEDM 2003, pp.177-180
- [8] T. H. Kim, C.G. Yu, and J.T. Park, "Concurrent NBTI and hot carrier degradation in p-channel MuGFETs," IEEE Electron Dev. Letters, vol.32, no.3, pp.625-627, 2011.
- [9] S.S. Chung, Y.R. Liu, S.J. Lai, Y.C. Liu, D.F. Chen, H.S. Lim, W.T. Shiau, C.T. Tsai, S.C. Chien, and S.W. Sun, "A new insight into the degradation mechanism of various mobility-enhanced CMOS device with different substrate engineering," Tech. Digest of IEDM 2005, pp.559-562
- [10] S. Maeda, J.A. Choi, J.H. Yang, Y.S. Jin, S.K. Bae, Y.W. Kim, and K.P. Suh, "Negative bias temperature instability in Triple Gate Transistors," in Proc. IEEE Int. Rel. Phys. Sym., 2004, pp.8-12
- [11] C.W. Lee, A. Afzalian, I. Ferain, R. Yan, N. Dehdashti, K.Y. Byun, C. Colinge, W. Xiong and J.P. Colinge, Comparison of different surface orientation in narrow fin MuGFETs, Microelectronics Eng. vol. 86, pp.2381-2384. 2009.
- [12] P. Patruno, M. Kostrzewa, K. Landry, W. Xiong, C.R. Cleavelin, C.H. Hsu, M. Ma, J. P. Colinge, "Study of fin profiles and MuGFETs built on SOI wafer with a Nitride-Oxide Buried Layer (NOx-BL) as the buried insulator layer," Proc. of IEEE Int. SOI conf. 2007, pp.51-52
- [13] J. kedzierski, D.M. fried, E.J. Nowak, T. kanarsky, J.H. Rankin, H.Hannafi, et, al, "High performance symmetric-gate and CMOS-compatible Vt asymmetric-gate FinFET devices," Tech. Dig. of IEDM, pp.437-440, 2001.

---

 저 자 소 개
 

---



이 승 민(학생회원)  
 2004년~현재 인천대학교  
 전자공학과 학사 과정  
 <주관심분야 : 반도체>

김 진 영(정회원)  
 대한전자공학회 논문지  
 제47권 SD편 제9호

유 종 근(정회원)  
 대한전자공학회 논문지  
 제48권 SC편 제2호

박 중 태(정회원)-교신저자  
 대한전자공학회 논문지  
 제40권 SD편 제9호