

논문 2012-49SD-1-1

# 트리플 풀다운 산화물 박막트랜지스터 게이트 드라이버

( Triple Pull-Down Gate Driver Using Oxide TFTs )

김 지 선\*, 박 기 찬\*\*, 오 환 술\*\*\*

( JiSun Kim, KeeChan Park, and HwanSool Oh )

## 요 약

산화물 박막트랜지스터를 이용하여 액정 디스플레이 패널에 내장할 수 있는 새로운 게이트 드라이버 회로를 설계하고 제작하였다. 산화물 박막트랜지스터는 문턱전압이 음의 값을 갖는 경우가 많기 때문에 본 회로에서는 음의 게이트 전압을 인가하여 트랜지스터를 끄는 방법을 적용하였다. 또한 세 개의 풀다운 트랜지스터를 병렬로 배치하고 번갈아 사용하므로 안정적인 동작이 가능하다. 제안한 회로는 트랜지스터의 문턱전압이  $-3\text{ V} \sim +6\text{ V}$ 인 범위에서 정상적으로 동작하는 것을 시뮬레이션을 통해서 확인하였으며, 실제로 유리 기판 상에 제작하여 안정적으로 동작하는 것을 검증하였다.

## Abstract

We have developed a new gate driver circuit for liquid crystal displays using oxide thin-film transistors (TFTs). In the new gate driver, negative gate bias is applied to turn off the oxide TFTs because the oxide TFT occasionally has negative threshold voltage ( $V_T$ ). In addition, we employed three parallel pull-down TFTs that are turned on in turns to enhance the stability. SPICE simulation showed that the proposed circuit worked successfully covering the  $V_T$  range of  $-3\text{ V} \sim +6\text{ V}$ . And fabrication results confirmed stable operation of the new circuit using oxide TFTs.

**Keywords :** Gate driver, oxide TFT, negative threshold voltage, depletion-mode, triple pull-down

## I. 서 론

최근 액정 디스플레이 패널은 유리기판 위에 트랜지스터 회로를 내장하여 구조를 단순화하는 기술을 적용하고 있다. 이 경우, CMOS(complementary metal-oxide-semiconductor) 회로를 사용하면 다양한 회로를 구현하기 쉽지만, N형 트랜지스터와 P형 트랜지스터를 모두 제작해야 하므로 제조 공정이 복잡하고 비용이 증가하는 단점이 있다. 디스플레이 공정에서는 제조비용 절감이 특히 중요하므로 N형 또는 P형 트랜지스터 한

종류만을 사용하는 회로가 주로 적용되고 있다.<sup>[1~2]</sup>

기존의 비정질 실리콘 또는 다결정 실리콘 박막트랜지스터 외에 최근에는 In-Ga-Zn-O (IGZO) 와 같은 산화물 반도체를 사용하는 박막트랜지스터가 주목을 받고 있다. 산화물 박막트랜지스터는 비정질 실리콘 박막트랜지스터보다는 전자 이동도가 높고, 다결정 실리콘 박막트랜지스터보다는 특성이 균일하면서 제조비용이 낮기 때문이다.<sup>[3]</sup>

그러나 산화물 박막트랜지스터는 공정 조건의 변화에 민감하고, 게이트에 전압을 인가하면서 빛을 조사하면 문턱전압( $V_T$ )이 음의 값을 갖게 되어 공핍형(depletion mode)으로 동작하는 경우가 많다. 그래서 기존의 박막트랜지스터 회로와 다르게 공핍형 특성에 대응하는 회로 설계가 필요하다.<sup>[4]</sup> 심지원 등은 이러한 문제를 해결하기 위한 게이트 드라이버 회로를 제안한 바가 있으나, 래치(latch)를 사용하므로 트랜지스터 수가

\* 학생회원, \*\* 정회원-교신저자, \*\*\* 평생회원,  
건국대학교 전자공학부

(Department of Electronic Engineering, Konkuk University)

※ 본 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임 (2009-0075261).

접수일자: 2011년9월20일, 수정완료일 2012년1월5일

많고, N형 트랜지스터로만 구성된 래치에 흐르는 정전류에 의해서 소비전력이 증가할 우려가 있다.<sup>[5]</sup> 본 논문에서 제안하는 게이트 드라이버 회로는 박막트랜지스터의 게이트에 음의 전압을 인가하여 끄는 방법을 사용하여 문턱전압이 -3 V ~ +6 V 사이에서 동작하도록 설계하였다. 또한 풀다운 트랜지스터 세 개를 병렬로 연결하여 번갈아 켜기 때문에 게이트 전압 인가에 의한 트랜지스터 특성 변화를 줄여서 안정적으로 동작할 수 있다.

## II. 회로 구조 및 동작

그림 1은 제안한 게이트 드라이버 한 단의 회로도이다. 제안한 회로는 이전의 회로보다 효율적으로 구성되어 9 개의 트랜지스터와 3 개의 커패시터만으로 이루어져 있다.<sup>[4~5]</sup>

M1 트랜지스터는 앞 단의 출력을 F 노드로 전달하거나 차단하는 역할을 하고, M2 트랜지스터는 CLKA 신호를 OUT[N] 노드로 전달하여 출력하는 역할을 한다. M3 ~ M5 트랜지스터들은 OUT[N] 노드의 풀다운 트랜지스터로, 출력이 low인 시간 동안 교대로 켜져서 OUT[N] 노드를 -5 V로 유지한다. 풀다운 트랜지스터가 한 개인 경우에는 게이트에 지속적인 전압이 인가되어 산화물 박막트랜지스터의 특성변화가 크지만, 이와 같이 세 개의 풀다운 트랜지스터를 번갈아 사용함으로써 게이트 전압 인가에 의한 트랜지스터 특성 변화를 줄일 수 있다. 마지막으로 M6 ~ M9 트랜지스터들은 OUT[N-1]이 low인 경우에는 CLK1을 풀다운 트랜지스터 M5의 게이트에 전달하지만, OUT[N-1]이 high인 경우에는 M5 트랜지스터가 켜지지 않도록 하여 다음 순간에 출력신호가 high가 되는데 문제가 없도록 한다.

그림 2는 게이트 드라이버 회로의 입출력신호 파형을 나타낸 것이다. 그림 2에서 보이는 바와 같이, 전압 범위가 -10 V ~ 15 V인 CLK1 ~ CLK3과 전압 범위가 -5 V ~ 15 V인 CLKA ~ CLKC, 총 6 개의 클럭 신호를 사용하여 전압 범위가 -5 V ~ 15 V 인 출력신호를 내보낸다. CLK1과 CLKA는 전압 범위만 다른 같은 파형이고, CLK2와 CLKB, CLK3과 CLKC도 마찬가지이다. 또한 CLK1 ~ CLK3은 15 V인 시간이 서로 겹치지 않고, CLKA ~ CLKC도 15 V인 시간이 서로 겹치지 않는다.

그림 3은 제안한 게이트 드라이버 회로의 연결을 나

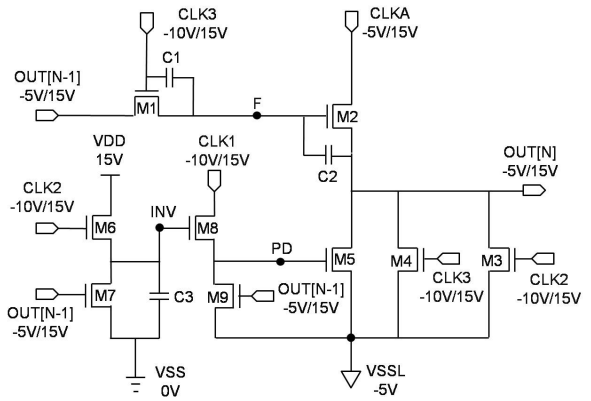


그림 1. 산화물 박막트랜지스터 기반의 게이트 드라이버 회로도

Fig. 1. Gate driver circuit based on oxide TFTs.

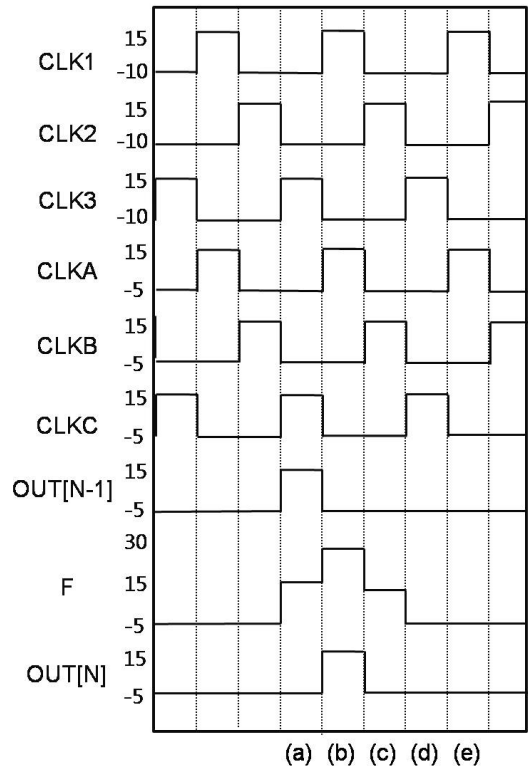


그림 2. 게이트 드라이버 회로의 입출력신호 파형도  
Fig. 2. Timing diagram of input/output signals.

타낸다. 제안한 회로는 세 단마다 클럭이 반복적으로 연결된다. 각 단에는 제어신호 CLK1 ~ CLK3이 모두 연결되고, 출력파형으로 사용되는 CLKA ~ CLKC의 신호는 한 개씩 인가된다. 또한 각 단의 출력신호는 다음 단의 입력 신호로 사용된다.

그림 4는 제안한 게이트 드라이버 회로가 클럭신호의 변화에 따라서 매순간 동작하는 상황을 나타낸다. 그림 4 (a)는 그림 2의 (a) 순간과 대응되고, 나머지 그

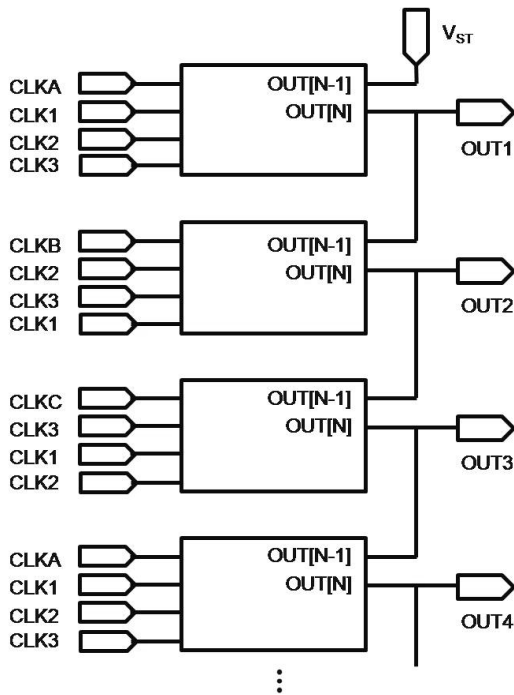


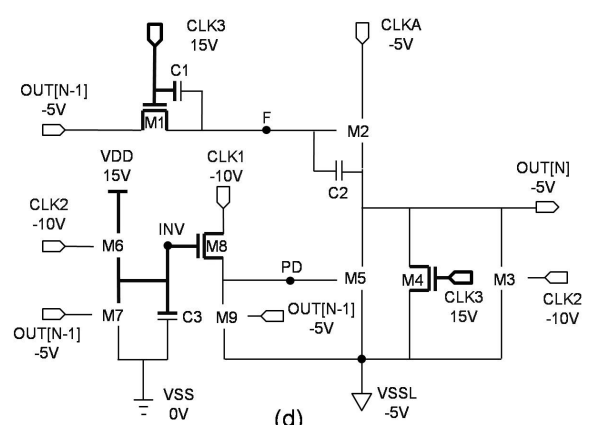
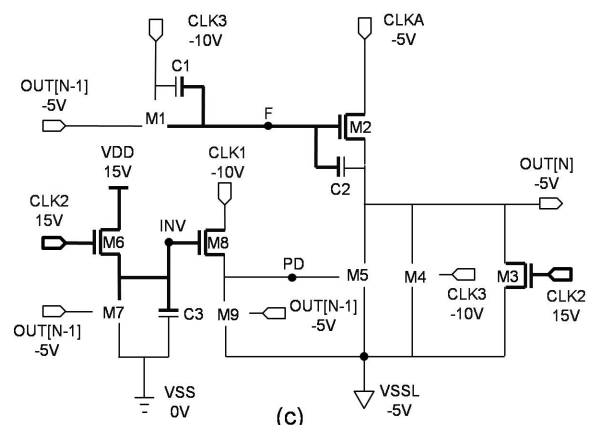
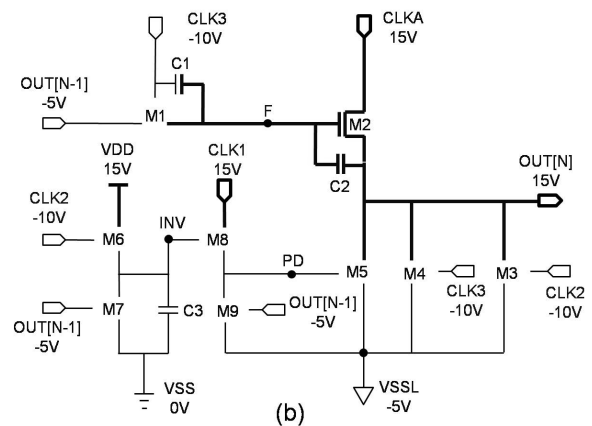
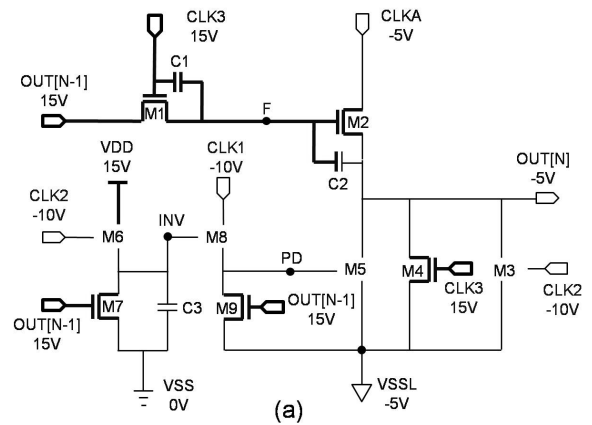
그림 3. 여러 단의 게이트 드라이버 회로 연결도  
Fig. 3. Block diagram of multi-stage gate driver circuit

림 4 (b) ~ (e)도 각각 그림 2의 (b) ~ (e) 순간과 대응된다. 매순간에 꺼진 트랜지스터는 표시하지 않았으며 전압이 high인 노드들은 굵은 선으로 표시하였다.

그림 4 (a)에서는 CLK3에 15 V가 인가되어 M1 트랜지스터가 켜지고 OUT[N-1]이 15 V 이므로 F 노드가 15 V 가까이 채워진다. 이에 따라 M2 트랜지스터는 켜지고, CLK3에 게이트가 연결되어 있는 M4 트랜지스터 또한 켜져 있기 때문에 OUT[N] 노드를 -5 V로 풀다운 시켜준다. 그리고 OUT[N-1]에 15 V가 인가되어 M7, M9 트랜지스터가 켜지기 때문에, INV 노드와 PD 노드는 각각 VSS와 VSSL의 전압과 같다.

다음 순간에는 그림 4 (b)와 같이 CLK3이 -10 V가 되어 M1 트랜지스터는 꺼지고 CLKA가 15 V가 됨에 따라, 부트스트래핑(bootstrapping) 효과로 인해 F 노드의 전압은 30 V 가까이 올라가게 된다. 이에 따라 M2 트랜지스터는 CLKA의 15 V를 문턱전압강하 없이 OUT[N] 노드에 전달하여 15 V의 출력이 나오게 된다. 이 때, CLK2, 3은 -10 V이기 때문에 M3, M4 트랜지스터는 꺼져있고, PD 노드도 -5 V로 유지되고 있기 때문에 M5 트랜지스터 또한 꺼져있어서 전류가 새지 않는다.

그림 4 (c)에서는 CLKA 가 -5 V가 되고, CLK2가 15 V가 되어 M3 트랜지스터가 켜지기 때문에 OUT[N]



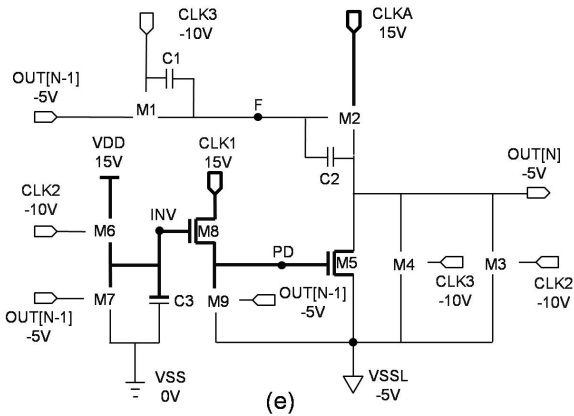


그림 4. 그림 2의 신호파형에 따른 게이트 드라이버 동작

Fig. 4. Operation of gate driver corresponding to the timing diagram in Fig. 2.

노드의 전압은 -5 V로 내려간다. CLK2가 15 V이기 때문에 M6 트랜지스터가 켜져서 INV 노드에는 VDD 전압인 15 V가 인가된다. 이 순간 이후로는 OUT[N-1]이 low로 유지되므로, (c) ~ (e)의 클록신호 조건이 반복되면서 OUT[N]도 low로 유지된다.

그림 4 (d)에서는 CLK3이 15 V가 되면서 M4 트랜지스터가 켜지기 때문에 OUT[N] 노드를 -5 V로 풀다운 시켜준다. 그리고 M1 트랜지스터가 켜지면서 F 노드는 OUT[N-1] 노드와 함께 -5 V가 되어 M2 트랜지스터는 꺼져 있다.

그림 4 (e)에서는 CLK1이 15V가 되면서 켜져 있는 M8 트랜지스터를 통과하여 PD 노드에 15 V가 인가된다. 따라서 M5 트랜지스터가 켜져서 OUT[N] 노드를 풀다운 시켜준다. 이 때, CLKA도 동시에 15 V가 되면서 용량결합(capacitive coupling)에 의해서 F 노드의 전압이 조금 올라갈 수 있다. 그러면 M2가 켜지고 부트스트래핑 효과에 의해서 OUT[N]의 전압이 상당히 올라갈 수 있다. 이러한 문제를 감소시키기 위해서 CLKA가 15 V가 되기 직전에 CLK3이 -10 V로 내려갈 때, C1을 통한 용량결합을 이용하여 F 노드의 전압을 -5 V 아래로 내려준다. 이를 통해서 M2 트랜지스터를 확실하게 꺼주고, CLKA의 15 V가 OUT[N] 노드로 전달되지 않게 한다.

이러한 과정을 반복하며 회로가 구동하게 되는데, 앞서 살펴본 바와 같이 M3 ~ M5 트랜지스터가 번갈아 켜지면서 OUT[N] 노드를 풀다운 하므로 지속적인 게이트 전압인가로 인한 트랜지스터의 열화가 억제된다.

### III. 시뮬레이션 결과

그림 5는 SmartSpice 시뮬레이션에 사용한 트랜지스터 모델의 전달특성을 나타낸 것이다. 채널 폭과 길이는 각각 40  $\mu\text{m}$ 와 20  $\mu\text{m}$ 이며, TFT의 문턱전압( $V_T$ )이 -4 V부터 +7 V까지의 값을 갖는 12 가지 모델을 나타내었다.

표 1은 시뮬레이션에 사용한 트랜지스터 모델 중에서  $V_T = 0$  V인 경우의 모델 변수를 정리한 것이다.

표 2에는 회로 내 트랜지스터의 채널 폭을 정리하였다. 모든 트랜지스터의 채널 길이는 20 $\mu\text{m}$ 이다.

그림 6은 제안한 회로의 SmartSpice 시뮬레이션 결과이다. 총 12 단의 게이트 드라이버에 대해서 8 번째부터 12 번째까지의 출력과 10 번째 단의 F 노드 전압을 나타냈다. 게이트 드라이버의 출력 단에는 각각 5 k

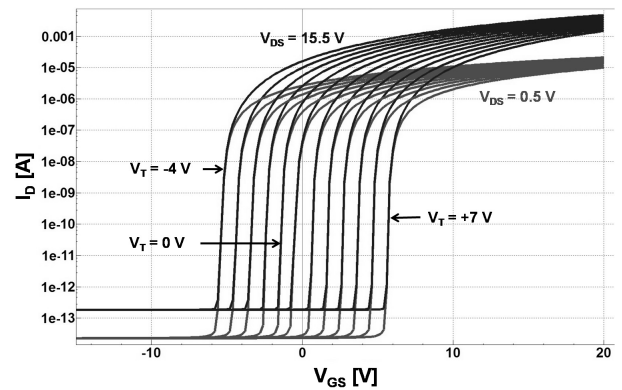


그림 5. 시뮬레이션에 사용한 트랜지스터 모델의 전달특성

Fig. 5. Transfer characteristics of TFT models used in the simulation.

표 1. SmartSpice 시뮬레이션에 사용한 TFT 모델 변수 ( $V_T = 0$  V)

Table 1. TFT model parameters used in the SmartSpice simulation ( $V_T = 0$  V).

Level	35	TOX	$1.8 \times 10^{-7}$	TNOM	25
VTO	-1.3715	CGSO	$2.9 \times 10^{-9}$	CGDO	$2.9 \times 10^{-9}$
ALPHASAT	0.4846	DEFO	0.6	DELTA	4.038
EL	0.35	EMU	0.06	EPS	7.3
EPSI	7.4	GAMMA	0.3154	GMIN	$1.88 \times 10^9$
IOL	$1.43 \times 10^{-16}$	KASAT	0.006	KVT	-0.036
LAMBDA	0.008	M	2.127	MUBAND	0.00183
SIGMAO	$0.42 \times 10^{-15}$	VO	0.0537	VAA	14.451
VDSL	57.097	VFB	-1.48	VGSL	5.323
VMIN	0.0111				

표 2. 회로 내 트랜지스터의 채널 폭. 채널 길이는 모두 20  $\mu\text{m}$ 임

Table 2. Widths of TFTs in the circuit. Lengths are all 20  $\mu\text{m}$

M1	40 $\mu\text{m}$	M4	80 $\mu\text{m}$	M7	40 $\mu\text{m}$
M2	250 $\mu\text{m}$	M5	70 $\mu\text{m}$	M8	40 $\mu\text{m}$
M3	80 $\mu\text{m}$	M6	40 $\mu\text{m}$	M9	60 $\mu\text{m}$

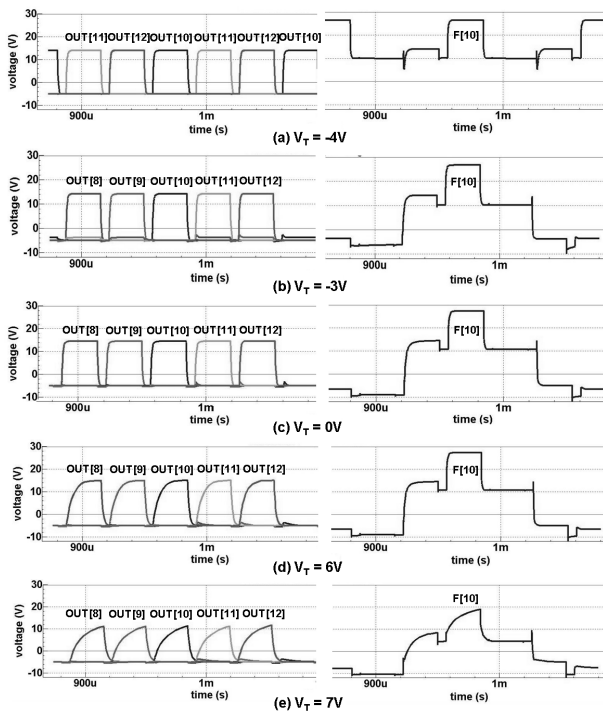


그림 6. 트랜지스터 문턱전압에 따른 Spice 시뮬레이션 결과 (a)  $V_T = -4\text{ V}$ , (b)  $V_T = -3\text{ V}$ , (c)  $V_T = 0\text{ V}$ , (d)  $V_T = 6\text{ V}$ , (e)  $V_T = 7\text{ V}$

Fig. 6. Spice simulation results for TFT  $V_T$  variation (a)  $V_T = -4\text{ V}$ , (b)  $V_T = -3\text{ V}$ , (c)  $V_T = 0\text{ V}$ , (d)  $V_T = 6\text{ V}$ , (e)  $V_T = 7\text{ V}$ .

$\Omega$ 의 저항과 50 pF의 커패시터를 직렬로 연결하였다. 제안한 회로는 그림 6의 (b) ~ (d)와 같이 트랜지스터의 문턱전압이 -3 V ~ +6 V 사이일 때 정상적으로 동작한다. 특히 기존의 실리콘 TFT 기반의 회로들과는 달리 트랜지스터의 문턱전압이 음의 값인 -3V ~ -1V 사이에서도 문제없이 동작하므로 공핍형 특성을 나타내는 경우가 많은 산화물 반도체에 적합하다. 그러나 그림 6 (a)과 같이 트랜지스터의 문턱전압이 -4 V인 경우에는 M2와 M9가 완전히 꺼지지 않아서 출력신호가 비정상적으로 high가 된다. 반면에 그림 6 (e)과 같이 트랜지스터의 문턱전압이 +7 V를 넘어서게 되면, M1과 M2 트랜지스터가 제대로 켜지지 않아서 출력신호가 15 V

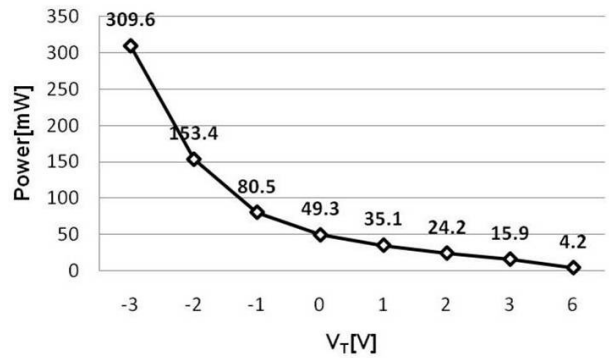


그림 7. VGA(640×480) 패널 구동 시 게이트 드라이버의 소비전력

Fig. 7. Power consumption of gate driver for VGA panel driving.

까지 올라가지 않는다.

그림 7은 제안한 회로의 시뮬레이션 결과를 토대로 VGA 패널 구동에 해당하는 480 단 게이트 드라이버 회로의 소비전력을 계산한 것이다. 트랜지스터의 문턱전압이 0 V ~ 6 V 사이인 경우에는 소비전력이 낮지만, 트랜지스터가 공핍형으로 동작하는 문턱전압 -3 V ~ -1 V에 대해서는 소비전력이 비교적 높다. 이는 문턱전압이 음의 값을 가질 때 M9 트랜지스터가 완전히 꺼지지 않고 다량의 누설전류가 흐르기 때문이다.

#### IV. 회로 제작 결과

그림 8은 IGZO 산화물 박막트랜지스터 공정을 이용하여 제안한 회로를 유리기판 위에 실제로 제작한 모습이다. 12 단의 게이트 드라이버 2 개를 대칭적으로 설계하여 제작하였다. 각 단의 커패시터 C1, C2, C3는 시뮬레이션과 동일하게 각각 1 pF, 3 pF, 3 pF로 설계하였으며, 게이트 및 소스/드레인 금속 층으로 구성하였다.

그림 9는 실제로 제작한 게이트 드라이버 회로의 출력신호를 측정된 결과이다. 1, 2, 11, 12 번째 출력신호를 측정하여 표시하였고, 출력 신호는 20 kHz의 주파수를 갖는다. 그림 9에서 보이는 바와 같이,  $V_{ST}$ 가 인가되면 첫째 단의 출력신호가 15 V가 되며, 차례로 둘째 단의 출력신호뿐만 아니라 열두 번째 단까지 정확한 출력신호가 나온다.

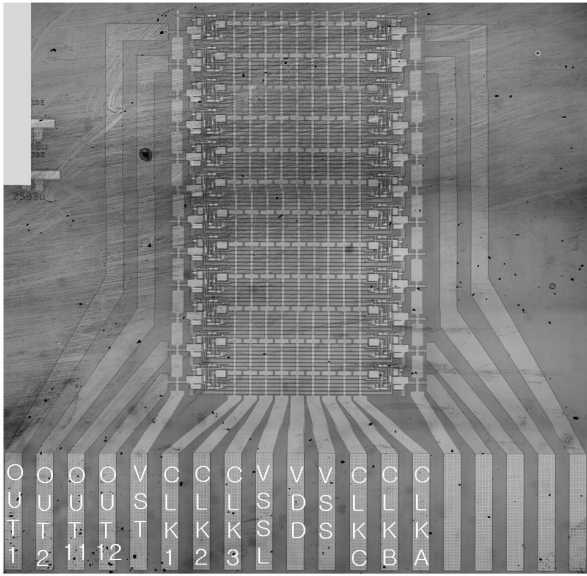


그림 8. 산화물 반도체 공정으로 제작한 게이트 드라이버 회로

Fig. 8. Gate driver circuit fabricated by oxide semiconductor process.

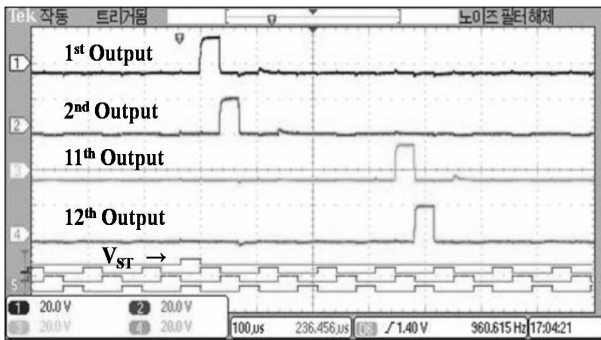


그림 9. 제작한 게이트 드라이버의 출력신호 측정 결과  
Fig. 9. Output signal measurement results of fabricated gate driver.

## V. 결 론

본 논문에서는 산화물 박막트랜지스터 기반의 새로운 게이트 드라이버를 제안하였다. 산화물 박막트랜지스터는 소자의 특성상 문턱전압이 음의 값을 갖는 공핍형으로 동작하는 경우가 많기에 이에 대응하기 위해서 주요 트랜지스터의 게이트에 음의 전압을 인가하여 완벽하게 끄는 방법을 적용하였다. 또한 세 개의 풀다운 트랜지스터를 번갈아 사용하므로 장시간 사용에 따른 트랜지스터 특성 변화를 억제할 수 있다. 제안한 회로는 트랜지스터의 문턱전압이  $-3\text{ V} \sim +6\text{ V}$  사이에서 변동하여도 안정적으로 동작하는 것을 Spice 시뮬레이

션을 통해 확인하였으며 실제로 유리 기판 상에 회로를 제작하여 동작여부를 검증하였다.

## 참 고 문 헌

- [1] J. Yoon, J. Kang, and O. Kwon, "High Efficient P-Type Only Cross-Coupled DC-DC Converter Using Low Temperature Poly-Si (LTPS) TFTs for Mobile Display Applications", in Proc. of Society for Information Display (SID) Int'l Symp., pp. 545-548, LA, USA, May 2008.
- [2] 임도, 박기찬, 오환술, "N-Channel 산화물 TFT 기반의 저소비전력 논리 게이트 회로", 대한전자공학회 논문지 제48권 SD편, 제3호, 1-6쪽, 2010년 3월
- [3] Y. Mo, M. Kim, C. Kang, J. Jeong, Y. Park, C. Choi, H. Kim, and S. Kim, "Amorphous Oxide TFT Backplane for Large Size AMOLED TVs", in Proc. of Society for Information Display (SID) Int'l Symp., pp. 1037-1040, Seattle, USA, May 2010.
- [4] C. Kang, Y. Park, S. Park, Y. Mo, B. Kim, and S. Kim, "Integrated Scan Driver with Oxide TFTs Using Floating Gate Method", in Proc. of Society for Information Display (SID) Int'l Symp., pp. 25-27, Los Angeles, USA, May 2011.
- [5] J. Shim, J. Park, I. Song, J.H. Chun, K.W. Kwon, "A Reliable, Low Power, On-Glass Row Driver Using N-type GIZO TFT", in Proc. of ITC-CSCC 2010, pp. 888-891, Pattaya, Thailand, July 2010.

저 자 소 개



김 지 선(정회원)  
2010년 건국대학교 전자정보학과  
학사 졸업.  
2012년 건국대학교 전자정보통신  
공학과 석사 졸업예정.  
<주관심분야 : TFT 회로>



박 기 찬(정회원)-교신저자  
1997년 서울대학교 전기공학부  
학사 졸업.  
1999년 서울대학교 전기공학부  
석사 졸업.  
2003년 서울대학교 전기공학부  
박사 졸업.

2003년~2007년 삼성전자 책임연구원  
2007년~2011년 건국대학교 전자공학부 조교수  
2011년~현재 건국대학교 전자공학부 부교수  
<주관심분야 : 디스플레이 패널 설계, TFT 회로>



오 환 술(평생회원)  
대한전자공학회 논문지  
제45권 IE편 제1호 참조