

논문 2012-49SD-2-6

Ternary Content Addressable Memory를 위한 저 전력 Rail-to-Rail 감지 증폭기

(Clocked Low Power Rail-to-Rail Sense Amplifier for Ternary Content
Addressable Memory (TCAM) Application)

안 상 욱*, 정 창 민*, 임 철 승**, 이 순 영**, 백 상 현***

(Sangwook Ahn, Changmin Jung, Chulseung Lim, Soonyoung Lee, and Sanghyeon Baeg)

요 약

본 논문은 저전력으로 동작하면서 Rail-to-rail 입력 범위를 가지는 센스 앰플리파이어를 제안한다. 새롭게 제안한 센스 앰플리파이어는 그라운드 전위부터 전원전압 전위까지의 입력을 수용하며 저전력 기능을 구현하고 있다. 방전전류 경로의 존재로 인한 정적 전력소모를 최소화 하는 것이 본 설계의 주요 요소이다. 새롭게 제시된 PMOS 입력신호 수신부와 그것을 제어하는 피드백 회로를 통하여 전력소모를 감소시킨다. 제안된 구조는 평균 소비 전력부분에 있어서 일반적인 Rail-to Rail 센스 앰플리파이어의 약 50% 이상의 효율향상을 실험결과를 통해 보여준다.

Abstract

The newly designed sense amplifier in this paper has rail-to-rail input range achieving low power consumption. Reducing static power consumption generated due to DC path to ground is key element for low power consumption in this paper. The proposed sense amplifier performs power-saving operation using negative feedback circuit that controls the current flow with the newly added PMOS input terminal. As a simulation result, the proposed sense amplifier consumed about over 50 % efficiency of the average power consumed by the typical Rail-to-Rail sense amplifier.

Keywords : Low power, Rail-to-Rail, Sense Amplifier

I. 서 론

일반적으로 전압 센스 앰프 (Sense Amplifier (SA))는 2개 입력전압의 차이를 증폭시켜서 큰 입력전압에 해당하는 결과신호는 VDD, 작은 입력전압에 해당하는 결과신호는 GND로 만들어주는 비교기 회로이다. 이 회

로의 하나의 사용 예는 SRAM과 같은 메모리 회로에서 읽기 동작을 할 때 2개 비트라인의 작은 전압 차이를 증폭시켜서 메모리 셀의 값을 외부로 전달하는 역할을 한다^[1~3]. 또한 이 회로는 Content Addressable Memory (CAM)에서 검색 동작을 할 때 Match-Line을 센싱하는 특수 구조의 CAM의 Match Line Sense Amplifier (MLSA)로 사용된다^[4].

CAM 회로가 저 전력으로 설계됨에 따라 센스 앰플리파이어의 입력전압은 대체적으로 낮아진다. 그 예로 Segmented Match-Line으로 설계된 CAM을 들 수 있다^[5]. 이 구조는 Match-line의 피크전압과 전압스윙을 모두 낮춤으로써 저 전력을 구현하는 구조로써 특수한

* 정회원, ** 학생회원, *** 평생회원-교신저자,
한양대학교 전자통신공학과
(Department of Electronics and Communication
Engineering, Hanyang Univ.)

※ The research was supported by the "GRRCC"
Project of Gyeonggi Provincial Government,
Republic of Korea.

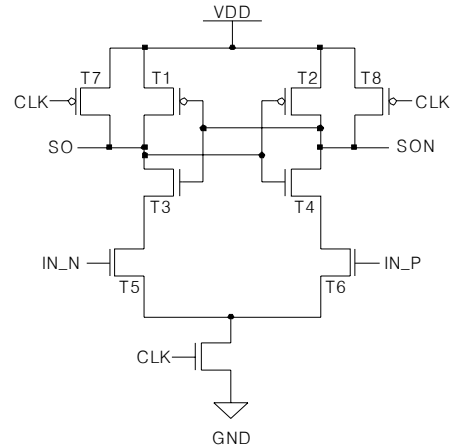
접수일자: 2011년7월14일, 수정완료일: 2012년2월15일

형태의 MLSA가 필요하다. 그 결과로 Match Result (Logical '1')이지만 Match-line의 전압이 NMOS의 문턱전압보다 낮아지는 경우가 발생한다. 그렇기 때문에 이와 같은 경우 기존의 입력전압 범위($V_{thn} \sim VDD$)에 추가적으로 낮은 전압 ($GND \sim V_{thn}$)까지 센싱할 수 있는 Rail-to-rail ($GND \sim VDD$) 입력범위를 갖는 SA가 필요하게 된다.

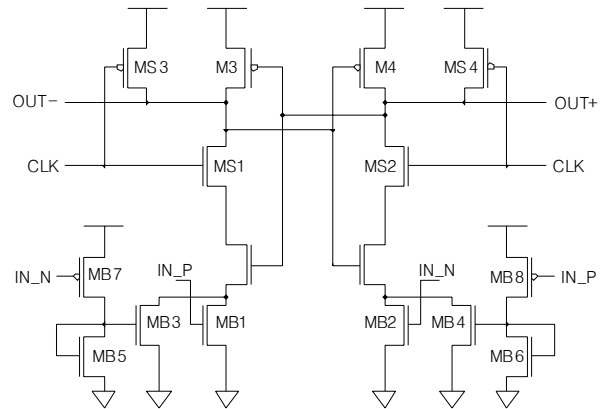
<그림 1>은 기존의 센스 앰플리파이어들을 나타낸 것이다. <그림 1>-(a)는 래치 타입의 전압 센스 앰플리파이어 회로이다^[6]. 이것은 래치회로에 각각 직렬로 연결된 2개의 NMOS(T5, T6)가 추가된 회로이다. 2개의 입력전압은 각각 T5, T6의 게이트(Gate)로 인가되어 입력전압의 차이에 따라 T5, T6 트랜지스터에 흐르는 전류의 크기가 달라지고 이 차이가 큰 전압차이로 변환되면서 결과 전압으로 나오게 된다. 이 회로의 입력전압은 NMOS의 게이트에 인가되므로 이 회로는 입력전압이 T5, T6 트랜지스터의 문턱전압보다 낮을 경우에는 사용할 수 없다. 입력전압이 T5, T6 트랜지스터의 문턱전압보다 낮을 경우 이 2개의 트랜지스터가 동작을 하지 않게 되면서 센싱에 필요한 전류가 흐르지 않기 때문이다.

<그림 1>-(b)는 기존의 제안된 Rail-to-rail 입력범위($GND \sim VDD$)를 갖는 SA이다^[7]. 이 회로에는 NMOS의 문턱전압보다 낮은 입력전압을 센싱하기 위한 PMOS 입력단(MB5/MB7, MB6/MB8)이 새롭게 추가되었다. PMOS입력단의 NMOS(MB5, MB6)는 게이트와 드레인(Drain)이 연결되어 있는 구조이기 때문에 MB7와 MB8에 전류가 흐르면 자동적으로 MB5와 MB6에도 전류가 흐르게 된다. 그리고 MB5/MB6과 MB7/MB8의 사이즈 조절을 통해서 MB7, MB8의 드레인에 일정한 전압이 형성되게 된다. 이 전압이 MB1/MB2와 병렬로 연결된 MB3/MB4의 게이트의 입력으로 인가되면서 NMOS의 문턱전압보다 낮은 입력전압이 인가되어도 센싱을 위한 전류흐름이 발생하게 된다. MB1와 MB2의 문턱전압보다 낮은 입력전압이 인가되면 이 2개의 트랜지스터는 동작을 하지 않게 되면서 전류의 흐름이 차단된다. 그러나 MB7와 MB8이 동작을 하면서 입력전압의 차이에 따라 서로 다른 크기의 전류가 MB5/MB7와 MB6/MB8을 통해서 흐르게 되고, 이에 따라서 MB3와 MB4의 게이트에 서로 다른 전압이 형성되면서 센싱 동작이 이루어진다.

이와 같은 원리로 <그림 1>-(b) 회로는 Rail-to-rail



(a) 래치 타입의 전압 센스 앰플리파이어^[6]



(b) rail-to-rail 센스 앰플리파이어의 한 예

그림 1. 일반적인 센스 앰플리파이어의 구조^[7]
Fig. 1. Conventional sense amplifiers.

입력범위를 가질 수 있다. 하지만, 이 경우에 MB7/MB5 또는 MB8/MB6을 통해 $GND \sim VDD$ 까지 방전전류가 발생하며 이는 CLK 신호에 관계없이 지속적으로 이루어진다. 지속적으로 이루어지는 방전을 차단하는 것이 저전력 SA 설계의 주요 요소이다.

본 논문에 제안된 SA에는 상호 피드백을 이용하여 방전 전류를 신속하게 차단한다. 또한, 전력소모 감소를 위하여 상호 피드백으로 생성된 출력 신호를 이용하여 낮은 입력을 수용하기 위한 PMOS 입력신호 수용부에 존재하는 방전 전류를 효과적으로 차단한다.

본 논문의 II장에서는 제안된 SA의 구조, 동작 및 특징에 대해 기술한다. III장에서는 제안된 SA와 기존 회로의 비교 시뮬레이션 결과를 제시한다. 시뮬레이션은 0.13um CMOS공정과 레이아웃으로 인한 기생 RC(resistance and capacitance)가 포함된 조건에서 실행되었다. 마지막으로 IV장에는 결론을 제시한다.

II. 제안하는 저전력 센스 앰플리파이어*

<그림 2>는 본 논문에서 제안하는 저전력 SA의 회로를 나타낸 그림이다. 이 회로는 <그림 1>-(b) 회로와 같이 Rail-to-rail 입력 전압을 달성할 수 있도록 NMOS 입력단(T8, T9)과 PMOS 입력단(M2/M3 및 M12/M13)이 존재한다. 이번 장에서는 회로의 기능적인 측면에서 두 개의 부분으로 나누어 제안하는 저전력 SA의 특징인 방전전류 불균형 기능과 피드백 회로의 동작에 대하여 서술 하도록 한다.

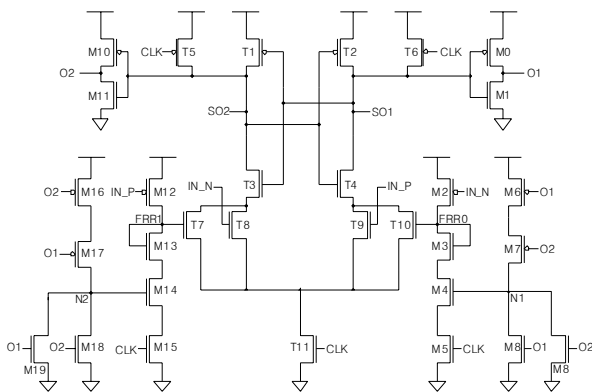


그림 2. 제안된 저전력 센스 앰프
Fig. 2. Proposed Low Power Sense Amplifier.

1. 센싱 동작 (Sensing Operation)

본 논문에서 제안한 센스 앰플리파이어의 방전전류 불균형 기능은 센스 앰플리파이어의 입력 전압의 차이를 이용하여 <그림 2>에서 두 개의 인버터로 이루어진 상호 피드백 회로의 두 지점 SO1과 SO2 노드에 충전된 전하의 방전속도의 차이를 발생시킨다. CLK 신호가 '0'인 경우, T11 은 오프 상태가 되어 SO1과 SO2 모두 VDD 전압으로 충전 된다. CLK 신호가 '1'로 변화함에 따라, 두 개의 입력신호인 IN_N과 IN_P 에 의하여 센스 앰플리파이어의 비교동작은 시작된다. 두 입력 IN_N과 IN_P의 매우 작은 전압 차이는 T8과 T9 또는 M2 와 M12 의 트랜지스터 게이트 전압 차이를 발생시켜, T8과 T9를 통하여 흐르는 방전 전류의 크기차이를 만들고 FRR0와 FRR1 지점의 전압을 변화시켜 T7과 T10에 흐르는 전류의 크기 차이를 발생시킨다. 방전전류의 차이는 두 인버터의 상호 피드백을 통해 빠른 속도로 SO1과 SO2의 전위를 그라운드 혹은 전원전압으로 변화시키고, T11을 통하여 방전되는 전류는 자동으

로 차단된다.

제안된 회로의 센싱부는 T1~T4 트랜지스터를 이용하여 래치(Latch) 구조로 구성되어 있다. 이 래치는 SO1과 SO2노드에 작은 전압차를 크게 증폭시키는 역할을 한다. SO1과 SO2 노드는 프리차징(pre-charging) 단계에서 VDD를 유지하다가 CLK신호가 '1'로 올라가면 입력전압의 차이에 따라서 서로 다른 속도로 전압이 감소하기 시작한다. 입력부에서 구동되는 전류의 크기가 더 큰 노드의 전압이 더 빨리 감소하게 된다. 래치는 포지티브(positive) 피드백 동작을 하면서 전압이 더 작은 노드의 전압은 더 작게 만들어주고 전압이 더 큰 노드의 전압은 더 크게 증폭한다. 그 결과로 SO1과 SO2 노드에 전압차가 발생했던 순간에 더 큰 전압을 갖고 있던 노드의 전압은 VDD까지 증가하게 되고, 더 작은 전압을 갖고 있던 노드의 전압은 GND까지 감소한다. 이와 같은 포지티브 피드백 동작이 끝나서 SO1과 SO2 노드의 전압차이가 최대가 되면 T11을 통해서 그라운드로 빠져나가는 전류는 자동적으로 사라지게 된다.

<그림 2>와 같은 제안하는 형태의 SA에 대한 기본 동작과정은 다음 <그림 3>과 같다.

<그림 3>에서 입력신호는 IN_P가 0.2V, IN_N이 0.1V로 유지하였다. 이 때 입력신호는 CLK 신호가 '0'에서 '1'로 변화하기 전에 인가되어야 올바른 결과를 도출할 수 있다.

CLK신호가 '0'일 때는 2개의 출력 O1과 O2가 GND

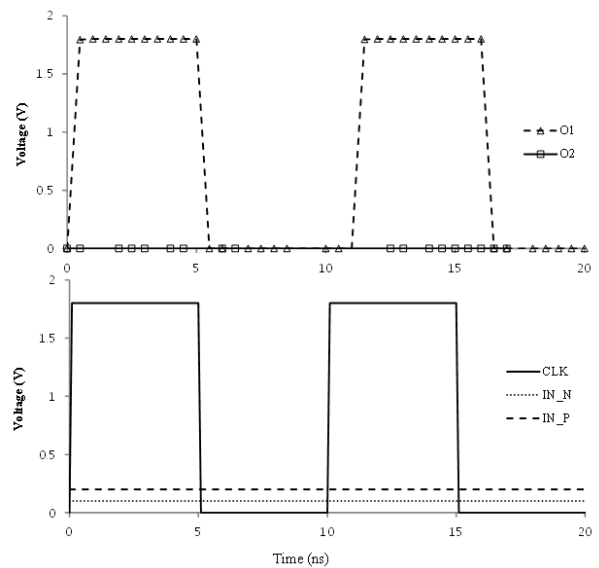


그림 3. 제안된 센스 앰프의 동작 과정
Fig. 3. Operation of Proposed Sense Amplifier.

* Registered Patent (등록특허)

를 유지하다가 CLK신호가 '1'로 올라가면 센싱된 결과에 따라서 각 입력신호에 해당하는 출력신호의 전압이 변화하는 것을 확인할 수 있다.

2. 피드백 회로 (Feedback Circuit)

제안하는 SA에서 발생하는 방전 전류는 상호 피드백 기능에 의해 신속하게 차단된다. 하지만 PMOS 입력신호 입력 부분인 M2와 M12를 통해 흐르는 전류는 상호 피드백에 의해 자동으로 차단되지 않는다. 이는 전력소모의 증가요인이 되므로 상호 피드백 동작이 완료됨과 동시에 M2와 M12를 통해 흐르는 전류가 차단되도록 하기 위한 피드백 회로를 구성하였다. CLK 신호가 '0'일 때 프리차징 동작을 통해 SA의 두 출력 O1과 O2가 모두 GND로 고정된다. 이 두 출력은 2개의 입력을 갖는 NOR 회로로 <그림 2.>의 M8/M9 및 M18/M19와 같이 연결된다. 두 출력은 2개의 입력을 갖는 NOR 회로의 출력 값인 N1과 N2를 VDD 수준으로 만들어 준다. 이때, M4와 M14는 턴-온 되지만 CLK 신호가 '0'이므로 GND로 흐르는 전류는 발생하지 않는다. 입력신호가 인가되고 CLK 신호가 '1'로 변함과 동시에 SA의 비교동작은 시작 되고, 상호 피드백으로 인하여 O1과 O2의 값은 변한다. 두 출력 값의 변화는 N1과 N2의 값을 모두 GND로 변화시켜 M4와 M14를 통해 흐르는 전류

를 차단한다. 따라서 상호 피드백이 완료됨과 동시에 PMOS 입력신호 수신부의 방전전류는 차단되고 전력소모 감소의 효과가 도출된다.

<그림 4>는 제안된 SA에서 IN_P 와 IN_N가 0.2V와 0.1V일 때, 두 클럭 동안의 FRR0와 FRR1에서 형성되는 전압과 전류를 나타낸 그래프이다.

출력신호 O1과 O2의 변화와 더불어 PMOS 입력신호 수신부의 중간 지점인 FRR0와 FRR1의 전압 변화를 보여준다. FRR0와 FRR1의 전압변화는 입력신호 차이에 의해 비교동작 초기에 약간의 차이가 발생하는 것을 볼 수 있다. CLK 신호가 '1'로 유지되는 상황에서 O1 및 O2의 변화로 인한 FRR0와 FRR1의 전압이 감소하는 피드백 회로의 동작도 확인할 수 있으며, 이는 방전전류가 차단되고 전력소모가 감소함을 의미한다.

III. 시뮬레이션 결과 (Simulation Result)

이번 장에서는 제안된 SA의 파워소모 특징 및 딜레이 시간을 측정할 시뮬레이션 결과를 제시한다. 시뮬레이션은 VDD=1.8V을 사용하는 0.18um CMOS 공정과 기생 RC를 포함시킨 환경에서 수행되었다. <그림 5>는 제안된 센스 앰프의 레이아웃을 보여준다. 전체 면적은 110.75um²이며 [7]의 레이아웃 면적과 비교하였을 때 트랜지스터의 개수가 증가함에 따라 약 47.2% 증가하였다.

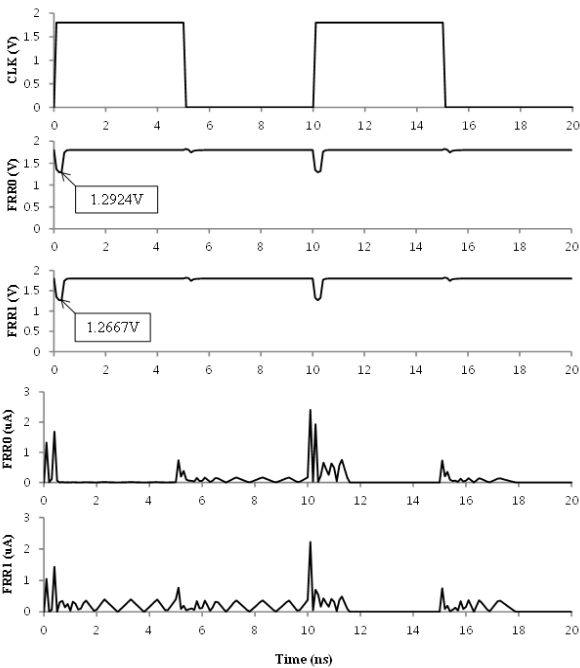


그림 4. FRR0, FRR1의 전압 및 전류
Fig. 4. Voltage and Current of FRR0 and FRR1.

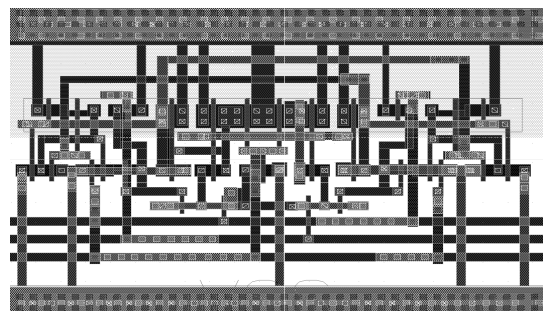


그림 5. 제안된 센스 앰프의 레이아웃
Fig. 5. Layout of Proposed Sense Amplifier.

1. Rail-to-rail 입력범위와 딜레이의 측정

제안된 SA의 Rail-to-rail 입력범위를 시뮬레이션을 통하여 검증하기 위해서 임의의 입력신호를 <표 1>과 같이 인가하였다. SA의 Rail-to-rail 입력범위가 필요한 이유는 [2]의 경우와 같이 입력전압이 식(1)의 범위에 있을 때도 센싱이 되어야 하는 경우가 발생하기 때

문이다.

$$0 < V_{IN} < V_{THN} \tag{1}$$

IN_P과 IN_N 입력전압 중에서 IN_N을 기준 전압이라고 가정하였을 때 IN_P의 전압이 NMOS의 문턱전압보다 낮더라도 O1의 출력 전압이 VDD가 되어야 하는 경우가 있다. SA의 시뮬레이션은 이와 같은 특수한 상황에서 사용되는 경우도 포함하여 고려해야 한다. 따라서 IN_P입력은 전압의 크기가 NMOS의 문턱전압보다 낮은 경우와 높은 경우 모두를 고려하였다. IN_P입력이 NMOS의 문턱전압보다 높은 경우에도 전압의 레벨이 다양하게 분포될 수 있기 때문에 식 (2) 및 (3)의 범위를 모두 고려하여 입력전압을 선택하였다.

$$V_{THN} < V_{IN} < VDD - |V_{THP}| \tag{2}$$

$$VDD - |V_{THP}| < V_{IN} < VDD \tag{3}$$

또한 시뮬레이션은 IN_P과 IN_N 2개의 입력이 모두 식 (3)의 범위에 있는 케이스를 선택하여 입력전압이 VDD 근처에 있을 때의 동작 역시 검증하였다.

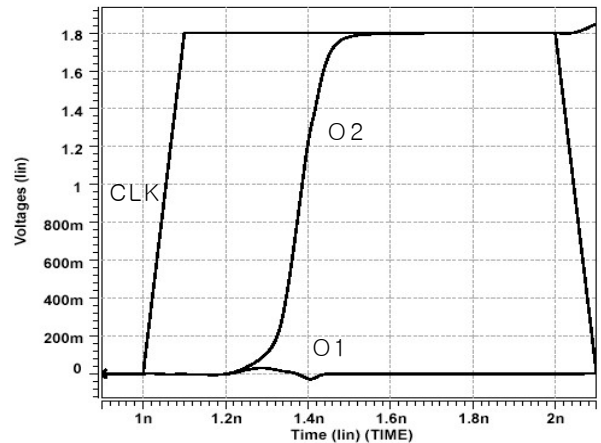
<표 1>은 위에서 언급한 시뮬레이션 조건을 바탕으로 결정된 조건들이다.

표 1. 시뮬레이션 조건
Table 1. Simulation Cases.

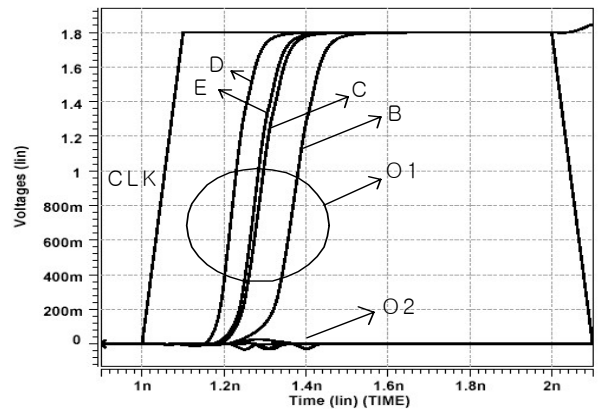
조건	A	B	C	D	E
IN_P	0V	0.2V	0.8V	1.5V	1.8V
IN_N	0.1V	0.1V	0.1V	0.1V	1.7V

<표 1>에서 가장 작은 입력 전압사이의 차이는 0.1V이다. 만일 입력 전압의 차이가 0.1V 이하가 된다면 M1~M4로 구성된 인버터 체인의 준안정 상태(meta-stable state)의 지속시간이 증가하여 정상적인 동작상태라 보기 힘들기 때문에 고려하지 않았다. A~D 조건은 입력 IN_N이 0.1V일 때 IN_P의 입력 전압을 변경하여 시뮬레이션을 수행하였다. E 조건은 IN_N의 입력 전압이 1.7V와 같이 VDD에 근접한 상태일 때의 IN_P 입력 전압에 의한 상태를 시뮬레이션 하기 위한 조건이다.

<그림 6>은 상승 클럭 상태에서의 <표 1>에서 제시한 시뮬레이션 케이스들의 결과파형이다. (a)는 케이스 A에 대한 결과파형을 나타낸 것이다. 케이스 A는



(a) Case A



(b) Case B~E

그림 6. 표 1의 시뮬레이션 결과파형
Fig. 6. Simulation Result of Table 1.

IN_N이 IN_P보다 크기 때문에 O2가 VDD로 나왔다. (b)는 케이스 B, C, D, E의 결과파형을 나타낸 것이다. 케이스 B, C, D, E는 IN_P가 IN_N보다 크기 때문에 O1이 VDD로 나온 것을 볼 수 있다. 조건 A, B를 통해서 2개의 입력전압이 모두 NMOS의 문턱전압보다 낮은 경우의 동작을 확인할 수 있다. 케이스 C, D는 한 개의 입력은 NMOS의 문턱전압보다 낮고 다른 한 개의 입력은 NMOS의 문턱전압보다 높을 때의 동작을 보여준다. 조건 E는 2개의 입력이 모두 NMOS의 문턱전압보다 높을 때의 동작을 보여준다. 이 시뮬레이션을 통해서 제안된 SA의 입력범위가 GND에서 VDD까지의 Rail-to-rail 조건을 충족하는 것을 확인할 수 있다.

<그림 6>을 통해 입력 전압의 범위 이외에 <표 1>의 각 조건에 따른 서로 다른 지연시간(delay)을 발견할 수 있다. 따라서 <표 1>의 5가지 시뮬레이션 조건을 [7]의 센스 앰플리파이어에도 동일하게 적용하여 <표

표 2. 센싱 딜레이 시간 (단위: ps)
Fig. 2. Sensing delay time.

조건	A	B	C	D	E
This Work	267	265	213	163	206
[7]	90.9	116.9	65.9	57.9	81.9

2>과 같이 지연시간을 정리하였다.

제안하는 회로 구성의 특성 상 <그림 1>과 같은 일반적인 SA에 대비하여 사용되는 트랜지스터 개수가 상대적으로 많다. 이로 인하여 기생 성분이 증가하게 되며, 이것은 지연시간의 증가로 이어지게 된다. 또한 출력에서 입력으로 이어지는 피드백 회로의 사용으로 인하여 반응 속도가 상대적으로 감소하게 된다.

2. 시뮬레이션을 통한 전력 측정

제안하는 센스 앰플리파이어의 특징인 저전력 요소를 증명하기 위해 <그림 6>과 같이 시뮬레이션을 수행하였다. <그림 7>은 <표 1>에서의 B 조건의 SA에서 사용하는 전체 전류를 측정한 것 이다.

<그림 7>의 실선은 제안하는 회로의 전류이며, 점선은 [7]의 회로를 의미한다. 제안하는 회로의 평균 전류량은 10.83 uA이며, [7]의 평균값은 175.78 uA이다. 제안하는 회로의 평균적인 전류량이 약 16배 감소한 것을 볼 수 있다. 하지만 순간 최대 전류는 0.2 ns과 10.3 ns 근처에서 서로 유사한 것을 볼 수 있다. 이것은 피드백 회로에 의해 방전 전류가 차단되기 직전의 순간 전류이기 때문에 [7]의 SA와 유사한 경향을 보여준다.

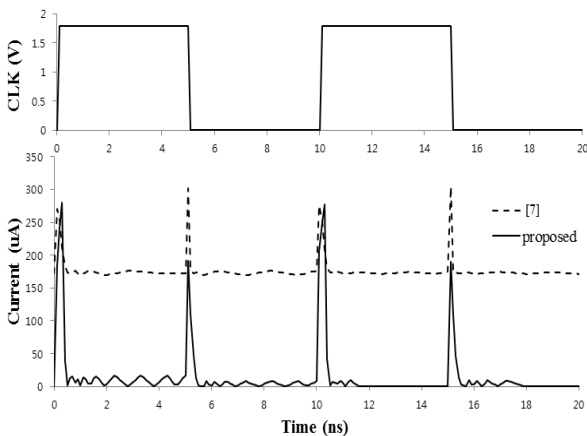


그림 7. 제안한 센스 앰프와 [7]의 전류 비교
Fig. 7. Current comparison between [7] and Sense Amplifier.

표 3. 평균 전력 측정 결과 (단위 : uW)
Table 3. Average power measurement. (unit : uW)

조건	A	B	C	D	E
This Work	20.0	19.5	15.2	12.1	10.5
[7]	331.7	316.4	223.0	162.5	5.3

<표 1>의 조건 하에서 제안한 SA와 [7]의 SA가 단일 클럭당 소모하는 평균 전력은 <표 3>과 같다.

케이스 A, B, C, D 모두 IN_N 신호가 들어가는 입력단(M2~M5/T8)에서 소모되는 전력은 동일하다. 따라서 IN_P의 크기에 따라서 전력소모가 변하였다고 할 수 있다. IN_P의 크기가 커질수록 M12에 의한 전류의 크기는 작아진다. 이것은 피드백 회로에 의해서 DC 패스가 차단되기 전까지 IN_P와 연결된 PMOS 입력단에서 GND로 빠져나가는 전류의 양이 작아진다는 것을 의미한다. 조건 E는 2개의 입력전압이 모두 식(3)의 범위에 있다. 입력전압이 식 (3)의 범위에 있을 때는 PMOS 입력단은 동작을 하지 않으며 NMOS 입력단에 의해서만 센싱이 이루어진다. 케이스 E는 5가지 케이스 중에서 가장 작은 전력을 소모하였다. 제안하는 SA에서 조건 A와 E의 전력 소모를 비교해보면 A는 E의 약 2배의 파워를 소모한 것을 알 수 있다. 이것은 PMOS 입력단에서 소모되는 전력이 SA의 전체 파워 소모에서 큰 비중을 차지한다는 것을 의미한다. 결과적으로 입력 전압의 크기가 증가할수록 PMOS 입력단에서 소모되는 전력이 감소하기 때문에 SA의 전체 전력 소모는 감소하게 된다.

<표 3>의 결과를 살펴보면 제안된 SA 회로의 전력 소모에 대한 특성을 알 수 있다. <표 3>의 조건 B는 2개의 입력전압이 모두 식(3)의 범위에 있다. 따라서 센싱 동작은 오직 PMOS 입력단에 의해서만 실행된다. 반면 조건 E는 2개의 입력전압이 모두 식(3)의 범위에 있기 때문에 PMOS 입력단은 동작을 하지 않고 오직 NMOS 입력단 T8 및 T9에 의해서만 센싱 동작이 실행된다. 제안된 SA는 피드백 회로의 전류 차단 동작으로 인하여 정적 전력 소모(Static Power Consumption)를 제거한다. 그러나 이 피드백 회로는 매 클럭마다 동작을 하기 때문에 이 부분에 대한 전력 소모(Dynamic Power Consumption)가 추가적으로 발생한다. 매 클럭마다 2개의 NOR게이트에서 풀업 및 풀다운이 진행되기 때문이다. <표 3>의 케이스 E의 경우는 회로의

NMOS 입력단만 동작을 하고 PMOS 입력단에는 전류가 흐르지 않기 때문에 PMOS 입력단의 전류 흐름을 차단하는 피드백 동작이 필요하지 않다. 따라서 케이스 E와 같은 레벨의 전압에서는 파워절약에 대한 효율을 기대할 수 없다. 반면에 조건 B는 PMOS 입력단에 의해서만 센싱 동작이 실행되기 때문에 피드백 회로에 의한 전력 절약 효율이 최대화 된다. 이것은 제안된 SA 회로가 [7]와 같이 입력전압이 NMOS의 문턱전압보다 낮아지는 경우가 빈번히 발생하는 환경에서 사용되어야 전력 절약에 대한 효율이 극대화된다는 것을 알려준다.

C. Power-Delay Product

같은 클럭 주파수와 같은 VDD 전압을 갖는 회로에서 파워-딜레이 곱으로 회로의 효율을 판단할 수 있다. 제안하는 센스 앰플리파이어의 경우 파워효율은 좋아졌지만, [7]에 비하여 딜레이가 증가하였기 때문에 파워-딜레이 곱으로 비교하는 것이 필요하다.

<표 4>는 위 <표 2>와 <표 3>의 결과에 의한 파워-딜레이 곱으로 나타낸 것이다. 제안하는 회로는 지연 시간이 [7]보다 2-3배 길어진 반면 파워는 최대 10배 이상 줄어들어 파워-딜레이 곱으로 나타내었을 때 최대 약 86% 감소하였다.

표 4. 파워-딜레이 곱 결과
Table 4. Power-delay Product. (Unit : uW ps)

조건	A	B	C	D	E
This Work	5.34	5.17	3.24	1.97	2.16
[7]	30.15	36.99	14.70	9.41	0.43

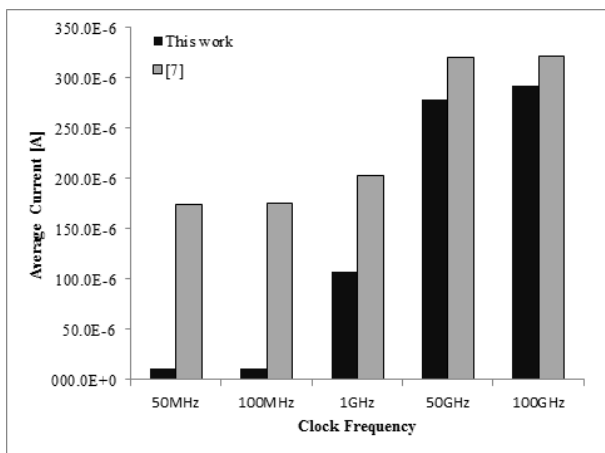


그림 8. 클럭 주파수에 따른 평균 전류의 변화
Fig. 8. Average Current Difference by CLK Speed.

<그림 8>은 클럭 주파수에 변화에 따라서 제안한 회로와 [7]의 회로의 평균 전류의 변화를 비교한 것이다. 클럭 주파수가 증가함에 따라 센싱하는 주기가 짧아지기 때문에 방전전류에 대한 영향을 적게 받아 높은 주파수일수록 소모되는 전류의 양은 비슷한 양상을 보이게 된다. 1GHz에서의 평균전류는 [7]에 비하여 약 46.87% 감소하며 1GHz 이하에서는 50% 이상의 평균전류 절감 효과를 기대할 수 있다.

IV. 결 론

본 논문에서 제안된 센스 앰플리파이어는 기존의 래치 타입 전압 센스 앰플리파이어의 입력범위에 GND~Vthn의 입력범위를 가능하게 하여 Rail-to-rail (GND~VDD)입력범위를 갖게 되었다. 제안된 회로 내부에는 Rail-to-rail 입력범위를 갖기 위해서 필요한 PMOS입력단에서 발생하는 DC패스를 효과적으로 차단하는 피드백 회로가 존재한다. 센스 앰플리파이어 회로의 전력 소모를 감소시켜야 하는 것은 중요한 이슈로서, 이 피드백 회로는 센싱 순간에만 전류가 흐르게 하고 그 이외의 시간에는 전류 패스를 차단함으로써 전력 소모를 감소시킨다. 이 피드백 동작으로 인하여 제안된 회로는 Static Power Consumption을 제거할 수 있다. 이 피드백 회로의 동작은 센스 앰플리파이어의 결과가 반드시 VDD 및 GND로 되는 특징을 이용한 것이기 때문에 매 클럭 마다 안정적으로 이루어진다. 또한 본 논문은 제안된 센스 앰플리파이어의 전력 절약 효율이 극대화되는 환경을 시뮬레이션을 통하여 제안하였다. 그 결과로 제안된 센스 앰플리파이어는 입력전압이 NMOS의 문턱전압보다 낮은 경우가 자주 발생하는 환경에서 사용되어야 전력 절약의 효율이 최대화된다는 것을 알 수 있었다.

참 고 문 헌

[1] 박용식, 김규현, 송윤흡, "High-Speed Sense Amplifier를 위한 Positive Feedback회로 설계," 대한전자공학회 하계학술대회, 제33권, 제1호, 2010.
[2] H. B. Kang, S. K. Hong, H. Y. Chang, H. C. Park, N. K. Park, M. Y. Sung, J. H. Ahn, and S. J. Hong, "A Sense Amplifier Scheme with Offset Cancellation for Giga-bit DRAM," JOURNAL OF SEMICONDUCTOR TECHNOLOGY

- AND SCIENCE, Vol. 7, No. 2, 2007, pp.67-75.
- [3] C. H. Shin, K. S. Cho, Y. S. Lee, J. H. Lee, K. S. Sohn, O. K. Kwon, "Color STN (CSTN) LCD Driver Integrated Circuit with Sense Amplifier of Non-Volatile Memory," JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE, Vol. 6, No. 2, 2006, pp.87-89 .
- [4] K. Pagiatzis, and A. Sheikholeslami, "Content-Addressable Memory(CAM) Circuits and Architectures: A Tutorial and Survey," IEEE J. of Solid-State Circuits, vol. 41, no. 3, March 2006.
- [5] S. Baeg, "Low Power Ternary Content-Addressable Memories (TCAM) Design Using Segmented Match-Line," IEEE Transactions on CAS-I: Regular Paper, Vol. 55, No. 6, JULY 2008, pp.1485-1493
- [6] T. Kobayashi, K. Nogami, T. Shirotori, and Y. Fujimoto, "A Current-Controlled Latch Sense Amplifier and a Static Power-Saving Input Buffer for Low-Power Architecture," IEEE J. Solid-State Circuits, Vol. 28, Apr. 1993, pp.523-527,
- [7] R. Jacob Baker, "CMOS Circuit Design, Layout and Simulation" 2nd edition John Wiley Sons Inc., 2005, pp.454-456
- [8] B. Wicht, T. Nirschl, D. Schmitt-Landsiedel, "Yield and Speed Optimization of a Latch-Type Voltage Sense Amplifier", IEEE J. Solid-State Circuits, Vol. 39, No. 6, July 2004., pp.1148-1151

 저 자 소 개



안 상 욱(정회원)
 2008년 한양대학교 전자컴퓨터
 공학부 학사 졸업.
 2010년 한양대학교 전자전기제어
 계측공학과 석사 졸업.
 2011년~현재 삼성전자
 <주관심분야 : SoC Design>



정 창 민(정회원)
 2007년 한양대학교 전자컴퓨터
 공학부 학사 졸업.
 2009년 한양대학교 전자전기제어
 계측공학과 석사 졸업.
 2010년~현재 LS산전 자동차
 전장사업부 모터제어기
 (인버터) 개발.
 <주관심분야 : 시스템 신뢰성 모터제어>



임 철 승(학생회원)
 2011년 한양대학교 전자 및 통신
 공학과 학사 졸업.
 2011년~현재 한양대학교
 전자전기제어계측공학과
 석박사 통합 과정.
 <주관심분야 : SoC Design>



백 상 현(평생회원)-교신저자
 1986년 BS, Electric Engineering,
 Hanyang University
 1988년 MS, Electrical and
 Computer Engineering,
 The University of Texas
 Austin



이 순 영(학생회원)
 2008년 한양대학교 전자 및 통신
 공학과 학사 졸업.
 2009년~현재 한양대학교 전자전
 기제어계측공학과 석박사
 통합 과정.

1994년 Ph.D, Electrical and Computer
 Engineering, The University of Texas
 Austin
 1994년~1997년 삼성전자 Sr. Design Engineer
 1997년~2004년 Hardware Manager and
 Technical Leader, Cisco Systems Inc.,
 San Jose CA
 2004년~2010년 한양대학교 전자및통신공학과
 부교수
 2010년~현재 한양대학교 전자및통신공학과 교수

<주관심분야 : SoC failure analysis>