논문 2012-49SD-2-2

새로운 파라미터 추출 방법을 사용한 Multi-Finger RF MOSFET의 기판 모델 정확도 비교

(Accuracy Analysis of Substrate Model for Multi-Finger RF MOSFETs Using a New Parameter Extraction Method)

최 민 권*, 김 주 영*, 이 성 현**

(Min-Kwon Choi, Ju-Young Kim, and Seonghearn Lee)

요 약

본 연구에서는 common source-bulk와 common source-gate 테스트 구조에서 측정된 S-파라미터를 사용하여 multi-finger RF MOSFET의 기판 파라미터들을 정확하게 추출하였다. 이 추출 방법을 바탕으로 세 개의 기판저항을 사용한 비대칭 RF 모델이 하나의 기판저항을 사용한 단순 모델보다 측정된 Y-파라미터 데이터와 더 잘 일치하는 것을 관찰하였으며, 이는 비대칭 기판 모델의 정확도를 증명한다. 또한 비대칭 RF 모델의 시뮬레이션 S-파라미터가 측정 데이터와 20GHz까지 잘 일치하는 것을 확인하였다.

Abstract

In this study, multi-finger RF MOSFET substrate parameters are accurately extracted by using S-parameters measured from common source-bulk and common source-gate test structures. Using this extraction method, the accuracy of an asymmetrical model with three substrate resistances is verified by observing better agreement with measured Y-parameters than a simple model with a single substrate resistance. The modeled S-parameters of the asymmetrical model also show excellent agreement with measured ones up to 20GHz.

Keywords : RF CMOS, MOSFET, multi-finger, substrate model, substrate resistance. parameter extraction

Ⅰ. 서 론

최근에는 RF IC를 제작하기 위해서 공정상 안정도가 높고 고집적화가 가능하며 가격 경쟁력이 탁월한 MOSFET이 기본 소자로 많이 사용되고 있으며, 공정 기술의 발달로 MOSFET 소자의 gate length가 점차 줄어들고 multi-finger형태의 layout이 사용되면서 RF 성능의 척도인 최대진동주파수 $f_{\max}$와 차단주파수 f_T와 같은 성능이 더욱 더 향상되었다[1]. 이러한 RF MOSFET을 사용하여 RF IC를 성공적으로 설계하기 위해서는 정확한 SPICE 모델의 정확성 및 신뢰도가 중요하며, 디지털 및 아날로그 IC 응용분야에 모두 적합하게 개발된 BSIM3v3 모델이 널리 사용되고 있다[2].

RF MOSFET의 정확한 모델링을 위해서는 소신호 출력특성에 많은 영향을 미치는 기판 저항이 매우 중요하다. 하지만 기존에는 병렬로 연결된 bulk resistance와 bulk capacitance가 drain-bulk capacitance와 직렬로 연결된 substrate 모델[3~4]이 RF MOSFET의 소신호 등가회로에 사용되었지만 실제의 SPICE에서 사용되는 RF 모델과 다르기 때문에 오차가 발생한다[5].

* 학생회원, ** 정회원 한국외국어대학교 전자공학과 (Department of Electronics Engineering, Hankuk University of Foreign Studies)

※ 이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임(2011-0027133)

접수일자: 2011년11월23일, 수정완료일: 2012년2월15일

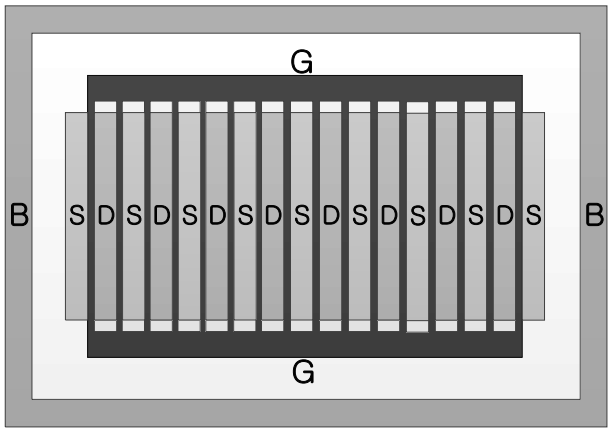


그림 1. RF MOSFET의 Multi-finger 레이아웃 (*Nf* = 16).
Fig. 1. Multi-finger layout (*Nf* = 16) of RF MOSFET.

기존의 SPICE RF 모델은 BSIM3v3 모델에 단일 기판 저항을 외부에 연결한 Macro 모델이 널리 사용된다[6~7]. 하지만 그림 1과 같은 multi-finger형태의 레이아웃을 가진 RF MOSFET에서 source와 drain의 contact 수와 bulk contact과의 거리가 다르게 된다. 이에 따라 source-bulk와 drain-bulk 저항이 서로 다른 비대칭적 등가모델 구조를 가지게 된다[8]. 따라서, source-bulk와 drain-bulk 저항이 같은 단일 기판 저항 모델은 multi-finger RF MOSFET에 사용하기에 물리적으로 부적당한 문제점이 발생하게 된다. 이러한 문제를 극복하기 위해 복잡한 BSIM4 모델[9]을 단순화하여 3개의 bulk 저항을 사용한 개선된 비대칭 substrate 모델이 최근에 사용되었다[10]. 이러한 개선된 모델의 물리적 타당성에도 불구하고 초고주파 영역에서 단일 기판 저항 모델과의 정확도 비교 결과는 현재까지 전혀 발표되지 않았다. 또한, 기판 파라미터 수가 3개로 증가하여 추출 오차가 커지는 문제점이 발생한다.

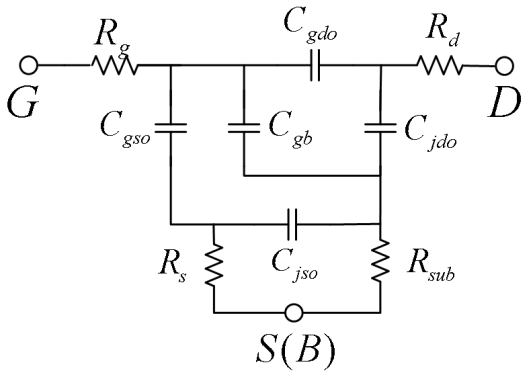
따라서 본 논문에서는 하나의 기판저항을 사용한 단순 모델과 3개의 기판저항을 사용한 개선된 비대칭 모델의 정확도를 0.1GHz에서 20GHz까지 서로 비교하였다. 이러한 정확도 비교를 위해 common source-bulk (CSB)와 common source-gate (CSG) 구조의 등가회로를 함께 사용한 모델 파라미터 추출 방법을 새롭게 제안하였다.

Ⅱ. 본 론

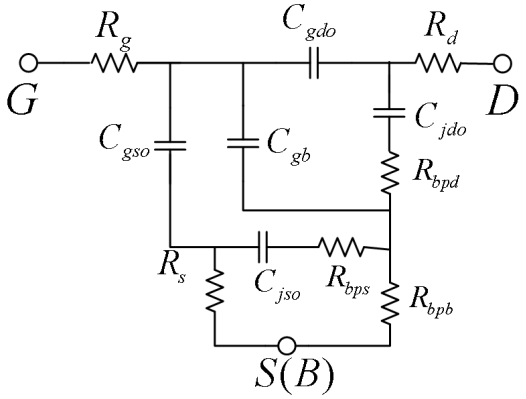
1. 새로운 모델 파라미터 추출 방법

본 연구에서는 gate length L_g가 0.13 μm에서 0.35 μm까지 변화된 multi-finger gate 형태 (unit gate finger width W_u = 2.5 μm, gate finger 수 Nf = 16)의 N-MOSFET들을 사용하였다. 이 소자들의 RF S-parameter는 wafer probe station에 설치된 on-wafer RF probe에 DC bias를 가한 후 vector network analyzer(VNA)를 사용하여 20 GHz까지 측정하였다. 측정된 on-wafer S-parameter로부터 RF probe 패드 및 금속 배선 패턴의 기생성분을 제거하기 위하여 소자 영역을 개방하여 병렬 기생성분의 측정이 가능한 open 테스트 패턴과 소자 영역을 단락시켜 직렬 기생성분의 측정이 가능한 short 테스트 패턴을 사용한 de-embedding을 수행하였다[11].

그림 2(a)는 zero-bias CSB 구조에서 단일 기판 저항을 가진 단순 RF MOSFET SPICE 모델의 AC 등가



(a)



(b)

그림 2. CSB 구조 아래에서 RF MOSFET SPICE 모델의 AC 등가회로 ($V_{gs} = V_{ds} = 0$).
(a) 단순 모델 (b) 비대칭 모델
Fig. 2. An AC equivalent circuit of RF MOSFET SPICE model under CSB configuration($V_{gs} = V_{ds} = 0$)
(a) Simple model (b) Asymmetrical model

회로를 보여주며, 그림 2(b)는 multi-finger형태의 source와 drain layout 구조를 위해 기판 저항 3개를 사용한 비대칭 RF MOSFET 모델을 보여준다.

그림 2의 모델에서 gate-drain overlap capacitance C_{gdo}와 drain-bulk junction capacitance C_{jdo} 및 gate-bulk capacitance C_{gb}를 추출하기 위해서 다음과 같은 Y-파라미터 방정식을 저주파(LF) 영역에서 유도할 수 있다.

$$C_{gdo} = -\frac{1}{\omega} Imag(Y_{12}^{SB})_{LF} \tag{1}$$

$$C_{jdo} = \frac{1}{\omega} Imag(Y_{22}^{SB} + Y_{12}^{SB})_{LF} \tag{2}$$

$$C_{gb} + C_{gso} = \frac{1}{\omega} Imag(Y_{11}^{SB} + Y_{12}^{SB})_{LF} \tag{3}$$

여기에서 $[Y^{SB}]$는 CSB 구조의 Y-parameter이며, MOSFET의 drain과 source 영역이 대칭인 일반적인 구조에서 $C_{gso} \approx C_{gdo}$이므로 식 (3)에서 식 (1)을 뺀 방정식을 다음과 같이 얻을 수 있다.

$$C_{gb} = \frac{1}{\omega} Imag(Y_{11}^{SB} + 2\,Y_{12}^{SB})_{LF} \tag{4}$$

하지만, 그림 2(b)의 CSB 구조에서 비대칭 모델의 source-bulk junction capacitance C_{jso}와 source-bulk 저항 R_{bps}는 내부의 source와 연결되어 있기 때문에 독립적인 방법으로 추출할 수 없으므로 common source-gate (CSG)구조의 등가모델을 결합한 새로운 추출 방법을 개발하였다.

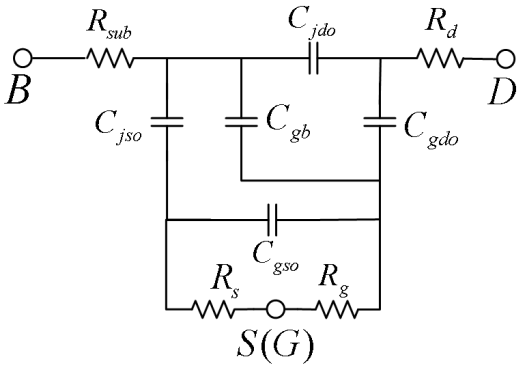
그림 3(a)는 zero-bias CSG 구조에서 단일 기판 저항을 사용한 RF MOSFET 모델[5]을 보여주며, 그림 3(b)는 기판 저항 3개를 사용한 비대칭 RF MOSFET 모델을 보여준다.

그림 3의 RF 모델에서 C_{jso}를 추출하기 위해서 저주파 영역에서 다음과 같은 방정식을 유도하였다.

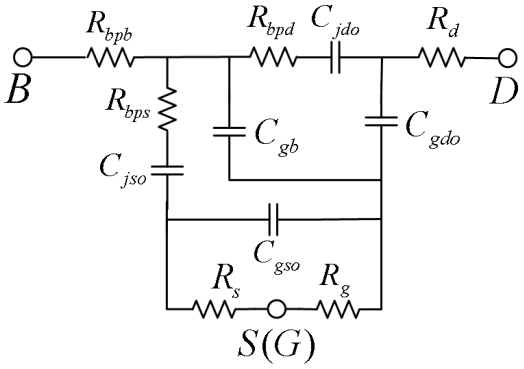
$$C_{jso} + C_{gb} = \frac{1}{\omega} Imag(Y_{11}^{SG} + Y_{12}^{SG})_{LF} \tag{5}$$

식 (4)와 (5)를 사용하여 C_{jso}는 다음과 같이 추출된다.

$$C_{jso} = \frac{1}{\omega} Imag(Y_{11}^{SG} + Y_{12}^{SG})_{LF} - \frac{1}{\omega} Imag(Y_{11}^{SB} + 2\,Y_{12}^{SB})_{LF} \tag{6}$$



(a)



(b)

그림 3. CSG 구조의 BSIM3v3 RF 모델 AC 등가회로 ($V_{gs} = V_{ds} = 0$).
(a) 단순모델, (b) 비대칭 모델

Fig. 3. An AC equivalent circuit of BSIM3v3 RF model under CSG configuration ($V_{gs} = V_{ds} = 0$).
(a) Simple model (b) Asymmetrical model.

그림 2의 저항 R_g와 R_d는 고주파(LF)영역에서 유도된 다음의 관계식으로부터 추출되었다[4, 12].

$$Real(Z_{11}^{SB} - Z_{12}^{SB})_{HF} \approx R_g + A_g\omega^{-2} \tag{7}$$

$$Real(Z_{22}^{SB} - Z_{12}^{SB})_{HF} = R_d + A_d\omega^{-2} \tag{8}$$

여기서 A_g와 A_d는 내부 파라미터 함수로서 표현되어지며, R_g 및 R_d는 ω^{-2}의 함수로 그린 식 (7)과 (8)의 그래프에서 고주파 영역의 데이터의 y-절편 값으로부터 각각 추출되었으며, source resistance R_s는 $Real(Y_{11})$의 fitting을 통하여 추출되었다.

그림 4(a)은 포화영역에서 단일 기판 저항을 가진 CSB 구조의 단순 MOSFET 모델이며, 그림 4(b)는 기판 저항 3개를 사용한 비대칭 MOSFET 모델을 보여준

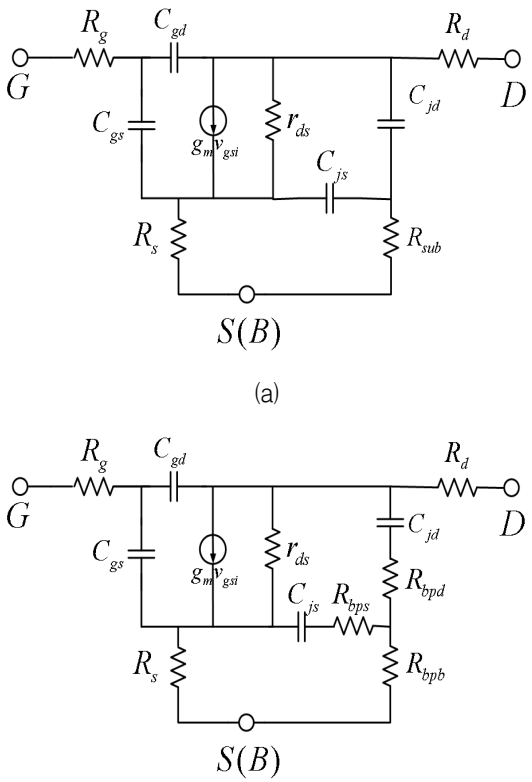


그림 4. CSB 구조의 BSIM3v3 RF 모델 AC 등가회로. ($V_{gs}=0.6V$, $V_{ds}=1V$).
(a) 단순 모델, (b) 비대칭 모델

Fig. 4. An AC equivalent circuit of BSIM3v3 RF model under CSB configuration ($V_{gs}=0.6V$, $V_{ds}=1V$).
(a) Simple model (b) Asymmetrical model

다. 그림 4의 CSB 구조의 내부 모델 파라미터를 optimization과정 없이 직접 추출하기 위해서 저주파(LF) 영역에서 C_{js}를 무시한 등가회로를 사용하였다[12]. 이때 내부 파라미터는 Y^i-파라미터 방정식을 사용하여 다음과 같이 추출되었다.

$$C_{gs}=\frac{1}{\omega}Imag(Y_{11}^i+Y_{12}^i) \tag{9}$$

$$C_{gd}=-\frac{1}{\omega}Imag(Y_{12}^i) \tag{10}$$

$$r_{ds}=1/Real(Y_{22}^i) \tag{11}$$

$$g_m=\left|Y_{21}^i-Y_{12}^i\right| \tag{12}$$

여기서 내부 MOSFET의 Y^i-파라미터는 측정된 CSB 구조의 Y^{SB}-파라미터로부터 저항들과 C_{jd}를 제거함으로써 얻을 수 있다. 이때 C_{jd}는 Y^{SB}-파라미터로부터 식 (2)를 사용하여 $V_{gs}=0.6V$, 일 때의 값을 추출하였다.

이와 같은 방법으로 추출된 그림 3의 소자 파라미터 값들은 다음과 같다: $R_d=8\Omega$, $R_g=2\Omega$, $R_s=5.3\Omega$, $C_{gs}=50fF$, $C_{gd}=24fF$, $C_{js}=134fF$, $C_{jd}=24fF$, $g_m=18mS$, $r_{ds}=2100\Omega$.

하나의 저항을 사용한 단순 모델의 기판 저항 R_{sub}는 CSG 구조에서 얻어진 $g_m=18mS$의 저주파 영역 데이터로부터 68 Ω이 추출되었다[5]. 비대칭 기판 모델의 저항 R_{bpb}와 R_{bpd}는 먼저 그림 2(b)의 zero-bias CSB 구조에서 $Real(Y_{22}+Y_{12})$의 curve-fitting으로 추출되었다. 이 추출 값을 초기치로 하여 그림 4(b)의 포화 영역 CSB 구조에서 $Real(Y_{22}+Y_{12})$을 curve-fitting 하여 R_{bpb} = 40 Ω과 R_{bpd} = 80 Ω을 최종적으로 추출하였다.

또한, R_{bps}는 그림 3(b)의 zero-bias CSG 구조에서 $Real(Y_{11}+Y_{12})$의 curve-fitting을 통하여 50 Ω이 추출되었다. R_{bpd}가 R_{bps}보다 큰 현상은 그림 1에서 보여주듯이 $Nf=16$인 짝수 finger의 MOSFET에서 source와 bulk contact 사이의 거리가 drain과 bulk contact 사이의 거리보다 더 짧기 때문이다[8].

2. 두 벌크 모델의 정확도 비교

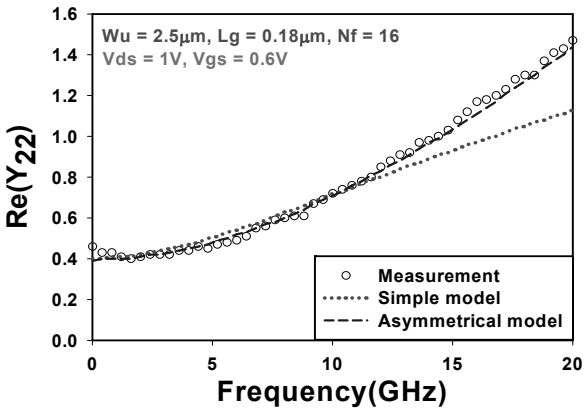


그림 5. CSB 구조 아래에서 측정데이터와 비교된 비대칭 모델과 단순 모델의 $Real(Y_{22}^{SB})$ 곡선.

Fig. 5. $Real(Y_{22}^{SB})$ curves of simple and asymmetrical models compared with measured data under the CSB configuration.

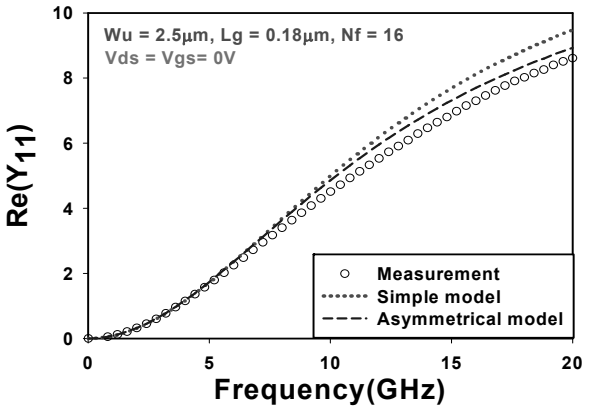


그림 6. CSG 구조 아래에서 측정데이터와 비교된 비대칭 모델과 단순 모델의 $Real(Y_{11}^{SG})$ 곡선.

Fig. 6. $Real(Y_{11}^{SG})$ curves of simple and asymmetrical models compared with measured data under the CSG configuration.

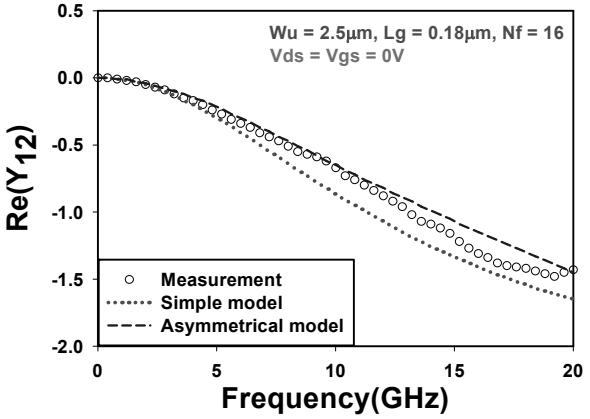


그림 7. CSG 구조 아래에서 측정데이터와 비교된 비대칭 모델과 단순 모델의 $Real(Y_{12}^{SG})$ 곡선.

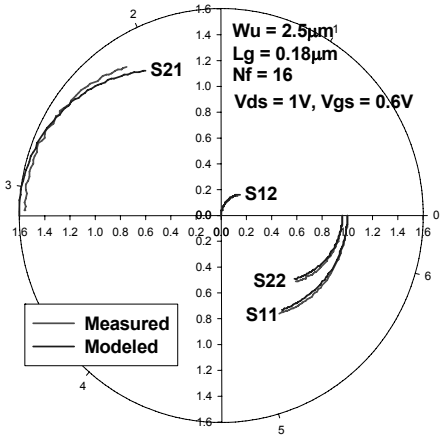
Fig. 7. $Real(Y_{12}^{SG})$ curves of simple and asymmetrical models compared with measured data under the CSG configuration.

그림 5는 위에서 추출된 모델 파라미터 값들을 단순 RF 모델과 비대칭 모델에 대입하여 CSB구조에서 시뮬레이션 된 $Real(Y_{22}^{SB})$를 비교한 그래프로서 단순 모델보다 비대칭 모델이 측정데이터와 0.1GHz에서 20GHz까지 더 잘 일치하는 것을 보여준다.

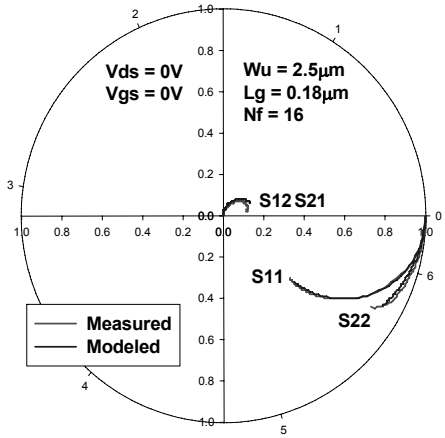
그림 6와 7은 위에서 추출된 모델 파라미터 값들을 CSG구조의 단순 RF 모델과 비대칭 모델에 대입하여 시뮬레이션된 $Real(Y_{11}^{SG})$ 와 $Real(Y_{12}^{SG})$를 비교한 그래프로서 단순 모델 보다 비대칭구조 모델이 측정데이터와 0.1GHz에서 20GHz까지 더 잘 일치하는 것을 보여준다.

3. 비대칭 기판 모델의 S-파라미터 정확도

그림 8은 CSB 구조와 CSG구조의 비대칭 모델로 각각 시뮬레이션 된 S-parameter와 측정데이터를 비교하여 나타낸 그림으로 0.1 - 20GHz까지 매우 일치함을 알 수 있다. 이는 substrate 저항 3개를 사용한 비대칭 기판 RF 모델의 정확성을 입증한다.



(a)



(b)

그림 8. 비대칭 RF 모델을 사용하여 시뮬레이션된 S-parameter와 측정데이터와의 비교 : (a) CSB, (b) CSG 구조

Fig. 8. Measured and modeled S-parameter using an asymmetrical model: (a) CSB, (b) CSG configuration

Ⅲ. 결 론

본 연구에서는 CSB구조와 CSG구조에서 측정된 S-파라미터를 함께 사용하여 SPICE 모델 파라미터를 추

출하는 방법을 새롭게 개발하였다. 이를 바탕으로 하나의 기판 저항을 사용한 단순 대칭 모델과 3개의 기판 저항을 사용한 개선된 비대칭 모델의 정확도를 비교하였다. 비교 결과로서 multi-finger RF MOSFET의 bulk 저항 비대칭성을 표현한 개선된 모델이 단순 모델보다 0.1GHz에서 20GHz까지의 Y-파라미터 측정데이터와 더 잘 일치하는 것을 확인하였고, 비대칭 RF 모델의 S-parameter 정확도도 입증하였다.

참 고 문 헌

[1] 차지용, 차준영, 이성현, "RF MOSFET 성능의 최적화를 위한 Unit Finger Gate 폭에 대한 fT 및 fmax 종속성 분석, 전자공학회 논문지 제 45권 SD편 제 9호, pp.861-866, 2008.

[2] BSIM3v3 Manual, Department of Electrical Engineering and Computer Science, University of california, Berkeley, 1995.

[3] S. Lee, C. S. Kim, and H. K. Yu, "A small-signal RF model and its parameter extraction for substrate effects in RF MOSFETs," IEEE Trans. Electron Devices, vol. 48, pp. 1374-1379, July 2001.

[4] 이용택, 최문성, 구자남, 이성현, "Deep Submicron MOSFET 기판회로 파라미터의 바이어스 및 게이트 길이 종속 데이터 추출," 전자공학회 논문지 제 41권 SD편 제 12호, pp. 27-34, 2004.

[5] S. Lee, "A direct method to extract RF MOSFET model parameters using common source-gate and source drain configurations", Microwave and Optical Technology Letters, Vol. 50, No. 4, pp. 915-917, April 2008.

[6] S. Lee and H. K. Yu, "A semianalytical parameter extraction of a SPICE BSIM3v3 for RF MOSFET's using S-parameters," IEEE Trans. Microwave Theory Tech., vol. 48, pp. 412-416, March 2000.

[7] S. Lee, C. S. Kim, and H. K. Yu, "Improved BSIM3v3 model for RF MOSFET IC simulation" Electronics Letters, vol. 36, no. 21, pp. 1818-1819, Oct. 2000.

[8] C. C. Enz and Y. Cheng, "MOS transistor modeling for RF IC design," IEEE Trans. Solid-State Circuits, vol. 35, no. 2, Feb. 2000.

[9] BSIM4 Manual, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 2001.

[10] U. Mahalingam, S.C. Rustagi and G.S. Samudra, "Direct extraction of substrate network parameters for RF MOSFET modeling using a simple test structure", IEEE Electron Device Letters, vol. 27, no. 2, pp. 130-132, Feb. 2006.

[11] J. Cha, J. Cha, and S. Lee, "Uncertainty analysis of two-step and three-step methods for deembedding on-wafer RF transistor measurements," IEEE Trans. Electron Device, Vol. 55, pp. 2195-2201, 2008.

[12] S. Lee, "Accurate RF extraction method for resistances and inductances of sub-0.1 μm CMOS transistors", Electronics Letters, Vol. 41, No. 24, pp. 1325-1327, 2005.

저 자 소 개

최 민 권(학생회원)

2010년 한국외국어대학교 전자공학과 학사 졸업.

2010년～현재 한국외국어대학교 전자정보공학과 석사과정.

<주관심분야 : RF CMOS 소자 모델링>

김 주 영(학생회원)

2010년 한국외국어대학교 전자공학과 학사 졸업.

2010년～현재 한국외국어대학교 전자정보공학과 석사과정.

<주관심분야 : RF CMOS 소자 모델링>

이 성 현(정회원)

1985년 고려대학교 전자공학과 학사 졸업.

1989년 미국 University of Minnesota 전기공학과 석사 졸업.

1992년 미국 University of Minnesota 전기공학과 박사 졸업.

1992년～1995년 한국전자통신연구원 선임연구원

1995년～현재 한국외국어대학교 전자공학과 교수

<주관심분야 : CMOS 및 바이폴라 소자 모델링>