

논문 2012-49SD-3-3

# 1.2V 전원전압용 RGC 입력단을 갖는 5-Gb/s CMOS 광 수신기

( A 5-Gb/s CMOS Optical Receiver with Regulated-Cascode Input Stage for 1.2V Supply )

탁 지 영\*, 김 혜 원\*, 신 지 혜\*, 이 진 주\*, 박 성 민\*\*

( Jiyoung Tak, Hyewon Kim, Jihye Shin, Jinju Lee, and Sung Min Park )

## 요 약

본 논문에서는 0.13 $\mu$ m CMOS 공정을 이용하여 초고속 디지털 인터페이스 응용을 위한 5-Gb/s 광 수신기를 구현하였다. 전치증폭기인 TIA 내에는 낮은 전원전압에서도 동작이 가능한 개선된 RGC 입력구조를 사용하였고, 리미팅 증폭기 내에서는 interleaving 능동피드백 기법 및 소스 디제너레이션 기법을 활용하였다. 이로써, 제한한 광 수신기의 칩 측정결과, 72dB $\Omega$  트랜스임피던스 이득, 4.7GHz 대역폭, 및 400mV<sub>pp</sub> 차동 출력전압 스윙레벨을 얻었다. 또한, 단일 1.2V 전원전압에서 66mW의 낮은 전력을 소모하며, 칩 면적은 1.6 $\times$ 0.8mm<sup>2</sup> 이다.

## Abstract

This paper presents a 5-Gb/s optical receiver circuit realized in a 0.13- $\mu$ m CMOS technologies for the applications of high-speed digital interface. Exploiting modified RGC input stage at the front-end transimpedance amplifier, interleaving active feedback and source degeneration techniques at the limiting amplifier, the proposed optical receiver chip demonstrates the measured results of 72-dB $\Omega$  transimpedance gain, 4.7-GHz bandwidth, and 400-mV<sub>pp</sub> differential output voltage swings up to the data rate of 5-Gb/s. Also, the chip dissipates 66mW in total from a single 1.2-V supply, and occupies the area of 1.6  $\times$  0.8mm<sup>2</sup>.

**Keywords** : CMOS, digital interface, interleaving active feedback, modified RGC, optical receiver

## I. 서 론

최근 데이터 전송량의 폭주로 인해 멀티미디어 네트워크 혹은 서버용 링크 내에서의 채널 당 전송속도가 수~수십 기가비트급이 필요해 지고 있다. 이를 실현하

기 위해, 전통적인 구리선 방식을 채택할 경우 링크 내 동작속도를 구현하기 점점 더 어려워지고 있는데, 그 이유는 구리선 링크가 제한된 대역폭, 상당한 신호 감쇠, 심각한 crosstalk, 및 EMI 등의 문제점을 안고 있기 때문이다. 이 문제점들을 극복하는 다른 방법으로 광섬유를 매개체로 이용하는 광 링크를 구현할 수 있다. 특히, POF (passive optical fiber)를 이용한 광 링크는 DVI, HDMI, 및 DisplayPort 등의 멀티미디어 네트워크 및 단거리 통신용으로 매우 적합하며, 또한 POF 광섬유를 이용한 인터페이스는 CD-ROM, DVD, 및 Blu-Ray Disc 등의 광 저장장치 시스템에도 적합하다

\* 학생회원, \*\* 평생회원, 이화여자대학교 공과대학 전자공학과  
(Department of Electronics Eng., Ewha Womans University)

※ 이 논문은 2012년 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임 (과제번호: 2012-0000699).

접수일자 2011년12월27일, 수정완료일: 2012년2월27일

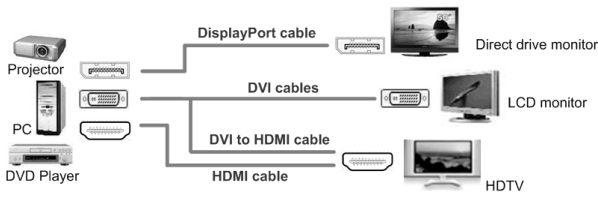


그림 1. 멀티미디어 네트워크용 디지털 인터페이스[2]  
Fig. 1. Digital interface for multimedia networks.

[1~2]. 그림 1은 이와 같은 광 링크를 이용한 멀티미디어 네트워크용 디지털 인터페이스의 한 예를 보여준다.

II. 본론: 광 수신기 회로설계 및 칩 측정결과

그림 2는 광 링크에 반드시 필요한 광 송수신기 시스템의 일반적인 구조를 보여준다. 특히, 수신기의 경우, 포토다이오드(PD), 트랜스임피던스 증폭기(TIA), 리미팅 증폭기, 및 클럭/데이터 복원회로(CDR)로 구성된다. 이 중, 가장 중요한 아날로그 블록은 시스템 내의 전치 증폭기인 TIA이며, 이는 광소자인 PD로부터의 출력전류를 전기적 전압신호로 변환시켜주는 역할을 한다[3]. 그러나 TIA의 출력전압은 일반적으로 작은 크기(최소

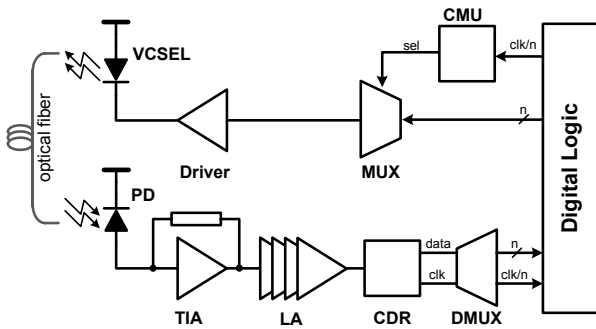


그림 2. 광섬유를 이용한 광 송수신기 시스템 구조  
Fig. 2. System architecture of an optical transmitter/receiver system using passive optical fiber.

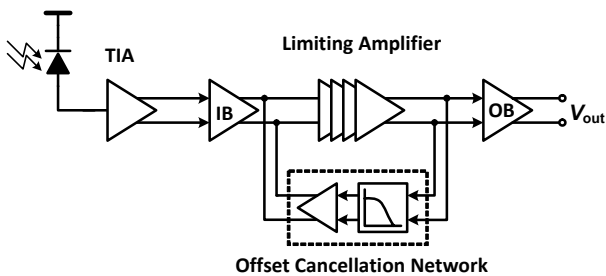


그림 3. 제안한 광 수신기의 블록 다이어그램  
Fig. 3. Block diagram of the proposed optical receiver.

입력전류에 대해 수십 mV의 크기)를 갖는다. 그러므로 뒷단의 디지털 신호처리를 위해 작은 입력신호를 로직 레벨의 신호로 키워야 하고, 이를 위해 리미팅 증폭기를 TIA에 연결해야 한다. 즉, 리미팅 증폭기는 높은 전압이득 및 큰 출력스윙 특성을 가져야 한다[4].

그림 3은 제안한 광 수신기의 블럭다이어그램을 보여준다. TIA와 리미팅 증폭기 사이에 버퍼단을 추가함으로써 loading 효과를 줄이도록 하였고, 리미팅 증폭기 내에 옵셋 상쇄회로를 포함하여 출력 노드의 DC-레벨을 동일하게 하였다. 또한, 출력버퍼를 통해 50ohm 로드저항을 구동하도록 하였다.

1. RGC 트랜스임피던스 증폭기

그림 4는 기존의 RGC(regulated cascode) 입력단[5~6]과 낮은 전원전압에 적합하도록 개선한 RGC 입력단을 비교하여 보여준다. 기존 RGC 입력단의 경우, 1.2V의 낮은 전원전압에 대해 전압 headroom 문제가 발생한다. 즉, 기존 RGC 구조에서는 두 개의 게이트-소스 전압(VGS)과 한 개의 드레인-소스 전압(VDS) 혹은 세 개의 드레인-소스 전압(VDS)이 전원전압 내에 직렬로 연결되므로, 1.2V 전원전압(VDD)에 대해서 증폭기로서의 동작이 매우 어렵게 된다.

반면, 그림 4(b)의 개선한 RGC 입력단에서는 기존 RGC 입력구조 가운데 공통게이트 (M2 및 MP2) 단을 포함함으로써, CG 트랜지스터를 통해 M3의 게이트 전압을 높일 수 있다. 즉, CG 트랜지스터인 M2를 통해 gain-boosting 피드포워드 경로를 형성함으로써, 낮은 1.2V 전원전압에서도 회로가 동작되도록 한다. (단, 이 경우에도 1.0V보다 낮은 전압에서는 동작이 어렵다[3].)

포토다이오드로부터의 출력 전류신호는 트랜지스터

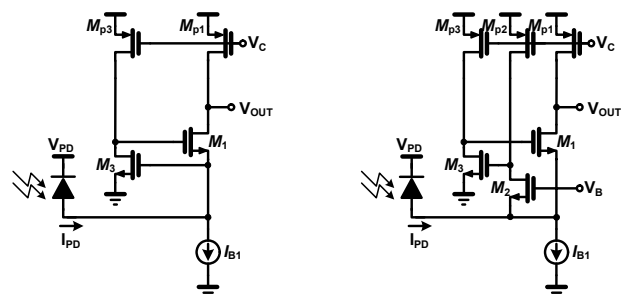


그림 4. (a) 기존의 RGC 입력구조 및 (b) 개선된 RGC 입력단의 회로도  
Fig. 4. Schematic diagram of (a) the conventional RGC input stage, and (b) the modified RGC input stage.

M1의 소스노드로 입력이 되며, 입력단 출력은 M1의 드레인 노드로부터 취해진다. 따라서 소신호 해석을 통해 입력단의 전압이득을 구하면 다음과 같다.

$$A = \frac{V_o}{V_i} \approx \frac{g_{m1}(1 - A_2A_3) + g_{mb1} + g_{ds1}}{y_1 + g_{ds1} + j\omega[C_{d1} + C_L]} \approx A_1(1 + |A_2A_3|) \quad (1)$$

여기서  $y_{1,2,3}$  는 트랜지스터 M1,2,3에 연결된 로드 어드미턴스를 표시한다.  $A_{1,2,3}$ 는 각 트랜지스터의 이득으로써, 각각 다음과 같이 나타낸다.

$$A_1 \approx \frac{g_{m1}}{y_1 + j\omega[C_{d1} + C_L]} \quad (2)$$

$$A_2 \approx \frac{g_{m2}}{y_2 + j\omega[C_{d2} + C_{g3}]} \quad (3)$$

$$A_3 \approx \frac{g_{m3}}{y_3 + j\omega[C_{d3} + C_{g1}]} \quad (4)$$

한편, RGC 입력단의 입력 임피던스는 다음과 같이 결정된다.

$$Z_i = \frac{V_i}{I_i} \approx \frac{1}{g_{m1}(1 - A_2A_3) + g_{m2} + g_{ds4} + j\omega[C_{i,tot} + A_2A_3C_{gs1}]} \approx \frac{1}{g_{m1}(1 + |A_2A_3|) + j\omega C_{i,tot}} \quad (5)$$

식 (5)로부터 보는 바와 같이, 낮은 전원전압용 RGC 입력단의 유효 트랜스컨덕턴스는 공통게이트(CG) 입력단에 비해  $(1 + |A_2A_3|)$ 배만큼 크게 증가하였고, 따라

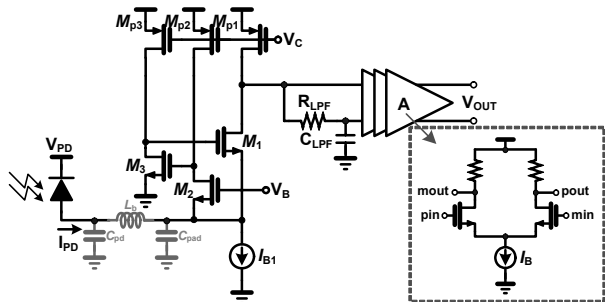


그림 5. 개선된 RGC 트랜스임피던스 증폭기의 회로도  
Fig. 5. Schematic diagram of the modified RGC TIA.

서 입력 임피던스는 그만큼 줄어든다. 이로써, 포토다이오드의 큰 기생 커패시턴스를 대역폭으로부터 효과적으로 분리할 수 있다.

그림 5는 설계한 트랜스임피던스 증폭기의 간단한 회로도를 보여준다. 광 입력소자인 포토다이오드, 개선한 RGC 입력단, 세 단의 전압이득단, 저대역 통과필터(LPF)로 구성된다. 각 전압이득단은 공통소스의 차동구조로 설계하였고, 각 단마다 최대 이득 및 대역폭을 갖도록 W/L 값을 조정하였다.

저대역 통과필터의 경우, TIA의 단일노드 출력으로부터 전압이득단의 차동입력을 구동할 수 있도록, 공통모드의 DC-전압을 입력하도록 설계하였으며, 특히 대역폭 주파수는 낮은 주파수 성분만 통과할 수 있도록 수 MHz로 낮게 설정하였다.

## 2. 대역폭 확장기술을 접합한 리미팅 증폭기

일반적으로, 트랜스임피던스 증폭기의 대역폭을 결정할 때, 원하는 데이터 속도에 비해 약 70% 정도로 작게 대역폭을 결정해야 증폭기 자체의 잡음지수를 최소화할 수 있다.

반면, 리미팅 증폭기의 경우 ISI (inter-symbol interference) 문제를 최소화할 수 있도록, 시스템 대역폭보다 더 넓게 대역폭을 갖도록 설계한다<sup>[4]</sup>. 첫째 이유는, 만약 동일한 대역폭을 갖는 두 개의 이득단이 직렬로 연결되었을 경우, 전체 시스템 대역폭은 한 단의 대역폭보다 좁게 된다. 즉, N개의 동일한 이득단이 직렬로 연결되면, 전체 대역폭은 다음과 같이 줄어든다.

$$\omega_{tot} = \omega_o \sqrt{N\sqrt{2}-1} \quad (6)$$

여기서  $\omega_o$ 는 한 단의 -3dB 대역폭 주파수이다.

이와 같은 결과에 따라, 본 논문에서 설계하는 리미팅 증폭기는 각 단이 최대 대역폭을 갖도록 설계하였다. 또한, 출력신호의 스윙레벨을 로직레벨(차동 500mVpp 전압크기)로 올릴 수 있도록 4단의 동일한 이득단을 갖도록 함으로써 높은 전압이득을 갖게 하였다.

지난 수년 동안, 증폭기의 대역폭 확장을 위한 여러 회로기법이 제안되었다. 그 중, 수동 온 칩 인덕터 소자를 이용한 인덕티브 피킹 기법은 각 이득단 내에서 다음의 FoM (figure-of-merit)을 효과적으로 개선할 수 있다<sup>[7~8]</sup>.

$$FoM \equiv \frac{\text{bandwidth}}{\text{powerdissipation}} \text{ (GHz/mW)} \quad (7)$$

따라서, 본 연구에서 설계한 리미팅 증폭기 내의 각 이득 단에도 수동 인덕티브 피킹기법을 활용하였고, 이로 인해 필요한 이득 및 대역폭확장을 얻을 수 있었다. 그림 6은 설계한 리미팅 증폭기의 블록 다이어그램 및 상세한 회로도도를 보여준다.

한 편, 칩 측정 시 PCB에서 발생할 수 있는 기생성분에 의한 대역폭 변화 및 PVT 변화에 따른 대역폭 변화를 완화하여 안정적인 대역폭을 확보할 수 있도록, 리미팅 증폭기 내 필요한 이득단에 소스 디제너레이션 (Source-Degeneration) 기법을 함께 활용하였다. 특히, 커패시턴스 및 저항 디제너레이션 기법을 동시에 이용함으로써, 전체 유효 트랜스컨덕턴스( $G_m$ )에서 발생하는 zero와 pole의 값이 일치하도록 하여 (즉, pole-zero 상쇄기법) 전체 대역폭이 증가하도록 하였다<sup>[9]</sup>. 이 외에, 오프셋 제거회로를 포함함으로써, 리미팅 증폭기 내의 높

은 이득으로 말미암아 발생할 수 있는 출력 양 노드간의 DC 오프셋 전압차이를 없애도록 하였다.

### 3. 칩 제작 및 측정결과

위에서 제안한 광 수신기를 표준 0.13 $\mu$ m CMOS 공정을 이용하여 구현하였다. 그림 7은 구현한 광 수신기 칩의 레이아웃 및 칩을 장착한 측정 PCB를 보여준다. 수신기 칩의 면적은 1.6 $\times$ 0.8mm<sup>2</sup>이다. 광 측정을 용이하게 할 수 있도록 광소자인 포토다이오드를 전기적 모델로 PCB 위에 구현하였다. 그림 8은 구현한 전기적 모델링을 보여준다. 먼저, 네트워크분석기를 통해 주파수 응답을 측정 한 결과, 전체 수신기의 트랜스임피던스 이득은 72dB $\Omega$ 이며, 대역폭은 4.7GHz로 측정되었다 (그림 9 참조). 그림 10은 PPG(pulse-patter-generator)를 이용하여 2<sup>31</sup>-1 PRBS(pseudo-random-bit-sequence) 입력신호에 대한 구현한 수신기 칩의 eye-diagram을 측정하였다. 그림 10에 나타난 바와 같이, 5-Gb/s 동작속도에 대해 매우 깨끗하고 큰 eye-diagram을 보이며, 수신기 칩의 출력 전압

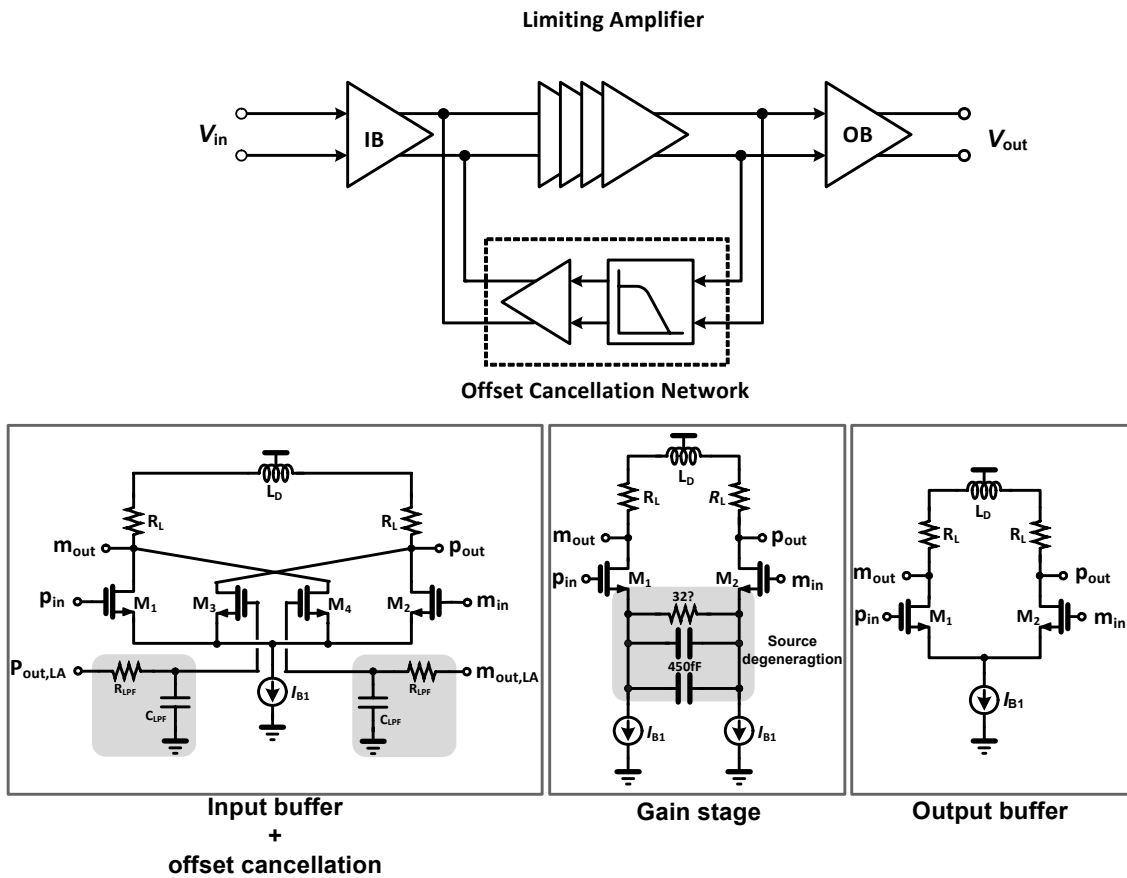


그림 6. 제안한 리미팅 증폭기의 블록 다이어그램 및 회로도  
 Fig. 6. Block diagram of the proposed LA, and its schematic diagrams.

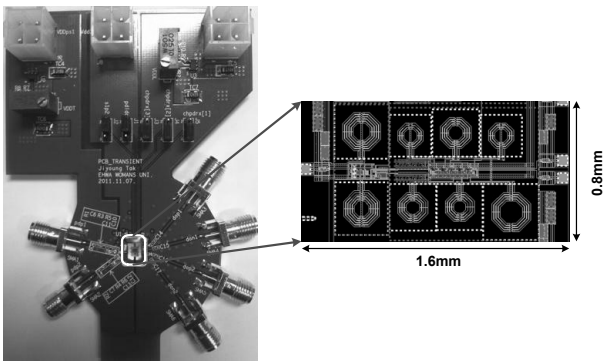


그림 7. 제안한 칩의 측정보드  
Fig. 7. Evaluation board of the proposed chip.

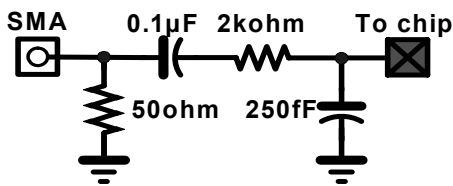


그림 8. 포토다이오드의 전기적 모델링  
Fig. 8. Electrical modeling of the photodiode.

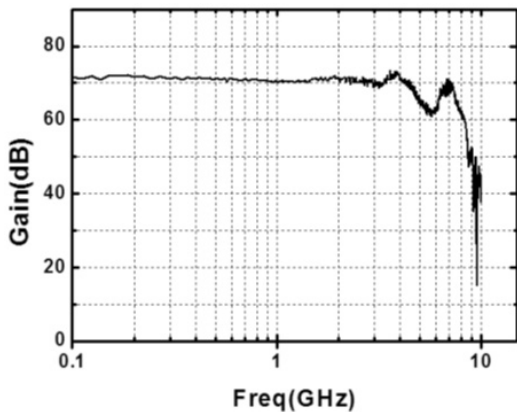


그림 9. 제안한 광 수신기의 측정한 주파수 응답  
Fig. 9. Measured frequency response of the proposed optical receiver.

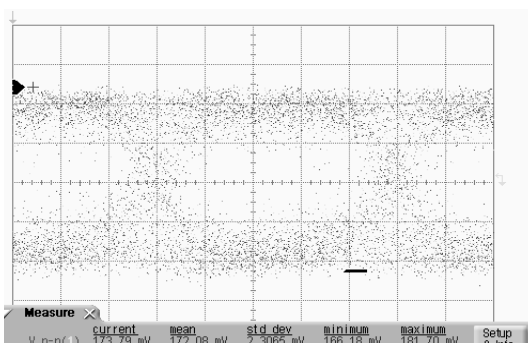


그림 10. 5-Gb/s  $2^{31}-1$  PRBS 신호 (100uA 입력전류)에 대한 측정된 출력 eye-diagram.  
Fig. 10. Measured output eye-diagrams for 5-Gb/s  $2^{31}-1$  PRBS with 100uA input currents.

표 1. 제안한 광 수신기의 성능 요약 및 기존에 발표된 다채널 광 수신기들과의 비교

Table 1. Performance summary and comparison with the previously reported CMOS multichannel optical receivers.

Param.	[9]	[10]	[11]	This work
CMOS tech.	0.18um	0.18um	0.18um	0.13um
Data rate	4Gb/s	2.5Gb/s	10Gb/s	5Gb/s
TZ gain	108dB $\Omega$	87dB $\Omega$	87dB $\Omega$	72dB $\Omega$
BW	2.8GHz	1.4GHz	7.6GHz	4.7GHz
Power diss.	70mW	50mW	210mW	66mW
Chip size	1.2x0.6m <sup>2</sup>	1.3x1.4m <sup>2</sup>	1.03x1.8m <sup>2</sup>	1.6x0.8mm <sup>2</sup>
FoM	40	28	36.2	71.2

스윙 크기는 단일노드에 대해 200mV<sub>pp</sub> 로 측정되었다. 이는 출력 임피던스 매칭을 위해 50 $\Omega$  load를 PCB 위에 추가한 것이므로, 실제 출력 load 저항 값은 25 $\Omega$ 에 해당된다. DC 측정결과, 1.2-V 전원전압으로부터 66mW를 소모하였고, 이 중 TIA는 30mW를 소모하고, 출력버퍼단을 포함한 리미팅 증폭기는 36mW를 소모하였다.

표 1은 설계한 광 수신기의 성능을 요약하고, 이를 최근 문헌에 발표된 수신기들과 성능비교 하였다. 식 (7)에 정의한 FoM의 결과에서 나타난 바와 같이, 본 논문에서 제안한 광 수신기가 전력소모 당 가장 넓은 대역폭 성능을 보여준다.

#### IV. 결 론

본 논문에서는 0.13- $\mu$ m CMOS 공정을 이용하여 5-Gb/s 광 수신기를 구현하였다. 낮은 전력소모, 높은 이득, 대역폭 확장 등의 특성을 동시에 실현하기 위해, 개선된 RGC 입력구조, 3차 interleaving 능동피드백, 소스 디제너레이션 기법 등 여러 설계기법을 활용하였다.

칩의 측정결과, 1.2V 전원으로부터 최대 66mW (출력 버퍼단 포함)의 전력을 소모하며, 72dB $\Omega$  트랜스 임피던스 이득, 4.7GHz 대역폭을 갖는다. 설계한 광 수신기는 초고속 디지털 인터페이스 응용에 대한 저전력 및 저가의 해결책을 제공할 수 있을 것으로 기대한다.

#### 참 고 문 헌

[1] T. S. -C. Kao et al., "A 5-Gbit/s CMOS Optical

Receiver With Integrated Spatially Modulated Light Detector and Equalization”, *IEEE Trans. on Circuits and Systems I*, vol. 57, pp. 2844-2857, Nov. 2010.

[2] 탁지영 et al., “멀티채널 기가비트 CMOS 광 송신기 회로”, *전자공학회지*, 48권, SD편, 12호, 52-57쪽, 2011년 12월.

[3] C. Kromer et al., “A Low-Power 20-GHz 52-dBΩ Transimpedance Amplifier in 80-nm CMOS”, *IEEE J. Solid-State Circuits*, vol. 39, no. 6, Jun. 2004.

[4] B. Razavi, *Design of Integrated Circuits for Optical Communications*, Chapter 3, McGraw-Hill, New York, 2003.

[5] S. M. Park and H. -J. Yoo, “1.25-Gb/s Regulated Cascode CMOS Transimpedance Amplifier For Gigabit Ethernet Application”, *IEEE J. of Solid-State Circuits*, Vol. 39, No.1, pp.112-121, Jan. 2004.

[6] 김영, 강진구, “광 PCB용 CMOS 광수신기 설계”, *전자공학회지*, 43권, SD편, 7호, 13-19쪽, 2006년 7월.

[7] B. Analui and A. Hajimiri, “Bandwidth Enhancement for Transimpedance Amplifiers”, *IEEE J. of Solid-State Circuits*, Vol. 39, No. 8, pp. 1263-1270, Aug. 2004.

[8] S. Shekhar et al., “Bandwidth Extension Techniques for CMOS Amplifiers”, *IEEE J. of Solid-State Circuits*, Vol. 41, No. 11, pp. 2424-2439, Nov. 2006.

[9] J. Yun et al., “4Gb/s Current-Mode Optical Transceiver in 0.18um CMOS”, *IEEE ISSCC 2009*, pp. 102-103, Feb. 2009.

[10] J. Han et al., “A 2.5-Gb/s ESD-Protected Dual-Channel Optical Transceiver Array”, *IEEE Asian Solid-State Circuits Conference*, pp.156-159, Nov. 2007

[11] W. -Z. Chen et al., “A 1.8-V 10-Gb/s fully integrated CMOS optical receiver analog front-end” *IEEE J. of Solid-State Circuits*, Vol. 40, pp. 1388-1396, Jun. 2005.

— 저 자 소 개 —



탁 지 영(학생회원)  
2010년 이화여자대학교  
전자공학과 학사졸업.  
2011년 현재 이화여자대학교  
전자공학과 석사과정.  
<주관심분야: RF 및 초고속 유선  
통신용 아날로그 회로설계>



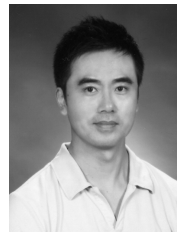
신 지 혜(학생회원)  
2011년 이화여자대학교  
전자공학과 학사졸업.  
2011년 현재 이화여자대학교  
전자공학과 석사과정.  
<주관심분야: 초고속 유선통신용  
아날로그 회로 및 PMIC 설계>



김 혜 원(학생회원)  
2010년 이화여자대학교  
전자공학과 학사졸업.  
2011년 현재 이화여자대학교  
전자공학과 석사과정.  
<주관심분야: RF 및 초고속 유선  
통신용 아날로그 회로설계>



이 진 주(학생회원)  
2011년 이화여자대학교  
전자공학과 학사졸업.  
2011년 현재 이화여자대학교  
전자공학과 석사과정.  
<주관심분야: 초고속 유선통신용  
아날로그 회로 및 PMIC 설계>



박 성 민(평생회원)  
1993년 한국과학기술원 전기및  
전자공학과 학사졸업.  
1994년 런던대학교 전자공학과  
석사 졸업.  
2000년 임페리얼 공대 전자공학과  
박사 졸업.

2011년 현재 이화여자대학교 전자공학과 부교수  
<주관심분야: RF 및 초고속 아날로그 회로 설  
계>