

캐패시터 크로스 커플링 방법을 이용한 5.2 GHz 대역에서의 저전력 저잡음 증폭기 설계

Design of a Low Power Capacitor Cross-Coupled Common-Gate Low Noise Amplifier

심재민 · 정지채*

Jae-Min Shim · Ji-Chai Jeong*

요약

본 논문에서는 TSMC 0.18 μm CMOS 공정을 사용하여 저전력, 5.2 GHz 대역 저잡음 증폭기를 설계하였다. 제안된 회로는 5.2 GHz 대역 저잡음 증폭기 설계를 위해, 공통 게이트 구조를 이용하여 입력 정합을 하였다. 입력 정합단에 캐패시터 크로스 커플링 방법을 사용하여 적은 양의 전류를 흘려 적당한 이득을 얻었다. 추가적인 전력 소비 없이 부족한 이득을 증가시키기 위하여 전류 재사용 방법을 이용하여 공통 게이트 증폭단 위에 공통 소스 구조를 추가하였다. 전류 재사용단의 인덕터의 크기를 줄이기 위하여 캐패시터를 병렬로 연결함으로써 실효 인덕턴스 값을 증가시켜 인덕터의 크기를 줄였다. 제안된 회로는 5.2 GHz 대역에서 17.4 dB의 이득과 2.7 dB의 잡음 지수 특성을 갖는다. 저잡음 증폭기는 1.8 V의 공급 전압에 대해 5.2 mW의 전력을 소비한다.

Abstract

This paper proposes a low power capacitor cross-coupled 5.2 GHz band low noise amplifier(LNA) using the current-reused topology with the TSMC 0.18 μm CMOS process. The proposed 5.2 GHz band LNA uses a capacitor cross-coupled g_m -boosting method for reducing current flow of circuit and a current-reused topology to decrease total power dissipation. The parallel LC networks are used to reduce size of spiral inductors. The simulation results show high gain of 17.4 dB and noise figure(NF) of 2.7 dB for 5.2 GHz.

Key words : Low Noise Amplifier, Capacitor Cross-Coupled Method, Current-Reused Topology, Parallel LC Network

I. 서론

최근 증가하는 휴대용 단말기에 대한 소비자들의 요구를 충족시키기 위해, 휴대용 단말기의 크기는 줄어들면서 휴대 장비의 지속성을 보장하기 위한 제

품들은 소비 전력을 최소로 하는 방향으로 기술이 개발되고 있다. 고속 또는 대용량의 데이터를 전송할 수 있는 WLAN(Wireless Local Area network)은 일상생활에서 필수 불가결한 요소가 되고 있다. 이러한 요구 사항을 위해 저비용으로 저전력 및 칩 면적

「This research was supported in part by Brain Korea 21 project in 2010, WCU(World Class University) program through the National Research Foundation of Korea funded by the Ministry of Education, Science and Technology(R31-10008), and IDEC(IC Design Education Center) for CAD tools.」

고려대학교 컴퓨터·전파통신공학과(Department of Computer and Radio Communication Engineering, Korea University)

*고려대학교 뇌공학과(Department of Brain and Cognitive Engineering, Korea University)

· Manuscript received November 25, 2011 ; Revised January 20, 2012 ; Accepted February 2, 2012. (ID No. 20111125-07S)

· Corresponding Author : Ji-Chai Jeong (e-mail : jcj@korea.ac.kr)

을 최소화할 수 있는 CMOS 공정을 이용한 연구가 활발히 진행되고 있으며, 이 공정을 적용한 단말기의 RF 수신단에서 가장 중요한 요소 중의 하나는 저잡음 증폭기이다. RF front-end 첫 단계에 위치한 저잡음 증폭기는 저잡음 특성, 높은 이득, 저전력, 입출력 정합, 선형성을 만족해야 한다. CMOS RF 회로 설계에 있어 MOSFET은 일반적으로 낮은 트랜스 컨덕턴스 때문에 높은 전력 소모가 발생한다. 따라서 CMOS RF 회로 설계에 있어서 저전력 특성을 갖는 회로 설계에 대한 연구가 활발히 이루어지고 있다.

본 논문에서는 저전력 저잡음 증폭기 구현을 위해, 캐패시터 크로스 커플링 방법을 이용하여 입력 정합을 함으로써 전류 소비를 줄였다^[1]. 또한 전류 재사용 방법을 사용하여 하나의 전류원으로 두 개의 증폭기를 작동시켜 회로 전체의 전력 소모를 최소화하였다^{[2],[3]}. 전류 재사용단에 사용된 인덕터의 크기를 줄이기 위하여 캐패시터를 병렬로 연결하여 실효 인덕턴스를 증가시킴으로써 작은 크기의 인덕터를 사용해 공진을 할 수 있었다^[4].

2장에서는 제안된 저잡음 증폭기의 회로 및 저전력 구현에 대해 보여주었고, 3장에서는 시뮬레이션 결과를 통해 제안된 저잡음 증폭기의 효율성을 보여주었다. 마지막으로 4장에서는 결론을 제시하였다.

II. 저전력 저잡음 증폭기 설계

본 논문에서는 캐패시터 크로스 커플링 방법을 이용한 저전력, 저잡음 증폭기를 설계하였다^[1]. 주파수 대역은 WLAN에 적용하기 위하여 5.2 GHz 대역을 선택하였다. 제안된 회로는 그림 1에서와 같이 입력 단에는 캐패시터 크로스 커플링 방법을 사용하여 저전력 입력 정합을 구현하였고, 추가적인 전력 소모없이 이득을 증가시키기 위해 전류 재사용 방식을 사용하였다^{[2],[3]}. 전류 재사용단의 공진을 위한 인덕터의 크기를 줄이기 위하여 병렬 LC 회로를 사용하였다^[4].

2.1 공통 소스 증폭기와 공통 게이트 증폭기의 비교

저잡음 증폭기 설계 시에 고려할 중요한 사항은 이득, 잡음 지수, 전력 소모, 역방향 차단, 안정도, 선

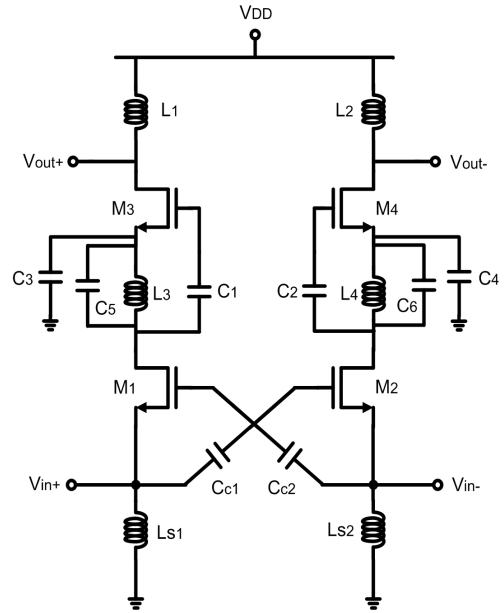


그림 1. 제안된 저전력 저잡음 증폭기
Fig. 1. Proposed low power LNA.

표 1. 저잡음 증폭기의 장단점 비교
Table 1. Advantage and disadvantage of LNA.

파라미터	공통 소스 증폭기	공통 게이트 증폭기
잡음 지수	장점	단점
유효 G_m	장점	단점
민감도	단점	장점
입력 정합	단점	장점
DC 전력	단점	장점
역방향 차단	단점	장점

형성, 입출력 정합 특성이다.

공통 소스 증폭기는 인덕티브 퇴화를 이용하여 입력 임피던스를 공진 주파수에 정합시킨다. 공통 소스 증폭기는 높은 이득과 낮은 잡음 지수를 갖는 것이 특징이다. 반면, 공통 게이트 증폭기는 이득은 낮고 비교적 높은 잡음 지수 특성을 갖지만, 입력 정합이 용이하고, 공통 소스 증폭기보다 PVT 변화에 덜 민감하여 선형성이 높다. 공통 소스 증폭기는 밀러 효과에 의해 공통 게이트 증폭기보다 역방향 차단 특성과 안정도가 낫다. 표 1에 두 가지 기본적인 증폭기에 대한 성질을 비교하였듯이 공통 게이트 증폭기의 트랜스 컨덕턴스가 증가하고 잡음 지수가 감소한다면 보다 효과적인 저잡음 증폭기를 설계할 수

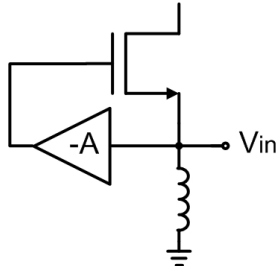


그림 2. 공통 게이트 증폭기의 트랜스 컨덕턴스 증폭 방법
Fig. 2. Basic CGLNA stage with g_m -boosting feedback amplifier.

있다^{[1],[5]}. 다음 절에 증폭기의 트랜스 컨덕턴스를 증가시키는 방법에 대하여 설명되어 있다.

2-2 일반적인 트랜스 컨덕턴스 증폭 방법

일반적으로 사용하는 공통 게이트 증폭기의 트랜스 컨덕턴스는 $G_{m,eff} = g_{mi} = 1/R_s$ 이다. 이를 증가시키기 위해 입력 정합 상태를 그림 2에서 보여지는 바와 같이 수정할 수 있다. MOS의 게이트단과 소스단 사이에 $-A$ 의 이득을 갖는 반전 증폭단을 연결하여 주면 유효 트랜스 컨덕턴스는 $G_{m,eff} = (1+A)g_{mi}$ 으로 증가한다^[5]. 유효 트랜스 컨덕턴스의 증가로 인해 공통 게이트 저잡음 증폭기는 이득과 잡음 지수의 개선이 이루어진다.

2-3 캐패시터 크로스 커플링 기법을 이용한 공통 게이트 입력정합

트랜스 컨덕턴스를 증가시키기 위한 한 방법으로 차동쌍 구조를 이용하는 캐패시터 크로스 커플링 방법이 그림 3에 소개되었다^[1]. 반전 증폭값, A 는 캐패시터 전압 분배 법칙에 따라

$$A = \frac{C_c}{C_c + C_{gs}} = \frac{1}{1 + \frac{C_{gs}}{C_c}} \quad (1)$$

으로 나타나고, 유효 트랜스 컨덕턴스는

$$G_{m,eff} = \left(\frac{C_{gs} + 2C_c}{C_{gs} + C_c} \right) g_{mi} \quad (2)$$

으로 나타난다.

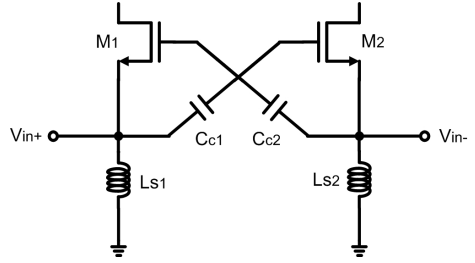


그림 3. 캐패시터 크로스 커플링 방법을 이용한 공통 게이트 저잡음 증폭기
Fig. 3. Capacitor cross coupling in a differential CG-LNA.

$C_c \gg C_{gs}$ 이므로 $A \approx 1$ 이고, $G_{m,eff} \approx 2g_{mi}$ 이 된다. 유효 트랜스 컨덕턴스가 증가함으로써 적은 전류 소모로 적당한 이득을 얻을 수 있다.

2-4 전류 재사용 기법

본 논문에서는 저전력 소모와 충분한 전압 이득을 얻기 위하여 그림 4(b)와 같은 전류 재사용 기법을 사용하였다^{[2],[3]}. 회로 구성은 그림 4(a)에 주어진 2단 cascade 구조를 하나의 바이어스 전류를 사용하는 전류 재사용 기법으로 대체하여 직류 전류가 흐를 때, 같은 전류원을 사용함으로써 전력 소모를 최소화 하였다.

2-5 병렬 LC 회로

전류 재사용단에는 공진을 위해 인덕터가 사용된

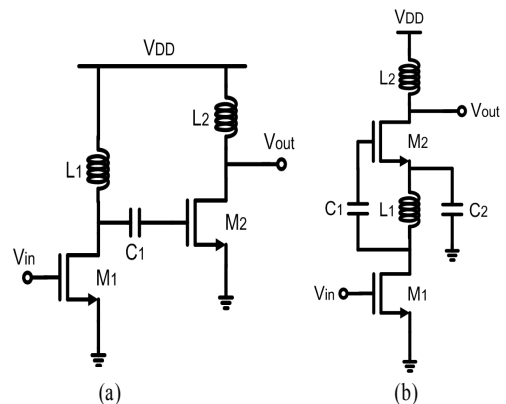


그림 4. (a) 2단 cascade 기법을 사용한 LNA, (b) 전류 재사용 기법을 사용한 LNA
Fig. 4. (a) Two stage cascade LNA, (b) current-reused LNA.

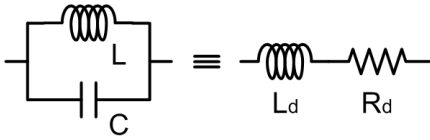


그림 5. 병렬 LC 회로와 등가 회로
Fig. 5. Parallel LC network and its equivalent circuit.

다. 그러나 인덕터는 많은 공간을 차지하기 때문에, 이를 해결하기 위해 사용하는 병렬 LC 회로를 그림 5에 나타냈다^[4]. $\omega < \omega_{o1}$ 일 때, 병렬 LC 회로의 공진 주파수는 $\omega_{o1} = 1/\sqrt{LC}$ 이며, 임피던스(Z)는 RL 회로로 구현될 수 있다.

$$Z = j\omega L_d + R_d \tag{3}$$

계산에 의해 인덕터 값은

$$L_d \approx \frac{L}{1 - \omega^2 LC} = \frac{L}{1 - (\omega/\omega_{o1})^2} \tag{4}$$

으로 계산된다. 그러므로 작은 병렬 LC 회로는 큰 인덕턴스 L_d 를 갖는 회로로 구현되어 적은 공간을 사용하는 회로를 구현할 수 있다.

III. 시뮬레이션 결과

제안된 회로는 TSMC 0.18 μm 공정을 사용하여 설계를 하였다. 회로의 결과 값들을 검증하고 산출하기 위해 Cadence RF Spectre를 사용하여 시뮬레이션을 통하여 검증하였다. 그림 6은 제안된 저잡음

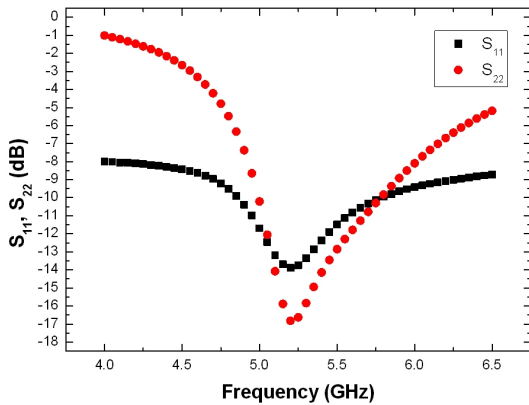


그림 6. 제안된 저잡음 증폭기의 입출력 반사 계수
Fig. 6. Input and output reflection coefficient of the proposed LNA.

증폭기의 입출력 반사 계수를 보여준다. 제안된 회로는 캐패시터 커플링 방법^[1]을 이용하여 트랜스 컨덕턴스를 증가시킨 공통 게이트를 이용하여 입력 정합을 하고, 전류 재사용단에서 병렬 LC 회로^[4]를 사용하여 신호를 5.2 GHz 대역에 공진함으로써 일반적인 공통 게이트 증폭기보다 좀 더 협대역 특성을 갖도록 하였다. 출력단에 인덕터를 연결하여 기생 캐패시턴스와 공진을 일으켜 출력 정합을 하였다.

그림에서 보여지듯이, 제안된 회로는 동작 주파수에 맞추어 최적의 입출력 반사 특성을 보이며, 반사 계수는 -10 dB보다 작은 값을 가짐을 확인할 수 있다.

그림 7은 저잡음 증폭기의 이득을 나타낸다. 제안된 회로는 동작 주파수에서 정확한 입출력 정합을

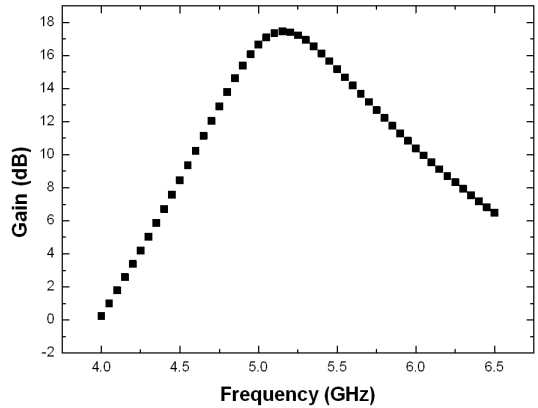


그림 7. 제안된 저잡음 증폭기의 이득
Fig. 7. Gain of the proposed LNA.

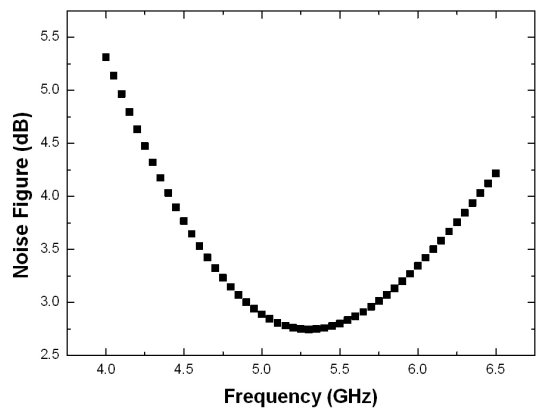


그림 8. 제안된 저잡음 증폭기의 잡음 지수
Fig. 8. Noise figure of the proposed LNA.

표 2. 제안된 저전력 저잡음 증폭기의 성능 및 비교
Table 2. Performance summary of proposed low power LNA and comparison to others.

	Ref. [1]	Ref. [3]	This work*
Technology	0.18 μm	0.18 μm	0.18 μm
Frequency(GHz)	6	5.7	5.2
Gain(dB)	7.1	12.5	17.4
NF(dB)	3.0	3.7	2.7
S_{11} (dB)	-10	-15	-13.9
S_{22} (dB)	-7.3	-9	-16.8
IIP3(dBm)	11.4	-0.45	-7.6
Power(mW)	6.5	14.4	5.2

* 시뮬레이션 결과

이루고, 전류 재사용 방법^{[2],[3]}을 이용해 이득을 증가 시킴으로써 최적의 이득을 갖게 된다. 그림에서 보여지듯이 제안된 저잡음 증폭기는 동작 주파수에서 17.4 dB의 이득을 갖는다.

제안된 회로의 잡음 지수는 그림 8에 보여지고 있다. 그림과 같이 제안된 저잡음 증폭기는 동작 주파수에서 2.7 dB의 잡음 지수를 갖는다.

이 결과들을 통해 제안된 회로가 5.2 GHz 대역에 대하여 저잡음 증폭기로써 동작할 수 있음을 확인할 수 있다. 표 2에는 제안된 저전력 저잡음 증폭기의 성능과 다른 연구와의 비교가 정리되었다.

IV. 결 론

본 논문을 통해 차동쌍 구조를 갖는 공통 게이트 구조에 트랜스 컨덕턴스를 증가시킴으로써 저전력 특성을 갖는 캐패시터 크로스 커플링 방법으로 입력 정합을 하고 전류 재사용 방법을 사용하여 저전력 특성을 갖는 저잡음 증폭기를 설계하였다. 전류 재

사용단에 사용되는 인덕터를 병렬 LC 회로로 대체 함으로써 실효 인덕턴스를 증가시켜 인덕터의 크기를 줄였다. 제안된 저잡음 증폭기는 5.2 GHz 대역에서 17.4 dB의 이득과 2.7 dB의 잡음 지수를 갖고, 1.8 V의 전원 전압을 사용하여 5.2 mW의 전력을 소모 하였다.

참 고 문 헌

- [1] W. Zhuo, X. Li, S. Shekhar, S. H. K. Embabi, J. Pineda de Gyvez, D. J. Allstot, and E. Sanchez-Sinencio, "A capacitor cross-coupled common-gate low-noise amplifier", *IEEE Transactions on Circuits and Systems- II: Express Briefs*, vol. 52, no. 12, pp. 875-879, Dec. 2005.
- [2] Nam-Jin Oh, "A low-power 3.1e10.6 GHz ultra-wideband CMOS low-noise amplifier with common-gate input stage", *Current Applied Physics*, vol. 11, no. 1, pp. 87-92, Jan. 2011.
- [3] Che-Hong Liao, Huey-Ru Chuang, "A 5.7-GHz 0.18- μm CMOS gain-controlled differential LNA with current reuse for WLAN receiver", *IEEE Microwave and Wireless Components Letters*, vol. 13, no. 12, pp. 526-528, Dec. 2003.
- [4] S. Toofan, A. R. Rahmati, A. Abrishamifar, and G. Roientan Lahiji, "Low power and high gain current reuse LNA with modified input matching and inter-stage inductors", *Microelectronics Journal*, vol. 39, no. 12, pp. 1534-1537, Dec. 2008.
- [5] D. J. Allstot, X. Li, and S. Shekhar, "Design considerations for CMOS low-noise amplifiers", *IEEE Radio Frequency Integrated Circuits Symp.*, pp. 97-100, Jun. 2004.

심재민



2010년 2월: 고려대학교 컴퓨터·
전파통신공학부 (공학사)
2010년 3월~현재: 고려대학교 컴
퓨터·전파통신공학과 석박통합
과정
[주 관심분야] RF 집적 회로설계

정지채



1980년 2월: 고려대학교 전자공학
과 (공학사)
1982년 2월: 한국과학기술원 (KAIST)
전기전자공학과 (공학석사)
1988년 2월: 미국 Carnegie-Mellon Uni-
versity (공학박사)
1982년~1985년: 한국과학기술연구
원(KIST) 연구원
1988년~1993년: AT&T Bell Lab. 연구원
1993년~1995년: 포항공과대학교 교수
1995년~2010년: 고려대학교 정보통신대학 컴퓨터·통신공
학부 교수
2010년~현재: 고려대학교 뇌공학과 교수
[주 관심분야] 초고속 광 네트워크, 광 변조 방식 기술, 회
로 및 시스템, RF 집적 회로 설계, 광생체 신호 처리