

## 삼각패치형 저역 통과 여파기의 구현

## Design of Triangular-Patch Type Low Pass Filter

오 송 이 · 황 희 용

Song-Yi Oh · Hee-Yong Hwang

## 요 약

본 논문에서는 계단 임피던스를 갖는 삼각패치형 5단 저역 통과 여파기를 제안한다. 제안된 구조는 일반적인 계단형 임피던스 저역 통과 여파기를 직각 이등변 삼각형으로 접어 구현한 구조로서, 설계법은 기존의 계단형 임피던스 여파기와 동일하다. 또한, 기존 계단형 임피던스 여파기와 다르게, 이 구조는 콤팩트하게 접히면서 생성된 slot들에 의하여 여파기의 차단 주파수 및 차단 대역폭과 감쇠극 특성을 조절할 수 있는 장점을 가지고 있고 또한, 소형화에 유리하다. 제작된 여파기는 13.75 mm×6.875 mm의 크기로 일반적인 계단형 임피던스 여파기에 비해 24.4 %의 크기가 감소되었다. 측정 결과, 통과 대역에서 -10 dB 이하의 반사 손실과 차단 대역에서 -10 dB 이하의 삽입 손실을 보였고, 약  $3f_c$ 까지 차단되었다.

## Abstract

In this paper, an stepped-impedance low pass filter(SI-LPF) of triangular-patch type is proposed. A SI-LPF designed according to the standard SI-LPF design procedure is folded as a right angled triangle. The figure of merits of this structure are the adjustabilities of the cut off frequency, the stopband and the attenuation pole frequency of the proposed LPF by varying the resultant slots after folding the SI-LPF compactly for miniaturization. The size of the fabricated LPF is 13.75 mm×6.875 mm, which is 24.4 % reduced one compared to that of the conventional SI-LPF. The measured results of the LPF show return loss of less than -10 dB at passband, insertion loss of less than -10 dB at stopband and wide stopband from 3.5 GHz to 10 GHz (about  $3f_c$ ).

Key words : Stepped-Impedance Low Pass Filter, Triangular-Patch, Miniaturization, Wide Stopband

## I. 서 론

마이크로파 여파기는 시스템의 성능에 큰 영향을 미치는 소자 중 하나로서, 마이크로파 시스템의 특정 위치에서 주파수 응답을 제어한다. 특히 저역 통과 여파기는 오실레이터나 믹서와 같은 능동 또는 수동 마이크로파 회로에서 신호 왜곡과 간섭을 줄이고, 스퓨리어스(spurious), 하모닉(harmonic) 성분들과 같은 불요파들을 제거함으로써 통신 시스템의 성능

을 극대화 시키는데 중요한 소자로서 적용된다<sup>[1]~[3]</sup>.

저역 통과 여파기를 마이크로스트립 선로나 스트립 선로를 이용하여 설계하는 방법에는 계단형 임피던스 여파기, 스텝 여파기, 헤어핀 선로 여파기 등이 있다<sup>[2]~[7]</sup>. 이러한 방법들 중에 계단형 임피던스 여파기(steped-impedance filter)는 비교적 쉽게 설계할 수 있는 여파기로서, 짧은 길이의 매우 높고 낮은 특성 임피던스를 갖는 전송 선로에 대한 근사적인 해석을 통하여 설계할 수 있다<sup>[5]~[7]</sup>. 그러나, 일반적인

강원대학교 IT대학 전기전자공학부(Dept. of Electrical and Electronic Engineering, College of Information Technology, Kangwon National University)

· Manuscript received November 25, 2011 ; Revised January 20, 2012 ; Accepted February 9, 2012. (ID No. 20111125-06S)

· Corresponding Author : Hee-Yong Hwang (e-mail : hyhwang@kangwon.ac.kr)

계단형 임피던스 여파기는 선로를 직렬로 배열하여 설계하기 때문에 공간 활용도가 떨어져 여파기의 크기를 소형화 시키는 데 한계가 있다.

한편, 블루투스, WiBro, WLAN과 같은 무선 통신 시스템의 발달로 여파기의 성능은 물론 소형화 및 집적화에 대한 요구가 증가하고 있다<sup>[1],[2],[8]</sup>. 이에 최근 여파기의 소형화 및 성능 향상을 위한 방법들이 연구되고 있고, 이러한 여파기들은 소형화 및 성능에서는 뛰어난 장점을 가지고 있다. 그러나 이러한 몇몇의 여파기들은 그 설계법이나 구조가 복잡한 단점을 가지고 있다<sup>[9]~[12]</sup>.

따라서 본 논문에서는 이러한 단점들을 보완하기 위하여 일반적인 계단형 임피던스를 갖는 저역 통과 여파기를 직각 이등변 삼각 구조로 접어 구현한 삼각패치형 저역 통과 여파기를 제안한다. 제안된 구조는 일반적인 계단형 임피던스 저역 통과 여파기의 설계법과 동일한 방법으로 쉽게 설계되면서 이러한 여파기에 비해 공간 활용도가 매우 높아 그 구조가 콤팩트한 장점을 가지고 있다. 또한, 기존의 계단형 임피던스 여파기를 접음으로서 만들어진 slot들에 의해서 제안된 여파기의 차단 주파수 및 차단 대역폭, 감쇠극 특성을 조절할 수 있어 소형화에도 유리하다.

## II. 본 론

### 2-1 계단형 임피던스를 갖는 LPF의 설계

계단형 임피던스를 갖는 저역 통과 여파기의 설계에 앞서 그림 1과 같이 집중 소자를 이용한 저역 통과 여파기를 설계하였다.

이퀄 리플(Equal-ripple) 저역 통과 여파기 설계법<sup>[6]</sup>에 의해서 통과 대역에서 0.5 dB의 리플 크기를 갖는 5단 프로토타입 소자 값을 얻었고, 이를 임피던스와 주파수 스케일링을 적용한 식 (1), (2)를 통하여 3.35 GHz의 차단 주파수에서 그림 1의 변환된 소자 값  $L_1=4.052$  nH,  $C_1=1.168$  pF,  $L_2=6.036$  nH,  $C_2=1.168$  pF,  $L_3=4.052$  nH을 구하였다. 이때,  $L'_k$ 와  $C'_k$ 는 변환된 소자 값이고,  $L_k$ 와  $C_k$ 는 프로토타입 소자 값이며,  $R_0$ 는 포트 임피던스로서 50 Ω이다.

$$L'_k = \frac{R_0 L_k}{\omega_c} \tag{1}$$

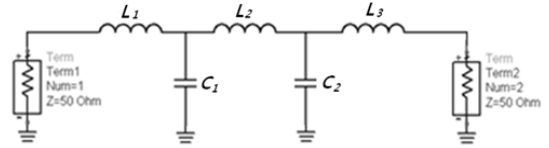


그림 1. 5단 저역 통과 여파기의 등가 회로  
Fig. 1. Equivalent circuit of 5-section LPF.

$$C'_k = \frac{C_k}{R_0 \omega_c} \tag{2}$$

참고문헌 [5]~[7]에 의하면 짧은 길이 ( $\ll \lambda/4$ )의 선로에서 매우 높은 임피던스( $Z_h$ )를 갖는 선로는 series L로, 매우 낮은 임피던스( $Z_l$ )를 갖는 선로는 shunt C로 근사적 등가가 가능하다. 이에 따라 그림 1의 등가 회로는 그림 2와 같이 임의의 최대-최저 계단형 임피던스를 갖는 마이크로스트립 저역 통과 여파기로 구현할 수 있다. 이때 최대 임피던스  $Z_h$ 와 최저 임피던스  $Z_l$ 은 선로의 폭과 길이를 고려하여 실제로 구현이 가능한 값으로 취해야 한다. 또한, T-등가 회로와 ABCD 및 Z 파라미터를 이용하여 식 (3), (4)와 같이 각 선로의 전기적 길이  $\theta$ 를 구할 수 있다. 이때,  $\theta_h$ 과  $\theta_l$ 은 각각 최대-최저 임피던스를 갖는 선로의 전기적 길이를 나타낸다.

$$\theta_h = 2 \tan^{-1} \left( \frac{L_k R_0}{2 Z_h} \right) \tag{3}$$

$$\theta_l = \sin^{-1} \left( \frac{C_k Z_l}{R_0} \right) \tag{4}$$

설계법<sup>[5]~[7]</sup>을 바탕으로, 최대-최저 임피던스를 100 Ω, 25 Ω으로 설정한 뒤 식 (3)과 식 (4)에 대입하여 각 선로의  $\theta$ 를 구하였다. 여기서 여파기의 구조가 대칭적이기 때문에  $L_1=L_3$ ,  $C_1=C_3$ 이다. 다음으로, Agilent社의 ADS LineCalc을 이용하여 각각의 마이크로스트립 선로의 길이  $L$ 과 폭  $W$ 를 얻었고, 이는 표

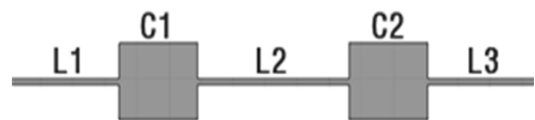


그림 2. 일반적인 계단형 임피던스를 갖는 5단 저역 통과 여파기  
Fig. 2. Conventional step-impedance 5-section LPF.

표 1. 일반적인 계단형 임피던스를 갖는 5단 저역 통과 여파기의 파라미터

Table 1. Parameter of conventional step-impedance 5-section LPF.

	$Z_h$ or $Z_l$ ( $\Omega$ )	$\theta_h$ or $\theta_l$ ( $^\circ$ )	폭 $W$ (mm)	길이 $L$ (mm)
$L_1$	100	47.28	0.30	6.87
$C_1$	25	37.94	3.95	4.92
$L_2$	100	64.85	0.30	9.42
$C_2$	25	37.94	3.95	4.92
$L_3$	100	47.28	0.30	6.87

1에 나타내었다.

## 2-2 제안된 LPF의 구조

그림 3은 제안된 삼각패치형 저역 통과 여파기이다. 이는 그림 2의 저역 통과 여파기를 콤팩트한 직각 이등변 삼각형으로 접힌 구조로서, 이때, 각 선로들이 접히면서 그 사이에 slot들이 존재하게 된다. 따라서 제안된 구조의 여파기 설계에 사용된 파라미터들은 그림 3에 표시된 길이  $L'$  및 폭  $W$ 와 slot의 길이로 정하였고, 각 파라미터의 초기 값은 다음과 같이 설정하였다. 기본적으로 모든 slot의 폭은 에칭 제작 한계를 고려하여 0.2 mm의 임의의 값으로 고정시킨 뒤 설계하였다. 우선, 길이  $L'$ 은 선로  $L_1$ 과  $L_3$ 의 길이  $L$ 을 합한 13.74 mm로 하였고, 폭  $W$ 는  $L_1$ 과  $L_3$ 의 폭인 0.3 mm로 설정하였다. 다음으로 각 slot의 길이를 이용하여 선로  $C_1$ ,  $C_2$ ,  $L_2$ 를 구현하였다. 먼저, 그림 3의  $L_2'$  폭이 0.3 mm가 되도록 slot 1의 길이를 조절하여 6.45 mm의 값을 얻었다. Slot 3의 길이는  $L_2$ 의 길이의 1/2인 4.71 mm로 설정하였다. 또한, slot 2의

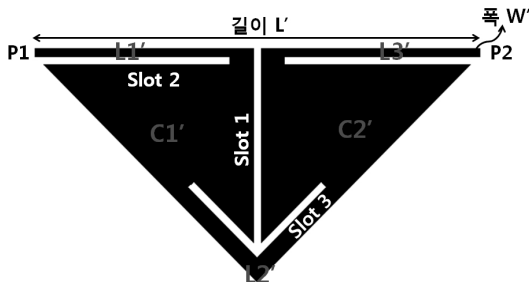


그림 3. 제안된 삼각패치형 저역 통과 여파기  
Fig. 3. Proposed triangular-patch type LPF.

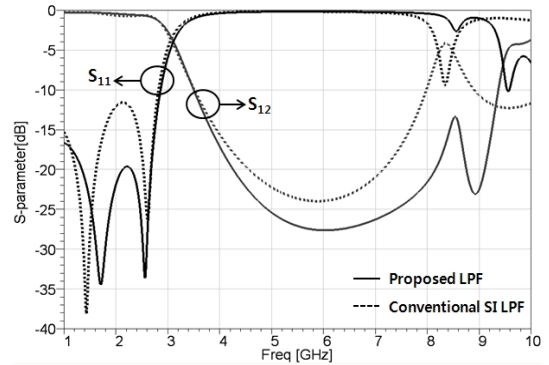


그림 4. 그림 2와 3의 구조에 대한 시뮬레이션된 S 파라미터

Fig. 4. Simulated S-parameter about structure of Fig. 2 and Fig. 3.

길이는 다음과 같은 방법으로 얻었다. 그림 2의 선로  $C_1$ 과  $C_2$ 는 그림 3의 제안된 구조에서 임의의 삼각형  $C_1'$ 과  $C_2'$ 으로 정해지게 된다. 이때, 삼각형 선로는 정확한 폭과 길이를 판단하기 어렵기 때문에  $C_1$ 과  $C_2$ 의 면적과  $C_1'$ 과  $C_2'$ 의 면적을 근사적으로 같게 보았고, 이때  $C_1'$ 과  $C_2'$ 의 면적인  $\{(1/2) \times (\text{slot 1의 길이}) \times (\text{slot 2의 길이})\}$ 에서 slot 2의 길이 6.0 mm를 구하였다.

그림 4는 Ansoft社의 HFSS<sup>TM</sup>를 사용하여 표 1의 일반적인 계단형 임피던스 저역 통과 여파기와 제안된 구조의 초기 값을 가지고 설계된 저역 통과 여파기의 시뮬레이션한 결과로 유전율 4.4, 기판 두께 0.762 mm, 손실탄젠트 0.025를 갖는 FR4 기판을 사용하였다. 제안된 저역 통과 여파기는 3.04 GHz에서 3 dB 차단 주파수와 통과 대역에서 -15 dB 이하의 반사 손실( $S_{11}$ ) 및 차단 대역에서 약 -10 dB 이하의 삽입 손실( $S_{12}$ ) 특성을 보였고, 약 8.55 GHz에서 공진 점이 발생하였다. 또한, 일반적인 저역 통과 여파기에 비해 차단 대역이 약 550 MHz 증가하였다.

## 2-3 제안된 LPF의 특징

그림 5~7은 제안된 저역 통과 여파기의 파라미터들에 대한 초기 값에서 각 slot의 길이 변화에 따른 S 파라미터 및 필터 특성을 확인한 결과이다.

그림 5는 slot 1의 길이 변화에 대한 결과로서, 3.1 mm부터 6.1 mm까지 1.0 mm 간격으로 변화시켰다. 그 결과, 길이가 증가할수록 통과 대역에서 리플의

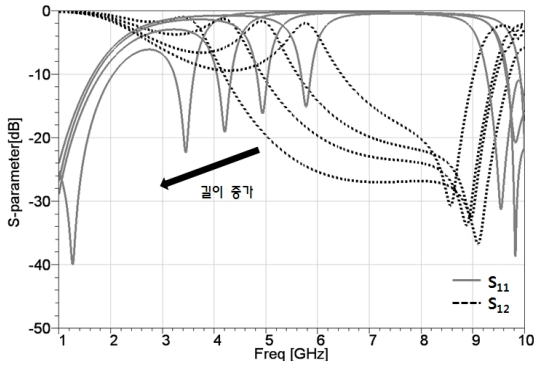


그림 5. Slot 1의 길이 변화에 따른 특성  
Fig. 5. Characteristics by length of slot 1.

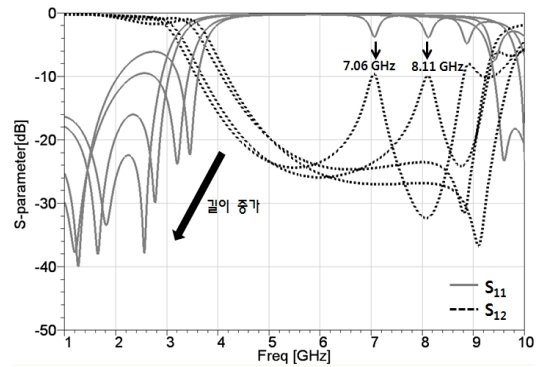


그림 7. Slot 3의 길이 변화에 따른 특성  
Fig. 7. Characteristics by length of slot 3.

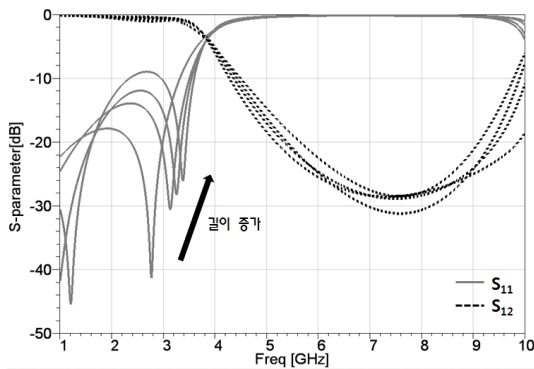


그림 6. Slot 2의 길이 변화에 따른 특성  
Fig. 6. Characteristics by length of slot 2.

크기가 작아지고 손실이 감소하며, 차단 주파수가 감소하면서 차단 대역이 넓어짐을 확인하였다.

그림 6은 slot 2의 길이 변화에 대한 특성으로 2.0 mm부터 5.0 mm까지 1.0 mm 간격으로 변화시켰고, 길이가 길어질수록 통과 대역에서 반사 손실 특성이 쇠퇴함을 알 수 있었다.

그림 7은 slot 3의 길이 변화에 따른 특성을 나타낸 것으로 3.0 mm부터 6.0 mm까지 1.0 mm 간격으로 변화시켜 보았다. 그 결과, 길이가 길어질수록 통과 대역의 리플의 크기가 작아지고 손실이 감소하였으며, 차단 대역 끝에서 감쇠극 특성이 사라짐을 확인하였다. 또한, slot 3의 길이가 길어질수록 원하지 않는 공진 지점(7.06 GHz와 8.11 GHz)이 나타났고, 이는 slot 3의 길이가 해당 주파수에서 반파장의 길이를 가질 때 나타남을 확인하였다. 따라서 제안된 구조의 필터 설계에 있어 slot 3의 길이는 중요하게 고려되어야 할 사항이다.

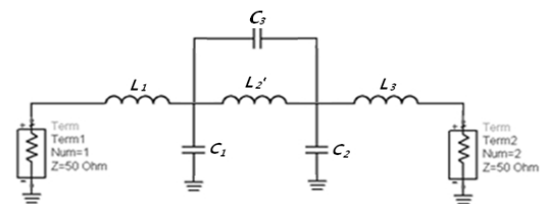


그림 8. 감쇠극이 고려된 제안된 여파기의 등가 회로  
Fig. 8. Equivalent circuit of proposed filter for attenuation pole.

그림 8은 감쇠극 특성을 고려한 제안된 구조의 등가 회로이다. 이러한 특성은 일반적인 저역 통과 여파기가 접히면서 slot 1에 의한 coupling에 의해 값이 작은  $C_3$ 가 발생하기 때문에 나타난다. 이때, 감쇠극 주파수  $f_N$ 은 식 (5)<sup>[13]</sup>로 나타낼 수 있다.

$$f_N = \frac{1}{2\pi\sqrt{L_2' C_3}} \quad (5)$$

#### 2-4 제작 및 측정

그림 9는 제작된 삼각패치형 저역 통과 여파기의 제작사진이다. 그림 5~7의 특성을 바탕으로 slot의 길이를 조절하여 10 GHz 이내에서 불필요한 공진 지점을 제거하고, 차단 대역폭을 10 GHz까지 넓혔으며, 감쇠극 특성이 차단 대역의 끝에서 나타나도록 최적화 시켰다. 제작에는 유전율 4.4, 기판 두께 0.762 mm, 손실 탄젠트 0.025를 갖는 FR4 기판을 사용하였고, Anritsu 社의 Vector Network Analyzer를 이용하여 측정하였다. 제작에 사용된 파라미터들은 표 2에 나타내었다.

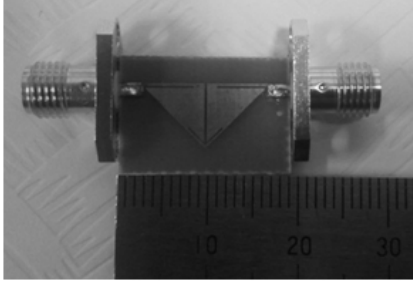


그림 9. 제작된 삼각패치형 저역 통과 여파기  
Fig. 9. Fabricated triangular-patch type LPF.

표 2. 제작에 사용된 파라미터 값  
Table 2. Parameter value used in fabrication.

	$L'$	Slot 1	Slot 2	Slot 3	$W'$
길이 (mm)	13.74	6.6	5.6	2.8	-
폭 (mm)	-	0.2	0.2	0.2	0.3

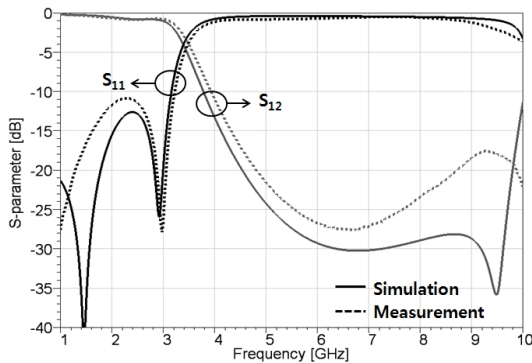


그림 10. 제작된 저역 통과 여파기의 시뮬레이션 및 측정 결과  
Fig. 10. Simulated and measured S-parameters of fabricated LPF.

그림 10은 port line이 고려되어 제작된 저역 통과 여파기의 시뮬레이션 및 측정된 결과를 나타낸 것이다. 측정 결과, 차단 주파수가 3.2 GHz이고, 차단 대역은 약  $3f_c(3.5\sim 10\text{ GHz})$ 로 측정되었다. 이때, 초기 결과인 그림 4에 비해 차단 대역이 약 1.5 GHz가 증가하였는데, 이는 초기에 설정된 slot 3의 길이를 그림 7의 결과와 최적화 과정을 바탕으로 줄여서 나타난 결과로 볼 수 있다. 또한, 통과 대역에서  $-10\text{ dB}$  이하의 반사 손실( $S_{11}$ ) 특성과 차단 대역에서  $-10\text{ dB}$  이하의 삽입 손실( $S_{12}$ ) 특성이 나타났다. 한편, 제작 과정에서 slot의 폭과 길이가 오버에칭되면서 측

정 결과의 감쇠극 주파수 및  $S_{11}$ 이 시뮬레이션과 달라짐을 보였다.

### III. 결 론

본 논문에서는 계단 임피던스를 갖는 삼각패치형 5단 저역 통과 여파기를 제안하였다. 제안된 구조는 일반적인 계단 임피던스를 갖는 저역 통과 여파기를 콤팩트한 직각 이등변 삼각형으로 접은 형태로서 설계법은 기존의 계단 임피던스 여파기 동일하게 쉽다. 또한, 접힌 구조에서 생긴 slot들은 그 길이를 변화시킴으로써 원하는 차단 주파수 및 차단 대역과 감쇠극 주파수, 공진지점을 조절할 수 있음이 확인되었다. 제작된 여파기는 동일한 차단 주파수를 갖는 일반적인 계단형 임피던스 저역 통과 여파기에 비해 24.4%의 크기가 감소되었다. 또한, 약  $3f_c$ 인 10 GHz까지 넓은 대역을 차단하였다. 제안된 여파기의 구조는 소형화 및 넓은 차단 대역을 요구하는 시스템에서 응용될 수 있을 것이다.

### 참 고 문 헌

- [1] 김경훈, 김상인, 박익모, 임한조, "저지대역의 중첩을 이용한 캐스캐이드 저역 통과 여파기의 설계", 한국전자과학회논문지, 15(7), pp. 644-652, 2004년 7월.
- [2] 김경훈, 김상인, 박익모, 임한조, "슬롯과 개방 스테르브의 특성을 결합한 소형 저역 통과 여파기", 한국전자과학회논문지, 15(1), pp. 36-43, 2004년 1월.
- [3] 김성일, 기철식, 박익모, 임한조, "개방스텝을 갖는 계단 임피던스 저역 통과 필터의 해석", 한국전자과학회논문지, 13(10), pp. 1078-1082, 2002년 12월.
- [4] H. W. Liu, Z. C. Zhang, S. Wang, L. Zhu, X. H. Guan, J. S. Lim, and D. Ahn, "Compact dual-band band-pass filter using defected microstrip structure for GPS and WLAN applications", *IEEE Electronocs Letters*, vol. 46, no. 21, pp. 1444-1445, Oct. 2010.
- [5] Satya Bhushan Shukla, R. N. Barall, and P. K. Singhal, "Design and analysis of microstrip stepped impedance lowpass filter", *Antennas, Propagation & EM*

- Theory*, 2006. ISAPE '06. 7th International Symposium on, pp. 1-3, Oct. 2006.
- [6] David M. Pozar, *Microwave Engineering*, 3<sup>rd</sup>, John Wiley & Sons, p. 337, 2005.
- [7] T. C. Edwards, *Foundation for Microstrip Circuit Design*, John Wiley & Sons, pp. 212-221.
- [8] 오송이, 황희용, "슬롯을 가진 사각 패치형의 발룬-대역 통과 여파기", 한국전자과학회논문지, 21(11), pp. 1208-1213, 2010년 11월.
- [9] Yi-Chyun Chiou, Jen-Tsai Kuo, and Jacob Chen, "Compact miniaturized stepped-impedance low-pass filters with a broad stopband", *Microwave Conference Proceedings, APMC 2005. Asia-Pacific Conference Proceedings*, Dec. 2005.
- [10] Yong-Sheng Dai, Xiong-Xin Tang, Wen-Kan Zhou, Sheng-Lei Xiao, Jie Zhang, Guang-Qiang Fu, You-Fang Yao, and Yu-Hong Guo, "A miniaturized LTCC low-pass filter based on the lumped circuit model", *Microwave and Millimeter Wave Technology(IC-MMT), 2010 International Conference on*, pp. 1578-1580, May 2010.
- [11] P. D. Laforge, R. R. Mansour, and Ming Yu, "The use of low-pass filters as impedance inverters for highly miniaturized superconducting bandstop filter designs", *Applied Superconductivity, IEEE Transactions on*, pp. 575-578, Jun. 2011.
- [12] Lingyu Li, Haiwen Liu, "Miniaturized microstrip lowpass filter using asymmetric stepped-impedance hairpin resonator and slotted ground plane", *Microwave Conference, 2008 China-Japan Joint*, pp. 376-378, Sep. 2008.
- [13] Jia-Sheng Hong, M. J. Lancaster, *Microstrip Filters for RF/Microwave Applications*, John Wiley & Sons, pp. 117-118, 2001.

오 송 이



2007년 3월~2011년 2월: 강원대학교 IT 대학 전기전자공학과 (공학사)  
 2011년 3월~현재: 강원대학교 IT대학 전기전자공학과 석사과정  
 [주 관심분야] 초고주파 수동 소자

황 희 용



1992년 2월: 서울대학교 전자공학과 (공학사)  
 1995년 2월: 서강대학교 전자공학과 (공학석사)  
 2000년 2월: 서강대학교 전자공학과 (공학박사)  
 2001년 3월~2002년 4월: 메릴랜드 주립대 연구학자  
 2010년 3월~2011년 2월: 워싱턴주립대 방문교수  
 2002년 5월~2003년 4월: (주)아모텍 연구소장  
 2003년 2월~현재: 강원대학교 IT대학 전기전자공학과 부교수  
 [주 관심분야] RF, Microwave, Millimeter Wave 분야의 부품 및 시스템