
채널도핑강도에 대한 이중게이트 MOSFET의 DIBL분석

정חק기*

Analysis of Drain Induced Barrier Lowering for Double Gate MOSFET According to Channel Doping Concentration

Hakkee Jung*

요 약

본 연구에서는 이중게이트(Double Gate; DG) MOSFET에서 발생하는 단채널효과 중 하나인 드레인유기장벽 감소(Drain Induced Barrier Lowering; DIBL)에 대하여 분석하고자 한다. 드레인유도장벽감소 현상은 채널의 길이가 짧아질 때 드레인 전압이 소스측 전위장벽에 영향을 미쳐 장벽의 높이를 감소시키는 현상으로써 단채널에서 발생하는 매우 중요한 효과이다. 본 연구에서는 DIBL을 해석하기 위하여 이미 발표된 논문에서 타당성이 입증된 포아송 방정식의 해석학적 전위분포를 이용할 것이다. 이 모델은 특히 전하분포함수에 대하여 가우시안 함수를 사용함으로써 보다 실험값에 가깝게 해석하였으며 소자 파라미터인 채널두께, 산화막두께, 도핑농도 등에 대하여 드레인유도장벽감소의 변화를 관찰하고자 한다.

ABSTRACT

In this paper, drain induced barrier lowering(DIBL) has been analyzed as one of short channel effects occurred in double gate(DG) MOSFET. The DIBL is very important short channel effects as phenomenon that barrier height becomes lower since drain voltage influences on potential barrier of source in short channel. The analytical potential distribution of Poisson equation, validated in previous papers, has been used to analyze DIBL. Since Gaussian function been used as carrier distribution for solving Poisson's equation to obtain analytical solution of potential distribution, we expect our results using this model agree with experimental results. The change of DIBL has been investigated for device parameters such as channel thickness, oxide thickness and channel doping concentration.

키워드

DGMOSFET, 도핑분포, 가우시안 분포, 포아송방정식, DIBL, 단채널효과

Keyword

이중게이트 MOSFET, doping distribution, Gaussian distribution, Poisson equation, DIBL, short channel effect

* 종신회원 : 군산대학교(hkjung@kunsan.ac.kr)

접수일자 : 2011. 11. 16

심사완료일자 : 2011. 12. 27

I. 서 론

최근 삼성전자는 세계최초로 20나노급 D램 양산에 돌입하고 있다. 이는 반도체값 하락에도 불구하고 우수한 원가경쟁력을 확보함으로써 후발업체와의 기술 격차를 벌리기 위해서이다. 삼성전자는 2011년 상반기 20나노 D램 반도체 개발을 마치고 양산을 위한 준비에 착수해왔으며, 지난 2분기 때 밝힌 연말 양산 계획보다도 두 달 이상 시기를 앞당겼다. 현재 삼성과 하이닉스 등 선두기업들은 30나노와 40나노 제품 비중이 절반을 넘는 반면, 일본과 대만 기업들은 아직 40나노와 50나노급이 주력 제품이다. 삼성전자는 30나노급에 이어 20나노급도 가장 먼저 양산을 시작하면서 경쟁업체들 대비 높은 원가경쟁력을 확보했다고 볼 수 있다. 특히 최근 반도체 메모리 가격의 추락으로 후발업체가 기술개발보단 생존여부에 관심을 기울이고 있어 기술적으로 우위에 있는 선발업체들의 20나노급 메모리소자의 출시는 더욱 의미있다고 사료된다.

그러나 기존의 CMOSFET 소자의 경우 20나노급 소자에서는 단채널효과 등 소자동작특성에 큰 영향을 미치는 이차효과들이 발생하고 있다. 소자의 크기가 감소하면서 특히 문턱전압이하 특성에서 많은 문제가 발생하고 있다. 즉, 단채널효과 중에는 문턱전압이하스윙 특성의 저하, 문턱전압의 급격한 변화 그리고 드레인유기장벽감소와 같은 현상들이 있으며 이들은 소자의 특성저하에 큰 영향을 미치고 있다. 메모리의 용량이 기가바이트단위로 증가하면서 소자크기의 감소는 필연적인 사항이 되었다. 그러나 단채널효과 때문에 기존의 MOSFET에 한계를 보이고 있으며 이와같은 문제점을 해결하기 위하여 개발되고 있는 소자가 다중게이트 MOSFET이다. 다중게이트 MOSFET의 경우, 여러 게이트에서 채널 내 캐리어들을 제어하므로 게이트의 전류 제어 능력이 증가되며 특히 채널이 완전결핍상태(fully depleted)가 되면 무시할 수 있는 산란 때문에 캐리어의 속도를 증가시켜 스위칭속도를 향상시킬 수 있다는 장점이 있다.

다중게이트 MOSFET중 가장 간단한 이중게이트 MOSFET소자에 대한 연구가 활발히 진행되고 있으며 이론적 연구도 병행되고 있다.[1,2] 이론적인 연구의 대부분은 문턱전압이하 특성 및 단채널효과 감소에 대한

연구로서 포아송방정식을 풀어 해석학적 전위분포모델 등을 구하여 실험값에 근사한 모델을 얻고자 노력하고 있다. 포아송방정식을 풀 때 전하분포에 대한 여러 가지 모델을 제시하고 있다[3,4]. 그러나 실험값에 유사한 전하분포는 가우스함수이므로 Tiwari et al.[5]은 이를 이용하여 전위분포에 대한 해석학적 모델을 구하고 문턱전압에 대한 모델까지 제시하였다. 그러나 드레인유도장벽감소현상에 대하여 언급하지 않았으며 소자파라미터에 대한 구체적인 고찰도 하지 않았다. 이에 본 연구에서는 Tiwari의 모델을 설명하고 장단점을 분석한 후, 드레인유도장벽감소현상을 소자파라미터의 변화에 대하여 고찰하고자 한다. 소자파라미터로는 게이트산화막의 두께, 채널의 두께 및 도핑농도 및 형태 등을 사용할 것이다.

2장에서는 Tiwari의 전위분포 모델 및 문턱전압모델에 대하여 설명할 것이며 3장에서 드레인유도장벽감소현상을 소자파라미터에 대하여 분석할 것이다. 4장에서 결론 및 향후 개발방향에 대하여 제시할 것이다.

II. 드레인유도장벽감소 모델

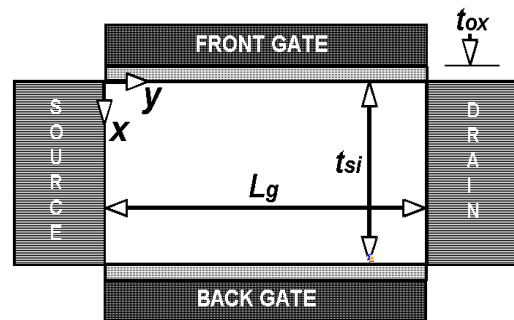


그림 1. DG MOSFET의 개략도
Fig. 1 Schematic view of DG MOSFET

그림 1은 이 논문에서 사용한 DG MOSFET의 개략도로서 x, y, z 방향에 대한 전위분포를 구하기 위하여 다음과 같은 포아송방정식을 이용한다.

$$\nabla^2 \phi(x, y, z) = \frac{qn(x)}{\epsilon_{si}} \quad (1)$$

여기서 q 는 전자전하량, ϵ_{si} 는 실리콘의 유전율이다. 그러나 z 방향으로의 전위분포는 거의 일정하므로 [6] x, y 방향의 2차원 전위분포만을 이용하여 해석학적 모델을 유도하였다. $n(x)$ 는 채널내 도핑분포함수로서 식 (2)와 같은 가우시안 분포함수를 이용하였다.

$$n(x) = N_p \exp\left\{\frac{-(x - R_p)}{2\sigma_p^2}\right\} \quad (2)$$

여기서 N_p 는 이온주입시 도즈량(cm^{-2})에 의하여 결정되는 최대 도핑분포값이며 R_p 와 σ_p 는 각각 이온주입의 범위 및 분포편차를 나타낸다. 식 (1)과 (2)를 풀기 위하여 Tiwari et al.[5]과 Zhang et. al[7]의 경계조건 등을 이용하면 표면전위분포는 식(3)과 같다.

$$\phi_s = F \exp(y/\lambda) + G \exp(-y/\lambda) + V_G - V_{fb} - \lambda^2 q N_p \exp(-B^2)/\epsilon_{si} \quad (3)$$

여기서 B, F, G, λ 는 참고문헌[8]에 표시되어 있으며 ϕ_s 는 표면전위이며 V_{fb} 는 평탄전위, V_G 는 게이트 전압이다. 표면전위의 최소값을 구하기 위하여 식(3)의 미분값을 이용한다. 즉, $d\phi_s/dy |_{y=y_{min}} = 0$ 에서 y_{min} 을 구하여 표면전위의 최소값을 구한다. 이때 문턱전압의 정의, 즉 표면전위의 최소값이 페르미전위의 2배가 될 때의 게이트전압을 구하여 문턱전압으로 정한다. 정의를 이용하여 구한 문턱전압은 다음과 같다.

$$V_{th} = \frac{R - \{R^2 - 4(4HK - 1) \times (4NP - S^2)\}^{1/2}}{8HK - 2} \quad (4)$$

$$S = V_{fb} + 2\phi_f + \lambda^2 q N_p \exp(-B^2)/\epsilon_{si}$$

$$R = 2S - 4HK[(M - V_D / (\exp(L_g/\lambda) - 1)) + (M - V_D / (\exp(-L_g/\lambda) - 1))]$$

여기서 H, K, M, N, P 는 참고문헌[8]에 표시되어 있다. 식(4)에서 ϕ_f 는 페르미전위, ϵ_{si} 는 실리콘의 유전

율, V_D 는 드레인 전압이다. 식 (3)과 (4)에서 알 수 있듯이 표면전위분포와 문턱전압은 드레인 전압에 따라 변화하게 된다.

식 (3)을 고찰해 보면 채널길이가 클 때 G 에서 V_D 의 영향은 매우 작아지는 것을 알 수 있으며 또한 F 는 H 값의 감소에 의하여 V_D 의 영향이 작아지는 것을 알 수 있다. 그러나 채널길이가 작아지면 드레인전압의 영향력이 상대적으로 증가함을 알 수 있다. 본 연구에서는 식 (4)를 이용하여 문턱전압을 구하였으며 이때 드레인 전압을 1V 변화시켰을 때 문턱전압의 변화 즉, 드레인유도장벽감소 현상을 식(2)의 이온주입범위 및 분포편차를 변화시키면서 구하여 고찰하였다. 즉 드레인전압 1V당 드레인유도장벽감소는 다음과 같은 식으로 나타낼 수 있다.

$$DIBL = V_{th}(V_D = 0V) - V_{th}(V_D = 1V) \quad (5)$$

문턱전압을 유도할 때 소자파라미터에 대하여 변화가 발생하며 이는 드레인유도장벽감소 현상에도 영향을 미친다. 그러므로 본 연구에서는 소자파라미터에 대한 드레인유도장벽감소현상을 채널도핑농도의 변화에 대하여 고찰할 것이다.

III. 드레인유도장벽감소

식 (3)과 식 (4)에 의하여 구한 표면전위분포 및 문턱전압의 타당성은 기존에 발표한 논문에서 입증하였다.[8,9] 식 (3)을 이용하여 구한 채널내 포텐셜에너지 분포를 그림 2에 도시하였다. 그림 2(a)와 같이 채널길이가 상대적으로 클 때는 소스측에서 드레인유도장벽감소 현상이 거의 발생하지 않으나 그림 2(b)와 같이 채널길이가 20nm까지 감소하면 드레인전압에 의한 영향이 소스측까지 미쳐 포텐셜에너지가 감소하는 것을 알 수 있다. 즉 드레인유도장벽감소 현상이 발생하고 있다.

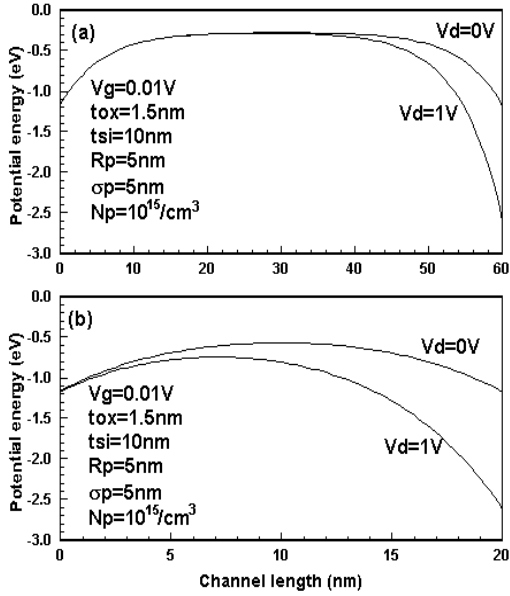


그림 2. 인가전압에 따른 포텐셜에너지분포
Fig. 2 Potential energy distribution according to applied voltage

이러한 현상은 낮은 게이트전압으로 소자를 ON시킬 수 있어 문턱전압에 영향을 미치게 된다. 본 연구에서는 가우스함수의 파라미터인 이온주입의 범위 및 분포편차가 드레인유도장벽감소에 미치는 영향을 분석하고자 한다.

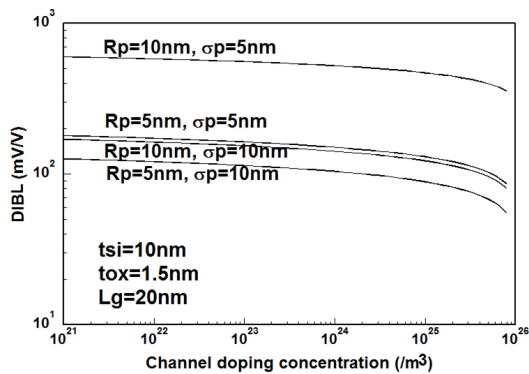


그림 3. 도핑형태를 파라미터로 한 도핑농도에 따른 드레인유도장벽감소
Fig. 3 Drain Induced Barrier Lowering for doping concentration with parameters of doping distribution

그림 3에 게이트산화막의 두께 1.5nm, 게이트길이 20nm, 채널두께 10nm일 때 드레인유도장벽감소현상을 이온주입의 범위 및 분포편차를 파라미터로 도시하였다. 도핑농도가 증가하면 드레인유도장벽감소가 감소하는 것을 알 수 있다. 이는 도핑농도가 증가하면 전도중심이 게이트단자로 이동하여 문턱전압은 드레인 전압보다 게이트전압의 영향을 더욱 받기 때문이다.[2] 그러나 $10^{24}/m^3$ 정도까지는 거의 일정한 분포를 나타내고 있다. 또한 이온주입 범위가 감소할수록 그리고 분포편차가 증가할수록 드레인유도장벽감소는 더욱 감소하고 있다. 특히 이온주입범위보다 분포편차가 상대적으로 클 때 드레인유도장벽감소현상은 매우 감소함을 알 수 있다. 이와같이 도핑분포함수의 형태에 따라 드레인유도장벽감소현상이 크게 영향을 받는 것을 알 수 있다.

그림 4에 게이트산화막의 두께를 변화시키면서 도핑농도에 따라 드레인유도장벽감소를 관찰하였다. 게이트산화막두께가 감소할수록 드레인유도장벽감소 현상은 현저히 감소하는 것을 알 수 있다. 특히 게이트산화막 두께가 1.5nm이하에서는 도핑강도에 따라 거의 일정한 드레인유도장벽감소 현상이 발생하였다. 또한 게이트산화막두께가 증가하여 3nm이상이 되면 도핑강도의 증가에 따라 드레인유도장벽감소 현상의 감소율도 증가하고 있는 것을 관찰할 수 있다.

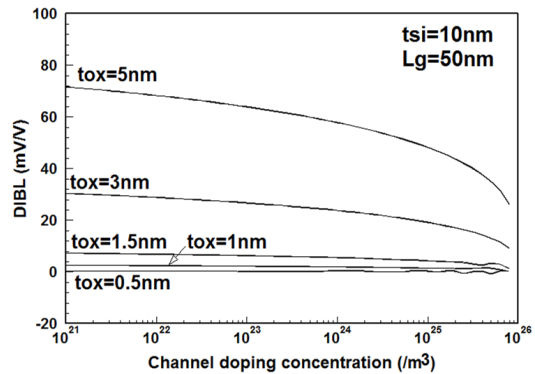


그림 4. 게이트산화막두께를 파라미터로 한 도핑농도에 따른 드레인유도장벽감소
Fig. 4 Drain Induced Barrier Lowering for doping concentration with parameter of gate oxide thickness

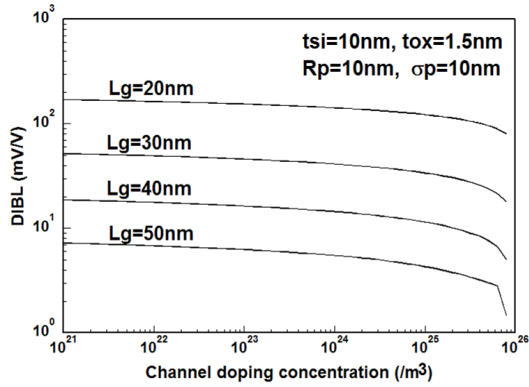


그림 5. 채널길이를 파라미터로 한 도핑강도에 따른 드레인유도장벽감소
 Fig. 5 Drain Induced Barrier Lowering for doping concentration with parameter of channel length

게이트산화막 두께의 감소에 따라 게이트전압의 영향력이 더욱 증가하므로 드레인유도장벽감소 현상이 감소하는 것을 알 수 있다. 이는 그림 3의 분석에서도 전술한 바와같이 게이트전압에 의한 영향력이 상대적으로 드레인전압의 영향력보다 증가하면 드레인유도장벽감소 현상이 감소하는 것을 알 수 있다.

채널길이는 단채널효과를 발생시키는 가장 큰 요인이나 집적회로의 생산성향상을 위하여 계속 감소하여야만 한다. 그림 5에 채널길이의 변화에 대한 드레인유도장벽감소 현상의 변화를 도시하였다. 그림 5에서 알 수 있듯이 채널길이가 감소하면 드레인유도장벽감소 현상이 매우 증가하고 있다. 그러나 채널길이에 대한 드레인유도장벽감소는 도핑강도에 관계없이 거의 일정함을 관찰할 수 있다. 이는 그림 2에서 설명한 바와같이 채널길이가 감소하면 드레인전압에 의한 소스측에서의 포텐셜에너지 감소가 거의 비례적으로 발생하고 있다는 것을 알 수 있다. 그러나 도핑강도에 따라 감소하는 경향을 나타내고 있다.

채널두께의 변화에 대한 드레인유도장벽감소 현상을 그림 6에 도시하였다. 채널두께는 채널길이와 함께 소자크기 감소시 스케일링되어야하는 요소이므로 이에 대한 변화는 채널길이와 함께 매우 중요하다. 채널두께는 일반적으로 채널길이보다 작기 때문에 채널길이가 50nm일 때 채널두께를 40nm까지 변화시키면서 관찰하였다.

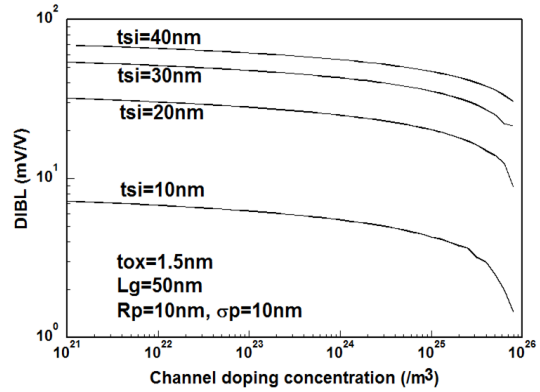


그림 6. 채널두께를 파라미터로 한 도핑강도에 따른 드레인유도장벽감소
 Fig. 6 Drain Induced Barrier Lowering for doping concentration with parameter of channel thickness

채널두께가 감소하면 드레인유도장벽감소 현상도 현저히 감소하고 있는 것을 관찰할 수 있다. 또한 채널두께가 증가하면 드레인유도장벽감소 현상도 증가하나 증가분은 채널두께에 따라 감소하고 있다. 채널두께가 감소하면 이중게이트 MOSFET의 경우 전도중심이 게이트 단자에 가까워지므로 게이트전압의 전류제어 능력이 증가하게 된다. 즉, 드레인전압의 영향력보다 게이트전압의 영향력이 증가하여 상대적으로 드레인전압에 의한 포텐셜에너지의 감소 현상이 미흡하게 발생하고 있는 것이다.

IV. 결 론

본 연구에서는 이중게이트 MOSFET에서 발생하는 단채널효과 중 하나인 드레인유도장벽감소에 대하여 분석하였다. 드레인유도장벽감소를 해석하기 위하여 이미 발표된 논문에서 타당성이 입증된 포아송방정식의 해석학적 전위분포를 이용하였다. 채널도핑강도에 따라 소자파라미터 즉, 채널도핑의 형태 및 게이트산화막두께, 그리고 채널길이 및 두께 등을 파라미터로 분석하였다. 분석결과 도핑강도가 증가하면 드레인유도장벽감소가 감소하는 것을 알 수 있었으며 감소현상은 도핑분포의 형태를 결정하는 이온주입범위 및 분포편차에 크게 영향을 받고 있다는 것을 알 수 있었다.

게이트산화막두께가 감소할수록 드레인유도장벽감소현상도 현저히 감소하는 것을 알 수 있었으며 이는 게이트산화막의 두께가 감소하면 게이트전압의 영향력증가로 상대적으로 드레인전압의 영향력이 감소했기 때문이라고 사료된다. 또한 채널길이가 감소할수록 그리고 채널두께가 증가할수록 드레인유도장벽감소 현상은 크게 증가하였다. 이중게이트 MOSFET설계시 단채널 효과의 감소를 위해선 상기에서 언급한 소자파라미터 값들을 고려하여야 할 것이며 이상의 결과는 향후 이중 게이트 MOSFET의 설계의 기초로 사용될 수 있다고 사료된다.

참고문헌

[1] J.E.Suseno, M.T.Ahmadi, M.A.Riyadi and R.Ismail, "Extraction of SPICE Model for Double Gate Vertical MOSFET," 2009 3th Asia International Conference on Modeling & Simulation, pp.761-766, 2009.

[2] H.K.Jung and S.Dimitrijevic, "Analysis of Subthreshold Carrier Transport for Ultimate DGMOSFET", IEEE Trans. Electron Devices, vol.53, no.4, pp.685-691, 2006.

[3] S.Namana, S.Baishya and K.Koley, " A Subthreshold Surface Potential Modeling of Drain/Source Edge Effect on Double Gate MOS Transistor," 2010 International Conference on Electronics and Information Engineering, vol. 1, pp.87-91, 2010.

[4] A. Sahoo, P.Kumar and S. Mahapatra, "A Computationally Efficient Generalized Poisson Solution for Independent Double-Gate Transistors," IEEE Trans. Electron Devices, vol. 57, no.3, pp.632-636, 2010.

[5] P.K. Tiwari, S. Kumar, S. Mittal, V. Srivastava, U. Pandey and S. Jit, "A 2D Analytical Model of the Channel Potential and Threshold Voltage of Double-Gate(DG) MOSFETs with Vertical Gaussian Doping Profile," IMPACT-2009, pp.52-55, 2009.

[6] A.S.Havaladar, G.Katti, N.DasGupta and A.Das Gupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation,"

IEEE Trans. Electron Devices, vol. 53, no.4, pp.737-741, 2006.

[7] G. Zhang, Z. Shao and K. Zhou, "Threshold voltage model for short channel FD-SOI MOSFETs with vertical Gaussian profile," IEEE Tran. Electron Devices, vol. 55, pp.803-809, 2008.

[8] 정학기, "비선형도핑분포를 이용한 DGMOSFET의 산화막두께에 대한 문턱전압이하 특성분석," 한국해양정보통신학회 논문지, vol.15, no.7, pp.1537-1542, 2011.

[9] Hak Kee Jung, "Analysis of Doping Profile Dependent Threshold Voltage for DGMOSFET Using Gaussian Function", International Journal of KIMICS, Vol.9, No. 3, pp.310-314, 2011.

저자소개

정학기(Hak-Kee Jung)

한국정보통신학회 논문지
제15권 제10호 참조