
디지털 홀로그램의 2차원적인 병렬 생성을 위한 알고리즘 및 고성능 하드웨어 설계

양월성* · 서영호** · 김동욱***

A New Algorithm and High-Performance Hardware Design for 2-Dimensional Parallel
Generation of Digital Hologram

Wol-Sung Yang* · Young-Ho Seo** · Dong-Wook Kim***

본 연구는 지식경제부 및 한국산업기술평가위원회의 산업융합원천기술개발사업(정보통신)의 일환으로 수행하였음.
[KI002058, 대화형 디지털 홀로그램 통합서비스 시스템의 구현을 위한 신호 처리 요소 기술 및 SoC 개발]

요 약

본 논문에서는 홀로그램의 기본 원리인 빛의 간섭현상을 수학적 연산을 통하여 획득하는 컴퓨터 생성 홀로그램의 고속 알고리즘을 제안하고, 이를 하드웨어로 구현한다. 컴퓨터 생성 홀로그램을 고속화하기 위하여 연산 식을 변형하여 병렬 연산이 가능하도록 하며, 이를 두 종류의 (초기 연산 셀과 추가 연산 셀) 구조로 하드웨어를 구현한다. 병렬 연산 알고리즘은 홀로그램의 화소 맨 좌측 열의 값만 연산한 후 나머지 열의 화소 값은 모두 동시에 구할 수 있는 알고리즘으로, 초기 연산 셀은 화소 맨 좌측 값을 연산하고, 나머지 열의 값은 추가 연산 셀로 연산하는 방법이다. 최대 동작 주파수는 약 215MHz이었으며, 이 동작 주파수를 기준으로 기존의 방법들 중 가장 우수한 성능을 보이는 방법과 동일하게 환경을 설정하여 실험을 수행하였다. 그 결과 초당 62.9 CGH 프레임을 연산하는 기존의 방법에 비해 제안한 방법은 초당 81.75 CGH 프레임을 연산하여 약 1.3배의 속도가 향상됨을 확인하였다.

ABSTRACT

In this paper, we propose and implement a high-speed algorithm for CGH that is to calculate digital hologram by modeling the interference phenomenon for tow lights. This algorithm changes the computation equations into a parallel-computable ones and implements it with a structure consisting of two kinds of cells (initial calculation cell, and update calculation cell). The parallel computation algorithm is to get the rest hologram pixels concurrently after calculation the first hologram column. Here, the initial calculation cells compute the first column of the hologram and the update calculation cells compute the rest of the hologram. The two kinds of cells performs a pipeline operation to complete the operations of the two cells at the same time. A CGH calculator to compute the hole hologram for a light source is structured by arranging the two kinds of cells. Results from simulation showed that the maximum operation frequency is about 215MHz. So, experiments are performed by setting this frequency and the same environments as the method showing the best performance. As the results, the proposed one could complete the computation of 81.75 CGH frames per second, while the previous method computes 62.9 CGH frames per second.

키워드

디지털홀로그램, 컴퓨터생성홀로그램, VLSI, 하드웨어 디자인

Key word

digital hologram, computer-generated hologram, VLSI, hardware design

* 준회원 : 광운대학교
** 종신회원 : 광운대학교
*** 종신회원 : 광운대학교 (dwkim@kw.ac.kr)

접수일자 : 2011. 08. 09
심사완료일자 : 2011. 08. 19

I. 서 론

홀로그램을 생성하는 방법 중 빛의 간섭현상을 수학적 식으로 구현하여 홀로그램을 생성하는 방법을 컴퓨터 생성 홀로그램(Computer Generated Hologram : CGH)이라고 한다[1]. 컴퓨터 생성 홀로그램 방법을 이용하여 홀로그램을 생성하기 위해서는 많은 연산량 때문에 생성 시간이 오래 걸려 지금까지 이 속도를 향상시키는 고속화 방법이 많이 연구되고 있다. 고속화 방법으로는 연산량 자체를 줄이는 방법[2][3], 연산의 일부분을 미리 계산하여 Look-up Table로 구현해 놓고 이를 사용하여 속도를 높이는 방법[4], 그래픽 처리 장치(GPU)를 이용하여 속도를 높이는 방법[5], 그리고 전용 하드웨어(Hardware)로 구현하여 연산속도를 높이는 방법[7][8] 등이 있다.

연산량 자체를 줄이는 방법은 컴퓨터 생성 홀로그램의 수학적 식을 변형하여 연산량을 줄이는 방법으로 [2]는 CGH식을 Fresnel 홀로그램으로 근사화하고 Recursive 식으로 변형하여 연산량을 줄였고, [3]은 CGH식을 Fresnel 홀로그램으로 근사화하고 X, Y항을 분리한 식으로 변형하여 Split Look-up Table을 구성하여 연산량을 줄였다. 그래픽 처리 장치를 이용한 방법으로는 [5]에서 nVidia사의 CUDA (Compute Unified Device Architecture)로 구현한 것과 [16]에서 AMD사의 HD5000series (RV870)로 구현한 방법이 제안되었다. 그러나 위의 경우 모두 컴퓨터 생성 홀로그램을 Recursive 연산을 이용하거나 그래픽 처리 장치를 이용한 것으로, 소프트웨어 기반으로는 완벽한 병렬처리를 수행하기에는 한계가 있다. 전용 하드웨어를 설계하는 방법으로는 일본 Chiba 대학에서 구현한 HoRN-Series가 제안되었다[7]. 이 방법 역시 연산방법을 Recursive 연산방법을 사용함으로써 고속화에 한계가 있다.

본 논문에서는 컴퓨터 생성 홀로그램의 고속화를 위해 새로운 병렬 연산 알고리즘을 제안하고 이를 두 종류의 셀(cell)로 구성되는 하드웨어로 구현한다. 제안된 하드웨어는 FPGA(Field Programmable Gate Array)로 구현하며, 셀 구조의 병렬 연산 특성인 구현된 하드웨어의 양에 따라 CGH 생성속도에 향상되는 것을 확인한다.

본 논문은 다음과 같이 구성된다. 2장에서는 컴퓨터 생성 홀로그램 및 고속화 방법에 대해 설명한다. 3장에서는 본 논문에서 제안한 새로운 알고리즘을 설명하고 4장에서 이를 이용하여 구현된 하드웨어의 구조와 동작 과정을 보인다. 5장에서는 본 논문의 결론과 향후 연구 방향을 기술한다.

II. 컴퓨터 생성 홀로그램

홀로그램은 빛의 간섭현상을 기록할 수 있는 광학 시스템을 이용하여 생성할 수도 있지만, 물체파와 기준파의 간섭현상을 수학적으로 모델링하여 연산에 의해서 생성할 수도 있다. 이러한 수학적 연산을 통해 얻어진 홀로그램을 컴퓨터 생성 홀로그램이라고 한다. 여러 종류의 CGH가 있지만 본 논문에서는 위상방식을 사용한다.

파면의 간격이 시간과 공간에 걸쳐 일정하게 유지되는 가간섭성 광이 어떤 형태를 가진 물체에 부딪쳐 반사될 때는 그 반사된 광의 파면은 물체의 형태에 따라 변한다. 즉 파면의 위상 변화가 물체의 형상에 따라 변화하게 된다. 그러므로 물체의 형상에 관한 좌표 정보가 주어지면 형상에 따라 변화하는 파면의 위상변화는 기하광학적인 광선추적에 의해 쉽게 계산된다. 컴퓨터 생성 홀로그램은 식 (1)과 같이 정의된다.

$$I_{\alpha} = \sum_j^N A_j \cos(k \sqrt{(px_{\alpha} - px_j)^2 + (py_{\alpha} - py_j)^2 + z_j^2}) \quad (1)$$

여기서 k 는 기준파의 파수(wave number)로 $2\pi/\lambda$ (λ = 빛의 파장), p 는 홀로그램의 화소 크기(pixel pitch), x_{α} 와 y_{α} 는 홀로그램의 좌표, x_j, y_j , 및 z_j 는 3차원 객체의 좌표를 나타내며, A_j 는 물체의 명암도(Intensity)이며, I_{α} 는 α 위치의 홀로그램 값을 나타낸다.

반복가산 방법은 물체의 한 광원이 홀로그램에 전체에 영향을 준다는 것에 기본원칙을 두고, 물체의 각 광원이 홀로그램 각 화소에 미치는 영향을 계산하여 각 화소의 영향을 모두 누적덧셈하여 홀로그램 화소를 완성한다.

식 (1)에서 $x_{\alpha}, y_{\alpha}, x_j, y_j$ 에 비해 z_j 가 충분히 크다고 가정하면(실제 홀로그래프의 크기나 물체의 크기보다 홀로그래프에서 물체까지의 거리가 매우 크며, 이것을 Fresnel 홀로그래프라 함), 제곱근을 Taylor 급수로 전개한 후 두 번째 항 이후를 제거하여 근사하면 식 (1)은 식 (2)와 같이 나타낼 수 있다.

$$I_{\alpha} = \sum_j A_j \cos \left\{ 2\pi \left[\frac{Z_j}{\lambda} + \frac{p^2}{2\lambda Z_j} ((x_{\alpha} - x_j)^2 + (y_{\alpha} - y_j)^2) \right] \right\} \quad (2)$$

$$= \sum_j A_j \cos [2\pi \{ \theta_z + \theta_{xy} \}]$$

여기서, $x_{\alpha j} = x_{\alpha} - x_j, y_{\alpha j} = y_{\alpha} - y_j$ 이다. 이와 같이 식을 변경하면 물체의 한 광원에서 나온 정보는 홀로그래프 전체에 영향을 준다는 홀로그래프의 특성을 이용할 수 있다. 즉, 디지털 홀로그래프에서의 한 점 $(x_{\alpha} + x_j, y_{\alpha})$ 에서의 위상 $\theta_H(x_{\alpha j} + n, y_{\alpha j}, z_j)$ 는 식 (3)과 같이 표현할 수 있다.

$$\theta_H(x_{\alpha j} + n, y_{\alpha j}, z_j) \quad (3)$$

$$= \frac{p^2}{2\lambda z_j} (x_{\alpha j}^2 + y_{\alpha j}^2) + \frac{p^2}{2\lambda z_j} (2nx_{\alpha j} + n^2)$$

$$= \theta_H(x_{\alpha j}, y_{\alpha j}, z_j) + \Gamma_n$$

여기서 Γ_n 은 식 (3)과 같고, $n=N$ 일 때 Γ_N 은 식 (5)와 같이 일반화시킬 수 있다.

$$\Gamma_n = \frac{p^2}{2\lambda z_j} (2nx_{\alpha j} + n^2) \quad (4)$$

$$\Gamma_n = \Gamma_{(n-1)} + \Gamma_1 + (n-1)\Delta \quad (5)$$

즉, 식 (1)은 식 (6)으로 나타낼 수 있다.

$$I_{\alpha} = \sum_j A_j \cos [2\pi \{ \theta_z + \theta_{XY} + \Gamma_n \}] \quad (6)$$

이 식은 아래 그림 1과 같이 홀로그래프의 특정 열에서 맨 좌측(θ_{XY})과 그 다음 화소의 값(Γ_1)을 구하면 이 값들을 이용해서 그 우측 화소들의 값을 그 전 화소의 값과 두 번째 화소의 값으로 홀로그래프를 구할 수 있는 Recursive 식이다.

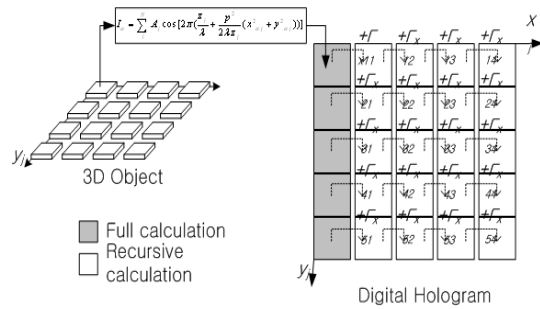


그림 1. 반복 가산을 이용한 CGH Calculation
Fig. 1 CGH Calculation using Recursive Calculation

III. 제안한 고속 연산을 위한 CGH 생성방법

앞장에서 설명한 CGH 생성 방법을 바탕으로 본 장에서는 CGH를 병렬연산으로 고속화시키는 기법을 제안한다.

3.1. 병렬연산을 이용한 CGH 생성방법

앞장의 식 (5)에서 Γ_n 을 다음과 같이 사용할 수 있다.

$$\Gamma_n = \frac{\Delta}{2} n(2x_{\alpha j} + n) \quad (7)$$

즉, 식 (7)은 위 식 (5)와 달리 각 화소의 값을 그 전 화소의 값을 사용하지 않고 계산할 수 있어 그 전 화소의 계산이 완료될 때까지 기다릴 필요 없이 그 전 화소의 동시에 계산할 수 있다. 또한 모든 화소의 계산에 사용되는 Δ 를 미리 계산하여 공유할 수 있으며, n 이 1씩 증가하면 $x_{\alpha j}$ 도 1씩 증가하므로 각 화소의 계산을 간단히 수행할 수 있다. 따라서 식 (7)은 맨 좌측 화소 값만 계산되면 같은 열의 나머지 화소들은 최소한의 연산으로 병렬로 계산할 수 있는 병렬연산식이다.

그림 2는 식 (6)과 (7)을 사용하는 병렬연산에 의해 CGH 연산을 수행하는 과정을 보이고 있다. 물체의 각 화소에 대해 홀로그래프의 맨 좌측 화소를 먼저 계산하고, 여기서 출력되는 Δ 를 사용하여 나머지 화소의 계산을 동시에 수행할 수 있음을 나타내고 있다. 만약 각 화소를

계산하는 하드웨어에 누적덧셈 기능을 추가하면 각 화소는 물체의 각 화소로부터의 영향을 모두 연산하여 누적덧셈을 수행함으로써 홀로그래ムの 화소의 완전한 값을 계산할 수 있다.

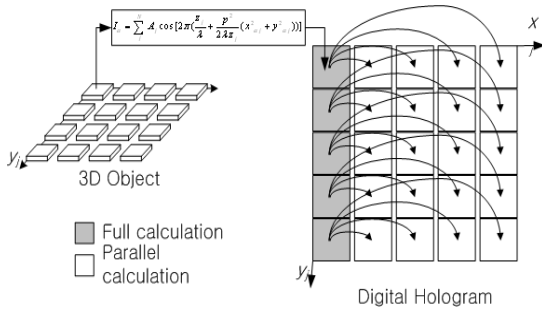


그림 2. 병렬 연산을 이용한 CGH Calculation
Fig. 2 CGH Calculation using Parallel Calculation

3.2. 물체 광원에 대한 파이프라인 동작

앞 절에서 설명한 병렬연산을 수행한다면 물체 광원에 대한 연산을 파이프라인 동작으로 더욱 연산시간을 줄일 수 있다. 표 1은 홀로그래ム 한 열에 해당하는 하드웨어가 제공된다고 가정하고, 물체의 광원에 대해 그 열의 홀로그래ム 화소의 완전한 값을 계산하는 파이프라인 동작을 도시한 것이다. 표에서 $I_{\alpha,j}$ 는 물체광원 j가 홀로그래ム 화소 α 에 미치는 간섭 영향이며, $\alpha = 0$ 은 홀로그래ム 열의 맨 좌측 화소, $\alpha \neq 0$ 은 맨 좌측 화소를 제외한 나머지 화소 모두를 가리킨다.

표 1에서 나타낸 것과 같이 맨 처음 사이클에서는 광원 0에 대한 맨 좌측 화소의 값만 계산하지만, 그 다음 사이클부터는 그 전 사이클에서 계산된 물체광원에 대한 맨 좌측 화소를 계산할 때 생성된 값을 이용하여 홀로그래ム 열의 나머지 화소들 모두를 병렬로 연산할 뿐만 아니라, 그 다음 물체광원에 대한 맨 좌측 화소 값이 계산되고 그 전에 누적된 값에 다시 누적덧셈을 수행한다. 따라서 한 열의 홀로그래ム 화소들을 모든 물체광원에 대해 연산하고 누적덧셈을 수행하여 완전한 화소 값을 출력하기 위해서는 $N+1$ 사이클만 필요하다.

CGH 연산에 적용할 수 있는 파이프라인 동작은 하드웨어의 구조와 설계결과에 따라 여러 단계에서 적용할 수 있다. 각 화소를 연산하는 단위 연산기 내에서의 파이프라인 동작은 다음 장의 하드웨어 설계에서 설명한다.

IV. 하드웨어 구현

본 장에서는 앞장에서 설명한 고속 병렬 연산 알고리즘을 하드웨어로 구현한다. 병렬 연산 알고리즘의 연산식에 따라 두 종류의 셀 구조로 하드웨어를 제안하고, 이를 파이프라인으로 동작하게 구현한다. 알고리즘 특성상 구현된 하드웨어의 양에 따라 병렬처리 양도 비례적으로 늘어 컴퓨터 생성 홀로그래ム을 고속으로 생성할 수 있다.

표 1. 홀로그래ム 화소 한 열의 물체 광원에 대한 파이프라인 동작
Table. 1 Pipeline operation of a raw of hologram pixels for the object light sources

사이클 \ 광원	1	2	3	4	5	6	...	N	N+1
0	$I_{\alpha=0,0}$	$I_{\alpha \neq 0,0}$							
1		$I_{\alpha=0,1}$	$I_{\alpha \neq 0,1}$						
2			$I_{\alpha=0,2}$	$I_{\alpha \neq 0,2}$					
3				$I_{\alpha=0,3}$	$I_{\alpha \neq 0,3}$				
4					$I_{\alpha=0,4}$	$I_{\alpha \neq 0,4}$			
...						
N-1								$I_{\alpha=0,N-1}$	$I_{\alpha \neq 0,N-1}$

4.1. CGH 연산 셀의 하드웨어 구조

그림 3은 본 논문에서 제안하는 CGH 연산 셀의 구조를 나타내고 있다. 기본적으로 CGH 연산 셀의 구조는 초기 연산 셀(Initial Calculation Cell)과 추가 연산 셀(Update Calculation Cell)의 두 가지 셀로 구성된다. 즉, 본 논문에서 제안한 병렬연산은 이 기본구조에서 초기 연산 셀이 생성하고자 하는 홀로그래ムの 맨 좌측 화소를 연산하고 그 우측의 나머지 화소들은 추가 연산 셀로 구성하여 생성하는 것이다. 물체의 한 광원으로부터 물체의 좌표 값과 생성하고자 하는 홀로그래ムの 좌표 값이 초기 연산 셀에 입력되어 홀로그래ム 한 열의 맨 좌측 값이 연산되고 이어서 초기 연산 셀에서 계산된 $x_{\alpha j}, \theta_H, \Delta/2$ 값을 추가 연산 셀에서 받아서 나머지 홀로그래ム 화소들을 계산한다.

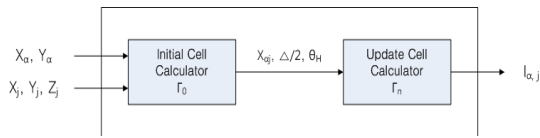


그림 3. CGH 연산기의 기본 구조
Fig. 3 Basic Architecture of CGH Calculator

그림 4는 앞 절에서 설명한 CGH 초기 연산 셀의 구조이다. 초기 연산 셀은 앞 장에서 설명한 식 (7)에서 $\Gamma_n = 0$ 인 경우를 의미하며, 5개의 덧셈기와 5개의 곱셈기, 3개의 룩-업 테이블(look-up table, LUT)로 구성되어 있다. 초기 연산 셀은 물체의 광원으로부터 좌표 값 (x_j, y_j, z_j) 과 휘도 값 (A_j) 을 받아서 홀로그래ム 연산을 수행 후 $x_{\alpha j}, \theta_H, \Delta/2$ 의 중간 결과 값들과 $I_{\alpha j}$ 를 계산하는 과정을 수행한다.

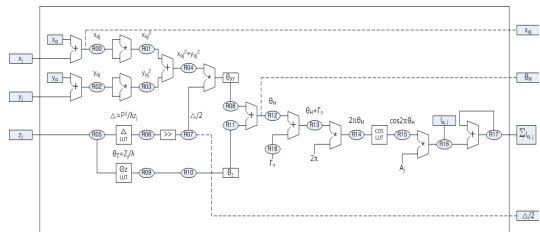


그림 4. 초기 연산 셀의 구조
Fig. 4 Architecture of Initial Calculation Cell

계산된 $x_{\alpha j}, \theta_H, \Delta/2$ 는 추가 연산 셀로 넘겨주게 되어 있으며, 맨 마지막에 계산된 $I_{\alpha j}$ 는 다음 광원의 정보가 입력되어 계산되면 계속해서 누적 덧셈되어 해당 홀로그래ム 화소의 완전한 값을 계산하게 된다.

CGH 연산은 일반 연산과 달리 연산되는 값들의 범위가 매우 넓다. 즉, 그림 4에서 레지스터(R4)까지는 물체의 좌표 값과 홀로그래ムの 좌표 값의 정수 계산이 이루어지고, 물체의 깊이 정보 z_j 로부터 $\Delta = p^2/\lambda z_j$ 와 $\theta_z = z_j/\lambda$ 연산은 화소의 크기 p (pixel pitch=10.4μm)와 빛의 파장 λ (wavelength=633nm)의 연산으로 아주 낮은 차수의 소수 연산이다. 소프트웨어 연산의 경우 소수점 연산은 높은 정밀도를 가지고 있어 오차가 발생하지 않지만 하드웨어로 구현할 경우 하드웨어 재원의 사용에 따라 정밀도의 한계를 가진다. 따라서 본 논문에서는 소수점 연산을 위하여 Δ 와 θ_z 의 연산을 LUT로 구성하였다. 또한 연산기 뒷부분의 코사인(cosine) 함수 역시 LUT로 구성하였다. 초기 연산 셀의 맨 마지막 계산된 $I_{\alpha j}$ 는 다음 광원의 정보가 입력되어 계산되면 계속해서 누적 덧셈되어 해당 홀로그래ム 화소 값을 계산하게 된다. 초기 연산 셀은 총 10 단계의 지연 요소로 구성되어 있으므로 처음 데이터가 입력된 후 10 클럭이 지난 후부터 매 클럭마다 각 광원에 대한 CGH 값이 출력되어 누적된다.

그림 5는 CGH 추가 연산 셀의 구조를 보이고 있다. 이 셀은 5개의 덧셈기와 5개의 곱셈기, 1개의 LUT로 구성되어 있다. 추가 연산 셀의 연산은 초기 연산 셀로부터 $x_{\alpha j}, \theta_H, \Delta/2$ 를 입력받고, 각 홀로그래ム 셀의 위치정보인 n 값을 입력받아 해당 좌표의 홀로그래ム 연산을 수행한다. 초기 연산 셀과 마찬가지로 마지막의 코사인 함수는 LUT로 구성하였으며, 맨 마지막 계산된 $I_{\alpha j}$ 는 다음 광원의 정보가 입력되어 계산되면 계속해서 누적 덧셈되어 해당 홀로그래ム 화소 값을 계산하게 된다. 추가 연산 셀 역시 총 10 단계의 지연시간으로 초기 연산기로부터 $x_{\alpha j}, \theta_H, \Delta/2$ 입력 후 10 클럭이 지난 후부터 물체 매 광원에 대한 CGH 값이 출력되어 누적된다.

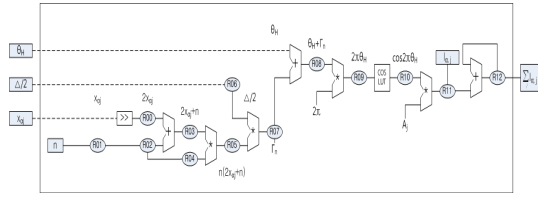


그림 5. 추가 연산 셀의 구조.
Fig. 5 Architecture of Update Calculation Cell

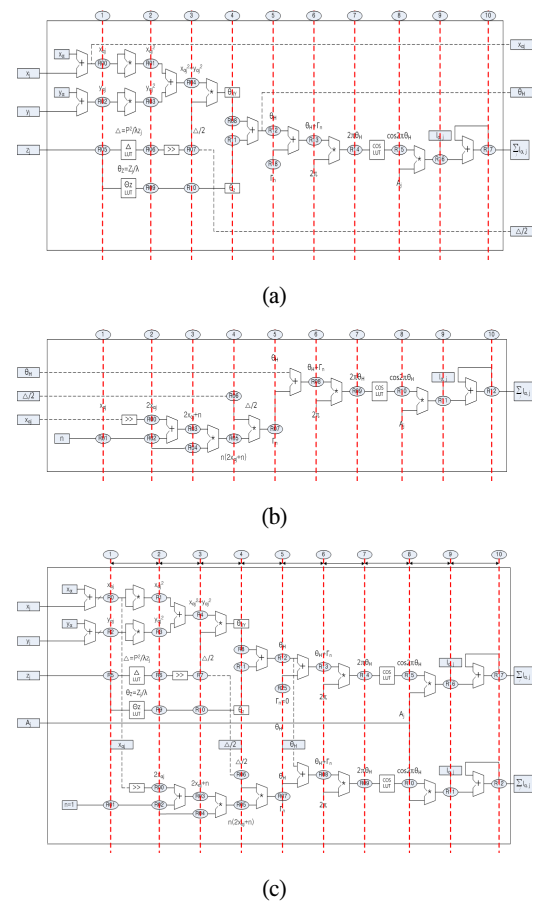


그림 6. 초기 연산 셀과 추가 연산 셀의 파이프라인 구조:
(a) 초기 연산 셀, (b) 추가 연산 셀, (c) 초기 연산 셀과
추가 연산 셀의 연결된 파이프라인 구조
Fig. 6 Pipeline structure of initial calculation cell and
update calculation cell: (a) initial calculation cell, (b)
update calculation cell, (c) combination of initial
calculation cell and update calculation cell

그림 6은 초기 연산 셀과 추가 연산 셀의 파이프라인 구조를 보이고 있다. 두 셀 모두 10 개의 파이프라인 단계를 갖고 있으므로 두 셀 모두 처음 출력 값이 나오기까지는 10 클럭이 소요된다. 그러나 초기 연산 셀에서 추가 연산 셀에 사용될 값들은 5 단계 후에 출력되며, 이 값들은 추가 연산 셀에서 5 단계 후에 사용된다. 따라서 이 두 셀은 주종의 관계를 갖고 있지만, 두 셀 모두 동시에 동작을 시작하여도 연산결과에는 문제가 없다.

따라서 초기 지연시간 10 클럭 후에는 매 클럭마다 한 광원에 대한 화소 값을 출력하게 되고, 앞 장에서 설명한 물체광원의 파이프라이닝을 같이 고려하더라도 $N+1$ (N 은 물체 광원의 수) 클럭이면 완전한 화소 값을 계산할 수 있다.

만약 생성하고자 하는 홀로그래ムの 해상도가 $P \times Q$ 일 경우 초기 연산기를 맨 좌측에 행 수(Q)만큼, 추가 연산 셀을 $(P \times Q) - Q$ 개 배치하면 두 클럭 만에 물체 한 광원이 미치는 홀로그래ム 전체의 영향을 계산할 수 있고, 그 다음부터는 매 클럭마다 한 광원에 대한 홀로그래ム 전체의 연산이 수행된다. 따라서 물체의 화소 수(광원 수)가 N 인 경우 초기 지연시간 10 클럭 후 N 클럭이면 한 프레임의 홀로그래ム을 완전히 계산할 수 있다. 만약 홀로그래ム 비디오를 CGH 방법으로 생성한다면 초기 10 클럭 후 매 N 클럭마다 한 프레임의 홀로그래ム이 생성된다.

그림 7은 4×4 로 초기 연산 셀과 추가 연산 셀을 배열한 예를 보여주고 있다. 맨 좌측의 4 셀들은 초기 연산 셀들이고, 나머지 12 셀들은 추가 연산 셀들이다.

4.2. 하드웨어 구현 및 동작

본 절에서는 앞 절에서 설명한 연산 셀들을 배열하여 CGH 연산기를 구성하고 합성하며, 광원의 입력에 따른 컴퓨터 시뮬레이션 결과를 설명한다.

그림 8은 앞 절에서 설명한 병렬 연산의 기본 연산 셀인 초기 연산 셀과 추가 연산 셀의 조합을 Quartus II에서 Verilog HDL로 구현 후 합성한 그림이다. (a)는 상위-레벨 모듈로서 기본 연산기 전체를 나타내고, (b)는 (a)의 세부 구조로 앞에서 본 연산 모듈들이 그대로 포함되어 있는 것을 볼 수 있다.



그림 7. 4×4의 연산 셀 배열 예
Fig. 7 An example of 4×4 calculation cells array

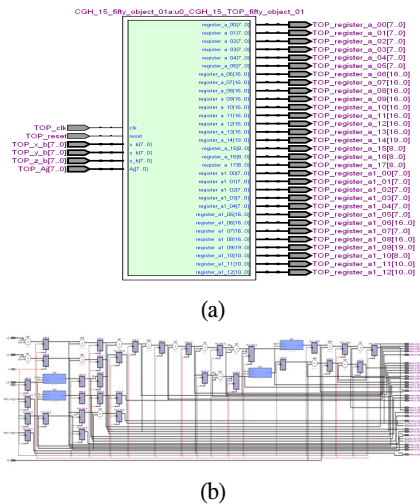


그림 8. 기본 연산 셀의 FPGA 합성결과
(a) 상위-레벨 모듈, (b) 세부 모듈
Fig. 8 FPGA synthesized results of CGH calculators
(a) high-level module, (b) detailed modules

본 절에서는 물체의 광원이 입력됨에 따라 CGH 연산기가 동작하는 과정을 설명한다. 그림 9는 물체 광원의 입력에 따른 기본 CGH 연산기의 시뮬레이션 결과를 나타내고 있다. 파형은 중간 레지스터 값을 모두 표현되게 하여 연산 중간 값을 확인할 수 있게 하였다. 파형의 맨

위 블록에서 초기화된 레지스터에 입력된 x_j, y_j, z_j, A_j 값은 두 번째 블록 Gamma_0 부분에 입력되어 10 클록의 지연시간 이후 첫 연산값이 출력되는 것을 확인할 수 있다. Gamma_0에서 연산된 레지스터 0, 7, 12의 값 $x_{\alpha j}, \theta_H, \Delta/2$ 는 세 번째 블록 Gamma_1으로 전달되어 초기 연산기 Gamma_0의 n번째 옆 좌표의 홀로그램 화소값을 계산하는 것을 보여주고 있다. Gamma_1 연산도 10 클록의 지연시간 이후 첫 연산값이 출력되는 것을 확인할 수 있다.

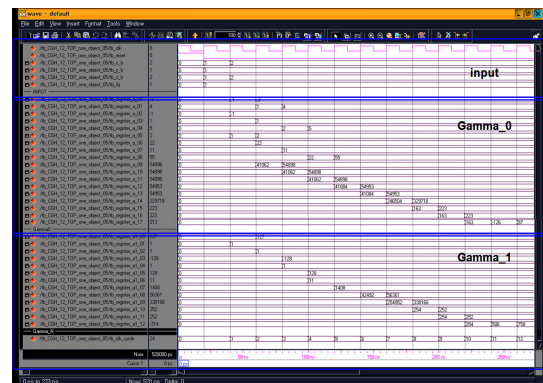


그림 9. 물체 한 광원에 대한 시뮬레이션 결과
Fig. 9 Simulation result by one object light source

그림 10은 물체의 광원이 지속적으로 입력됨에 따른 연산결과와 먼저 입력된 광원에 대한 연산결과와 누적 덧셈이 이뤄지는 과정을 보여주고 있다.

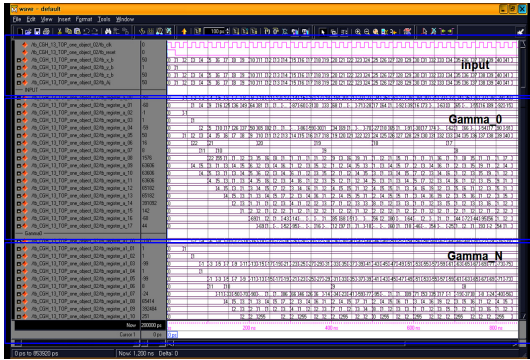


그림 10. 물체 광원의 입력에 따른 시뮬레이션 결과
Fig. 10 Simulation result by continuously inputting the object light sources

4.3. 하드웨어 구현 결과

본 논문에서 설계한 하드웨어는 Verilog HDL (Hardware Description Language)을 이용하여 설계하였다. 설계는 HDL 상향식 설계 기법을 통해 이루어졌으며 특정 구현 대상에 국한하지 않는 범용적인 설계를 이루고자 오직 IEEE 표준 라이브러리만을 사용하였다. 각각의 모듈들은 RTL(Register Transfer Level)로 설계하였고, 구조적 수준에서 서로 연결하였다. 설계된 하드웨어는 Mentor Graphics의 Modelsim으로 Simulation을 검증하였으며, Altera Quartus II에서 논리 합성을 수행하여 FPGA

Stratix III Device EP3SL340F1760I3에서 동작을 확인하였다. 표 2에 CGH 연산기의 하드웨어 구현 환경을 나타내었고, 표 3은 그림 11의 CGH 연산기가 차지하는 하드웨어 자원 사용률을 보이고 있다.

표 2. 하드웨어 구현 환경
Table. 2 Hardware implementation environments

Item	Specification
Number of object point	40,000
Hologram size	1,920×1,080
Pixel pitch (p)	10.4µm
Wavelength (λ)	633nm (Red Laser)
Target FPGA	Altera StratixIII EP3SL340F1760I3

표 3. CGH 연산기의 FPGA 자원
Table. 3 Hardware resource for CGH calculator

Item	Logic Utilization
Combinational ALUTs	1,998 / 270,420 (2%)
Memory ALUTs	64 / 135,200
Dedicated logic registers	2,800 / 270,400 (1%)
total	2%

합성 결과를 시뮬레이션 한 결과 최대 215MHz에서 동작함을 확인하였다. 이 속도를 기준으로 기존의 방법들과 성능을 비교한 결과를 표 4에 보였다. 비교를 위하여 기존 방법들 중 가장 성능이 우수한 [8]의 맨 우측

표 4. 구현결과 및 이전 연구와의 비교
Table. 4 Result comparison with the previous researches

Item	Implementation Results					
	[7]		[8]		Ours	
Number of Object Light Sources (A)	10,000		40,000	10,000	10,000	
Hologram Resolution (B)	1,408×1,050		1,280×1,024	1,408×1,050		
Calculation quantity (A×B)	1.4784×10 ⁶		5.24288×10 ¹⁰	1.4784×10 ¹⁰		
Maximum Frequency(MHz)	166		200	166	166	215
Number of Parallel Cells used	1,408	5,632	1,280	1,408	5,632	5,632
Time(sec)/CGH	0.0679	0.0232	0.205	0.0633	0.0159	0.01223
CGH/Time(sec)	14.73	43.10	4.88	15.80	62.90	81.75
Speed Improvement	-	-	-	-	1	1.3

과 동일한 환경, 즉 동일한 물체의 광원 수, 동일한 CGH 해상도, 동일한 수의 셀을 사용하여 시뮬레이션을 수행하였다. 그 결과 본 논문에서 제안한 방법이 기존의 가장 우수한 방법에 비해 연산속도가 1.3배 정도 향상되었다.

V. 결론

본 논문에서는 컴퓨터 생성 홀로그램의 연산속도를 높이기 위하여 고속 병렬 연산 알고리즘을 제안하고 이를 최적화된 하드웨어로 구현하였다. 병렬 연산 알고리즘은 홀로그램의 한 열에 대하여 맨 좌측의 화소를 연산할 때 생성되는 중간 결과 값들을 나머지 우측 화소들을 연산할 때 사용하도록 하였다. 하드웨어 설계에 있어서는 맨 좌측 화소를 연산하는 초기 연산 셀과 나머지 우측 화소들을 연산하는 추가 연산 셀의 두 가지로 설계하였다. 그러나 초기 연산 셀의 중간 결과들을 추가 연산 셀들이 사용하는 시점을 조절하여 초기 연산 셀과 추가 연산 셀이 동시에 연산을 시작하여 동시에 연산을 끝낼 수 있도록 설계하였다. 이 두 셀들을 맨 좌측 행에 초기 연산 셀들을 배치하고 나머지는 추가 연산 셀들로 배열하는 구조로 CGH 연산기를 구성하였다.

설계한 CGH 연산기를 시뮬레이션 한 결과 최대 동작 주파수는 약 215MHz이었으며, 이 동작 주파수를 기준으로 기존 연구들과의 비교를 위하여 물체의 광원 수를 10,000개, CGH의 해상도를 1,408×1,050, 사용한 셀 수를 5,632개로 수행환경을 기존의 방법들 중 가장 우수한 성능을 보이는 방법과 동일하게 설정하여 시뮬레이션을 수행하였다. 그 결과 초당 62.9 CGH 프레임을 연산하는 기존의 방법에 비해 제안한 방법은 초당 81.75 CGH 프레임을 연산하여 약 1.3배의 속도가 향상됨을 확인하였다.

참고문헌

- [1] Chung J. Kuo and Meng Hua Tsai, Three-Dimensional Holographic Imaging, [2][7] T. Shimobaba, T. Ito, "An efficient computational method suitable for hardware of computer-generated hologram with phase computation by addition", Elsevier Computer Physics Communication, Vol. 138, pp.44 - 52. 2001.
- [3] X. W. Xu, S. Solanki, X. A. Liang, S. H. Xu, A. T. Ridwan, Y. C. Pan, F. Farbiz, B. X. Xu, and T. C. Chong, "Computer-generated holography for dynamic display of 3D objects with full parallax", The International Journal of Virtual Reality, Vol. 8, pp. 33 - 38, 2009.
- [4] Y. Pan, X. Xu, S. Solanki, X. Liang, R. Bin A. Tanjung, C. Tan, and T. C. Chong, "Fast CGH computation using S-LUT on GPU", Optics Express, Vol. 17, pp. 18543 - 18555, 2009.
- [5] N. Masuda, T. Ito, T. Tanaka, A. Shiraki and T. Sugie, "Computer generated holography using a graphics processing unit," Optics Express, Vol. 14, pp. 603 - 608 2006.
- [6] T. Shimobaba, T. Ito, N. Masuda, Y. Ichihashi, and N. Takada, "Fast calculation of computer-generated-hologram on AMD HD5000 series GPU and [7][22] T. Ito, N. Masuda, K. Yoshimura, A. Shiraki, T. Shimobaba and T. Sugie, "A special-purpose computer HORN-5 for a real-time electroholography", Optics Express, Vol. 13, pp. 1923-1932, 2005.
- [7] T. Ito, N. Masuda, K. Yoshimura, A. Shiraki, T. Shimobaba and T. Sugie, "A special-purpose computer HORN-5 for a real-time electroholography", Optics Express, Vol. 13, pp. 1923-1932, 2005.
- [8] Y.-H. Seo, H.-J. Choi, J.-S. Yoo, and D.-W. Kim, "An architecture of a high-speed digital hologram generator based on FPGA", Journal of Systems Architecture, Vol. 56. pp. 27-37, 2009.

저자소개



양월성(Wol-sung Yang)

2006년 2월 광운대학교
전자물리학과 졸업(공학사)
2006년 11월 ~ 2009년 7월
WINPACK 연구원

2011년 8월 광운대학교 일반대학원
※관심분야: 디지털 홀로그래프, SoC 설계



서영호(Young-Ho Seo)

1999년 2월 광운대학교 전자재료
공학과 졸업(공학사)
2001년 2월 광운대학교 일반대학원
졸업(공학석사)

2004년 8월 광운대학교 일반대학원 졸업(공학박사)
2003년 9월 ~ 2004년 6월 한국전기연구원 연구원
2005년 9월 ~ 2008년 2월 한성대학교 조교수
2008년 3월 ~ 현재 광운대학교 교양학부 조교수
※관심분야: 실감미디어, 2D/3D 영상 신호처리,
디지털 홀로그래프



김동욱(Dong-Wook Kim)

1983년 2월 한양대학교 전자공학과
졸업(공학사)
1985년 2월 한양대학교 공학석사
1991년 9월 Georgia공과대학
전기공학과(공학박사)

1992년 3월 ~ 현재 광운대학교 전자재료공학과
정교수 신기술 연구원
2000년 3월 ~ 2001년 12월 인티스닷컴(주) 연구원
2009년 3월 ~ 현재 광운대학교 실감미디어 연구소
연구소장
2006년 3월 ~ 현재 (사)실감미디어 산업협회 이사
※관심분야: 3D 영상처리, 디지털 홀로그래프, 디지털
VLSI Testability, VLSI CAD, DSP설계, Wireless
Communication