

---

# 제안된 얇은 트랜치 격리에서 구조형태에 따른 제작 및 특성의 시뮬레이션

이용재\*

Simulations of Fabrication and Characteristics according to Structure Formation  
in Proposed Shallow Trench Isolation

Yong-Jae Lee\*

---

이 논문은 동의대학교 교내연구(2010AA166)의 결과로 연구되었음.

---

## 요 약

본 논문에서는, 초고집적 MOSFET를 위한 향상된 얇은 트랜치 접합 격리에서 높은 임계전압을 위한 활성영역 부분의 제안된 구조의 가장자리 효과를 시뮬레이션 하였다. 얇은 접합 격리는 트랜지스터와 트랜지스터 사이에서 전기적 격리를 하기 때문에 쌍보형-모스 기술에서 중요한 공정 요소이다.

시뮬레이션 결과, 얇은 트랜치 접합 격리 구조가 수동적인 전기적 기능 일지라도, 소자의 크기가 감소됨에 따라서, 초대규모 집적회로 공정의 응용에서 제안된 얇은 트랜치 격리 구조에서 전기적 특성의 영향은 전위차, 전계와 포화 임계 전압에서 높게 나타났다.

## ABSTRACT

In this paper, the edge effects of proposed structure in active region for high voltage in shallow trench isolation for very large integrated MOSFET were simulated. Shallow trench isolation (STI) is a key process component in CMOS technologies because it provides electrical isolation between transistors and transistors.

As a simulation results, shallow trench structure were intended to be electric functions of passive, as device dimensions shrink, the electrical characteristics influence of proposed STI structures on the transistor applications become stronger the potential difference electric field and saturation threshold voltage.

## 키워드

얇은 트랜치 격리, 회자, 고밀도산화막, 화학기계적연마

## Key word

Shallow Trench Isolation, moat, High density oxide, Chemical Mechanical polishing

---

\* 종신회원 : 동의대학교 전자공학과 (yjlee@deu.ac.kr)

접수일자 : 2011. 08. 01

심사완료일자 : 2011. 08. 19

## I. 서 론

현대 사회의 급격한 정보화와 통신화는 문자, 음성 및 영상 등을 복합적으로 이용하고, 대화형으로 교환하기 위하여 더 많은 정보를 더욱 빠르게 처리할 수 있는 능력을 가진 반도체 소자를 요구하고 있다. 이를 위해 이런 시스템의 성능향상이 필수적이며, 그 핵심부품인 트랜지스터의 초고속화, 초고집적화 및 초절전화가 요구되고 있다. 트랜지스터의 게이트 절연막으로서 열산화 방법으로 성장한 산화막을 사용한 MOSFET 소자가 처음으로 도입된 이래 40여년간, 반도체 소자의 집적도는 SSI(100개 이하), MSI( $10^2 \sim 10^3$ ), LSI( $10^3 \sim 10^4$ ), VLSI( $10^5 \sim 10^7$ ), ULSI ( $>10^7$  칩당 트랜지스터 개수) 시대로 발전을 해왔다.<sup>[1,2]</sup>

이를 위해서 소자와 소자를 격리 시키는 격리 공정 발달이 초고집적도에 중요한 관건이 되었으며, 반도체 소자크기의 축소화가 고밀도와 소자 속도를 향상시키기 위해 필요하다. 소자의 게이트 길이를 축소하면, 소스와 드레인 사이에서 발생하는 누설전류가 증가하는 단채널 효과가 발생한다. 이러한 단채널 효과로 인해 최소 게이트 길이( $L_{min}$ )는 게이트 절연막의 두께( $T_{ox}$ )와 소스/드레인의 접합깊이( $X_j$ )에 비례 관계로 발전을 하였다.<sup>[3,4]</sup>

$$L_{min} \propto T_{ox} \cdot X_j^{1/3} \quad (1)$$

즉 절연막의 두께를 줄여야하는 초고집적화의 MOSFET 소자를 제작할 수 있다. 소스/드레인 얇은접합 형성을 위해서 소자와 소자 사이의 얇은 접합 격리는 트랜지스터 사이에서 전기적 격리를 하기 때문에 C-MOS 기술에서 중요한 공정 요소이다. 비록 얇은 접합 격리 구조가 수동적인 전기적 기능 일지라도, 소자의 크기가 감소됨에 따라서, 트랜지스터 특성에서 얇은 접합 격리의 영향은 크게 나타난다.

본 연구는 얇은 접합 격리와 트랜지스터 성능 사이에는 상호 연관된 두 가지 중요한 관련 인자가 있다. 첫 번째 인자는 얇은 접합 격리의 영향으로 소위 '좁은 폭 효과'라 불리는 좁은 폭 MOS(Metal Oxide Semiconductor) 구조의 포화 임계전압 변화이다.

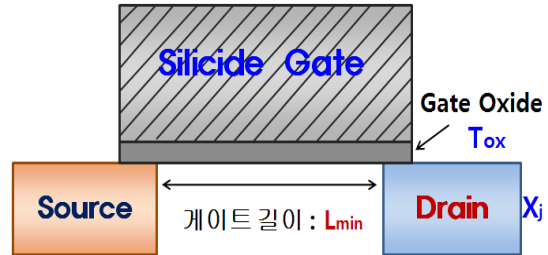


그림 1. 단채널 효과로 인한 최소 게이트 길이, 절연막의 두께와 소스/드레인의 접합깊이의 관계  
Fig. 1 Relationship of minimum gate length, insulator thickness and source/drain junction depth according to short channel

포화 임계전압을 개선시키기 위해 얇은 접합격리와 활성영역 경계부위의 실리콘 가장자리에 공정에 의한 1) 수직 모양 구조 2) 기존 곡선화 구조, 3) 제안된 회자(Moat) 곡선화 구조에 따른 각각의 얇은 트랜치 격리 구조에서 전위 분포, 전계분포와 포화임계전압 특성을 분석하고자 한다.

두 번째 인자는 얇은 접합 격리에 의해 유기된 스트레스 때문에 얇은 트랜치 격리 공정이 활성 영역에 미치는 스트레스에 의한 실리콘의 손상이 근처의 트랜지스터 전기적 특성에 미치는 영향의 분석이다. 두 효과들을 ATHENA, ATLAS 툴로 전기적 영향을 주는 인자들을 감소시키고, 원인이 되는 최적 공정을 정확하게 시뮬레이션 하고자 하며, 구체적인 모델링을 통해서 실제 공정설계에서 특성에 원인이 되는 두 가지 효과를 감소시킬 수 있는 얇은 트랜치 격리 구조를 개선시키고자 한다.

## II. 격리 공정 시뮬레이션

2-D 시뮬레이터(ATHENA, ATLAS)을 이용하여, 제안한 얇은 트랜치 격리 구조를 시뮬레이션 하였다. 이 시뮬레이션 연구에 대한 테스트 토대는 인텔에 의해 보고된 전형적인 45nm 기술 세대의 고성능 트랜지스터의 성능 C-MOS 용으로 설계하고자 하는 전단계 공정 기술이다.<sup>[5]</sup>

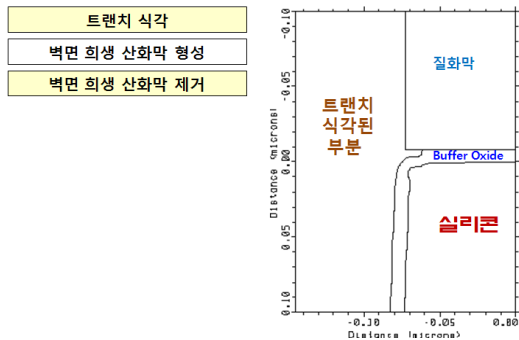


그림 2. STI 공정에서 초기 단계의 공정 순서  
Fig. 2 Process sequences of initial steps in STI

그림2는 기판 p-형 실리콘 기판에 실리콘과 질화막의 완충역할의 열산화막 80 [Å]을 기르고, 그 위에 실리콘 질화막(Si<sub>3</sub>N<sub>4</sub>)을 화학기상증착(CVD) 방법으로 1,000 [Å]을 증착을 시켜서 반응성이온 식각 장비를 이용하여 사진식각공정을 한 후 마스크 물질을 포토레지스터로 나머지 영역의 질화막, 산화막, 기판 실리콘을 2,000 [Å]을 트렌치 식각을 한다.

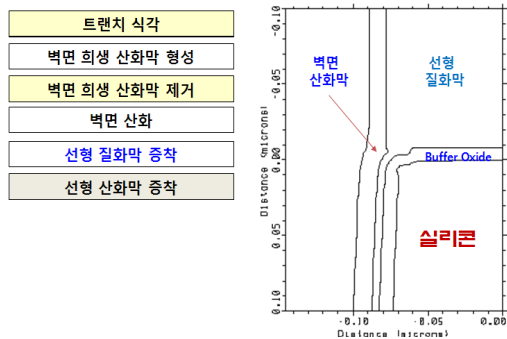


그림 3. STI에서 중간 단계별 공정 순서  
Fig. 3 Process sequences of middle steps in STI

그림3은 그림2에 이은 공정 단계로 측면 벽을 완충역할의 열산화막을 다시 성장시킨다. 이는 에칭 시에 스트레스를 많이 받은 부위는 산화의 속도가 빠르며, 이것이 제한한 회자 모양의 일부이다. 이를 다시 식각시켜서 제한된 구조를 제작코자 하였으며, 벽면에 다시 열산화막으로 80 [Å] 기른다. 그 옆에 화학기상증착(CVD) 방법으로 선형을 위한 실리콘 질화막 50 [Å]을 증착을 시키고, 선형을 위한 화학기상증착 방법으로 산화막 120 [Å]

을 증착을 시킨다.

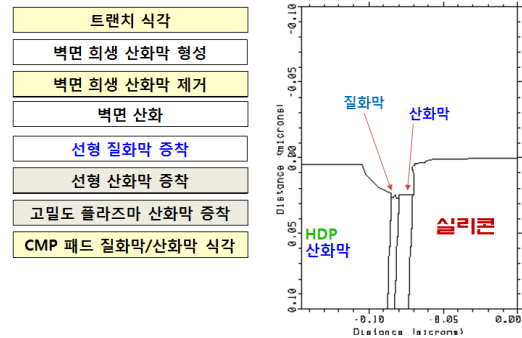


그림 4. HDP, CMP, 질화막/ 산화막의 식각 공정  
Fig. 4 Etching Process of HDP, CMP, nitride/oxide process steps

그림 4는 그림3에 이은 공정으로 고밀도 플라즈마 산화막을 3,000 [Å] 증착시킨 후, 화학 기계적 폴리싱 (CMP : Chemical and Mechanical Polishing) 장비로 윗면부터 갈아낸 후 완충 산화막과 질화막을 식각 시킨 공정이다.

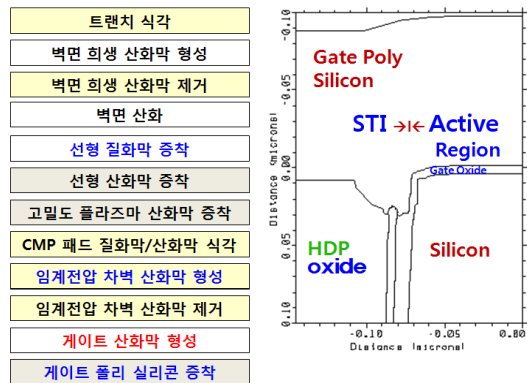


그림 5. 전체 단계별 공정 순서  
Fig. 5 Process sequences of steps in full process

그림 5는 그림4에 이은 공정 단계로 트랜지스터의 임계전압 조절을 위한 이온 주입 시에 직접적인 실리콘의 손상 방지를 위한 차벽 산화막 형성을 한 후 이온 주입을 시키며, 이때 이온 주입 시에 손상된 차벽 산화막을 제거한 후, 양질의 게이트 산화막을 형성 시키고, 게이트 전극용 다결정 실리콘 증착을 하여 전극을 형성한 전체 공

정의 결과이다.

그림6은 시뮬레이션 결과로 나타난 그림5의 단계를 실제 실리콘 공정으로 제작한 STI 공정의 결과 사진이며, 그림5의 결과와 거의 동일한 모양을 나타내고 있으며, 게이트 산화막 부분과 폴리 실리콘 부분은 명확하며, 고밀도 플라즈마 산화막과 질화막의 경계는 일부 흐릿하지만 다른 상위 부분은 선명한 경계 결과가 나타난다.

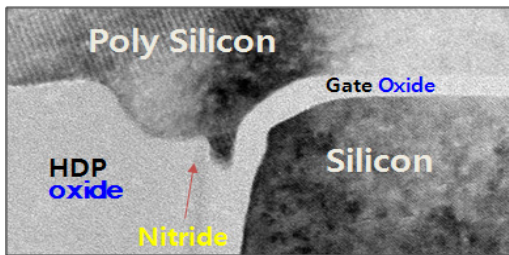


그림 6. 제안된 회자 구조의 결과 사진  
Fig. 6 Result picture of proposed moat structure

### III. 결과 및 고찰

포화 임계전압을 개선시키기 위해 얇은 트랜치 격리와 활성영역 경계부위에 1) 수직 모양 구조 2) 기존 곡선화 구조, 3) 제안된 회자 모양의 구조에 따른 각각의 얇은 트랜치 격리 구조에서 전위에 대한 전자 분포, 전계 분포, 공정 과정에서의 실리콘의 손상 부위 등을 분석하고자 하였다.

MOS(Metal Oxide Semiconductor) 구조에서 기판 P형 실리콘과 다결정 실리콘 전극인 게이트 단자에 0 [V]에서 2 [V] 까지 0.1 [V] 씩 증가 시켰다. 이 경우 게이트 인가 바이어스의 크기에 따라서 얇은 트랜치 격리 구조의 가장자리 영역에서 먼저 동일한 게이트 전압에 비해 얇은 산화막 두께로 인해 큰 전계가 형성되어 포화 임계전압( $V_{tsat}$ ) 형성을 구조별로 분석한 결과가 다음 결과 그림들이다.

본 연구 결과 이 가장자리에서의 포화 임계전압을 높이고자 제안된 회자 모양의 구조와 수직모양의 얇은 트랜치 격리 구조, 기존 곡선화 구조에 대한 분석 결과가 다음 그림7, 8, 9이다.

그림 7은 일반적인 수직 구조의 얇은 트랜치 격리 구조에서 게이트 단자에 0 [V]에서 2 [V]까지의 바이어스

에 따른 전계 분석 결과에서 주요 전계 분포로 0.1, 0.4, 0.5, 0.6, 1 [V]와 2 [V]의 결과이다.

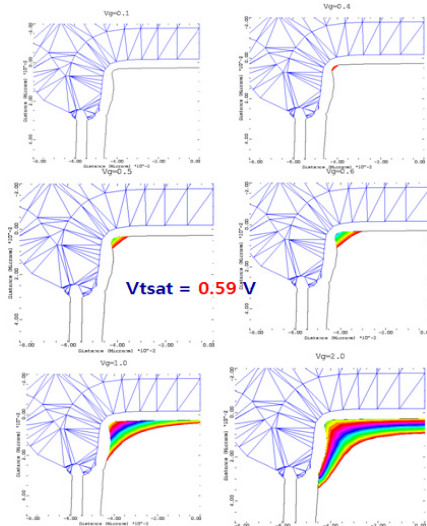


그림 7. 게이트 바이어스에 따른 수직 모양 구조에서 활성영역 가장자리의 전자 분포

Fig. 7 Electrons distribution in edge region of active region in vertical structure by gate bias

기판 P형 농도 [ $10^{16}/\text{cm}^3$ ]에서 페르미 준위( $E_f$ )에 다른 반전된 두께와 동일한 전압인 포화 임계전압( $V_{tsat}$ )이 0.59 [V]로 나타났다. 게이트 전압의 증가에 따라 반전층은 두껍게 나타났다.

수직 구조 보다 기존 곡선화 모양의 구조에서 활성영역 가장자리 부분에는 반전층이 두껍게 나타난 시뮬레이션 결과이다. 결과에서 격리 구조에서 그림 7의 가장자리 영역 보다 게이트 단자에 전압이 0.6 [V]에서는 반전이 거의 없으며, 0.8 [V]에서 반전층이 형성되기 시작하여 비교적 높은 0.86 [V]에서 포화 임계전압으로 나타났으며, 활성 영역 중앙 부분에도 거의 일정한 결과이다.

그림 8은 수직 모양의 얇은 트랜치 격리 구조, 기존의 곡선화 구조 보다 개선 시키고자하는 회자 모양 구조의 전류-전압 특성으로, 게이트 단자에 0.6 [V] 0.8 [V]에 선 거의 전자농도 분포가 나타나지 않는 결과이며, 게이트 전압이 0.9 [V]에서 약간의 전자농도 분포를 나타내며, 1 [V] 근처와 유사한 포화 임계전압이 0.99 [V]로 나타난 확실하게 개선된 포화 임계전압 특성의 결과가

나타났다. 전체적인 포화 임계전압 특성을 분석 결과에서 수직 모양 구조는 0.59 [V], 기존의 곡선 모양 구조는 0.86[V]로 높아졌으며, 제안된 회자 모양의 구조는 0.99 [V]로 나타났다. 이는 활성영역에서의 집적회로의 트랜지스터의 동작 임계 전압(0.2 [V] 이하) 보다 훨씬 높기 때문에 활성 영역에는 비교적 얇은 산화막 격리 공정에서 주로 나타나는 스트레스에 의한 누설 전류가 주로 형성된다.

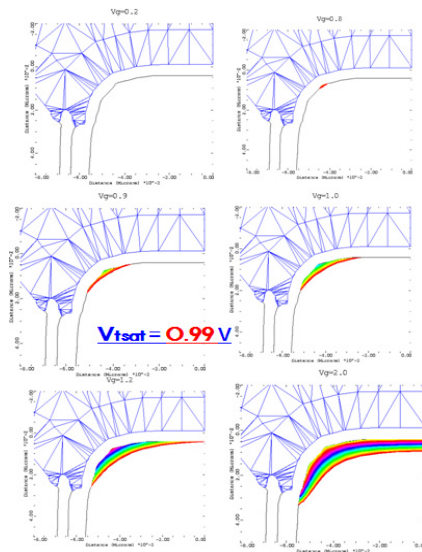


그림 8. 제안된 회자 모양 구조에서 활성영역 가장자리의 전자 분포  
Fig. 8 Electrons distribution in edge region of active region in proposed moat structure

활성영역과 격리 산화막의 경계 부분의 가장자리 부분에서의 임계전압이 높게 형성되면, CMOS 제작 시에 p-채널, 혹은 n-채널 MOSFET가 거의 이 전압 값 보다 아주 낮은 활성영역의 임계전압으로 트랜지스터가 동작을 하기 때문에 거의 가장자리의 전기적 영향은 무시될 수 있다.

분석 결과 트랜지스터의 제작 부분인 활성영역의 중앙 부분과 가장자리 부분에서 포화임계전압이 동일한 특성을 나타내야 하지만 실제 제작 공정상 구조적 차이, 트랜치 제작과정에서 가장자리 부분에서의 공정 스트레스 영향, 산화막의 질 등이 다르기 때문에 중앙 부분이 가장자리 영역 보다 높게 임계 전압 특성을 보였다.

활성영역의 가장자리가 높은 임계 전압 특성을 나타나야 하는데, 이는 실제 임계 전압이 낮으면, 고집적 MOSFET 소자에서 가장자리 영역에서 채널이 형성되어 원하지 않는 누설 전류-전압 특성과 신뢰성의 문제점을 야기 시킬 수 있다. 따라서 얇은 트랜치 격리 구조에서 활성 영역의 가장자리의 높은 임계전압을 갖도록 격리 구조를 개선하는 연구를 지속적으로 하고 있다.<sup>[3,5]</sup>

그림9는 실리콘 공정 동안 얇은 트랜치 격리의 공정 단계에서 활성 영역의 실리콘 기판의 부위별 스트레스의 여부를 시뮬레이션 한 결과이다. 트랜치 식각 U자 모양의 깊이 0.2 [μm] 아래 부분 모서리에서 가장 스트레스로 인한 실리콘의 손상을 가장 많이 받았지만 이는 집적 회로에서 소자의 제작 부분의 활성영역에서 소스/드레인의 일반적인 확산 깊이 0.1 [μm] 보다 훨씬 이하로 얇기 때문에 깊은 부위의 실리콘 손상으로 소자에 미치는 문제점은 거의 없는 것으로 판단된다.

전기적 특성의 영향 이외에 초고집적회로의 제작 공정 동안 실리콘-산화막 경계면은 도판트 불순물의 재분포에 영향을 미치는 것으로 잘 알려져 있다. 더욱이, 얇은 트랜치 격리로 사용할 때, 넓은 산화막 영역의 부피가 인접한 실리콘 활성화 영역에 스트레스를 인가한다. 소자의 크기가 축소됨에 따라서, 실리콘과 산화막 사이에 역학적 상호작용과 공정은 트랜지스터의 전기적 특성에 미치는 인자가 크고 피할 수 없는 영향을 준다.

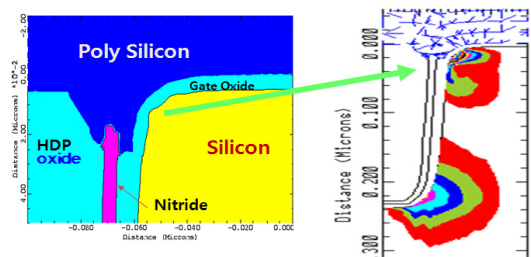


그림 9. STI 결과에서 공정에 의한 실리콘 손상 분포  
Fig. 9 Silicon damage distribution by process in STI results

또한 실리콘 공정 동안, 도판트 불순물의 이온주입은 치환 불순물로 알려진 실리콘 격자로부터 실리콘 격자와 치환을 하는 좁은폭 효과를 고려해야 할 필요가 있으며, 활성영역의 가장자리 영역에서의 실리콘 손상 분포는 고려되어야 할 인자이다. 이를 개선하기 위한 방법이

게이트 단자에 전위를 인가할 때 포화임계전압을 높이는 방법의 개선으로 기존의 곡선화 모양의 STI 구조 보다 제안된 회자 모양의 격리 구조를 이용하면, 높은 포화 임계전압과 공정상의 스트레스로 인한 실리콘의 손상 부위가 활성영역에 영향을 감소시킴으로써 실제 응용에서는 초대규모집적회로에 영향을 최소화 할 수 있을 것으로 판단된다.

#### IV. 결론

수동 격리로서의 의도한 역할에도 불구하고, 얇은 트랜치 격리는 이웃의 트랜지스터의 기구학적 상태와 전기적 성능에 영향을 미치며, 시뮬레이션 동기는 진진 시킬 기술 개발과 소자의 설계 과정에서 트랜지스터의 주요 모델을 분석할 필요가 있었다.

본 연구에서 툴(ATHENA, ATLAS)을 이용한 시뮬레이션의 중요한 두 가지 결과인 좁은 폭 효과와 스트레스 관련 효과들의 특성을 제시하였다. 좁은 폭 효과에서, STI 구조는 포화 임계전압에서 상당한 개선의 결과가 나타났으며, 개선된 회자 모양의 얇은 트랜치 격리는 제작 공정에서의 실리콘의 공정 스트레스에 의한 손상 부위가 트랜치 격리의 밑 부분에 크며, 초고집적회로의 소자에 미치는 영향은 작은 것으로 판단된다. 또한 같은 채널 농도를 갖는 트랜지스터이라도 얇은 트랜치 격리의 구조에 따라서 포화 임계전압은 달라지며, 수직 구조 보다 기존의 곡선화 구조가 개선된 포화 임계전압이 높았으며, 여기에 제안한 회자 모양의 얇은 트랜치 격리 구조가 가장자리 영역에서 양호한 높은 포화 임계전압 특성을 보였다. 즉 구조에서 곡선화가 잘 된 것일수록 활성영역에서 평판과 가장자리의 전기적 특성이 비슷한 특성으로 나타났다.

#### 참고문헌

[1] A. Asenov et al "Simulation of Statistical Aspects of Charge Trapping and Related Degradation in Bulk MOSFETs in the Presence of Random Discrete Dopants" *IEEE Trans. on ED*, Vol. 57, No. 4, pp. 795-803, April 2010

[2] Jiying Xue et al. "A Framework for Layout-Dependent STI Stress Analysis and Stress-Aware Circuit Optimization" *IEEE Trans. ED on Very Large Scale Integration (VLSI) Systems* pp. 1-13, 2011  
[3] Andrew B. Kahng., et al "Exploiting STI Stress for Performance" *2007 IEEE IEDM*, pp. 83-90, Dec., 2007  
[4] Chen-Yu Hsieh, et al "Distinguishing Between STI Stress and Delta Width in Gate Direct Tunneling Current of n-MOSFETs" *IEEE ED Letters*, Vol. 30, No. 5, pp. 529-531, May, 2009  
[5] V. C. Su et al "Shallow-Trench-Isolation(STI)- Induced Mechanical-Stress-Related Kink- Effect Behaviors of 40-nm PD SOI NMOS Device" *IEEE Trans. on Electron Devices*, Vol. 55, No. 6, pp. 1588-1562, June 2008

#### 저자소개

##### 이용재(Yong-Jae Lee)



1986. 8. 연세대 전자공 공학박사  
1983. 2. 연세대 전자공 공학석사  
1981. 1. 경북대 전자공 공학사  
1988. 3. ~ 현재 동의대 전자공학과

1985.3. ~ 1988.2. ETRI IC 개발부

1991.7. ~ 1992.7. UT at Austin

1994.2. ~ 1995.2. Texas A&M 연구교수

※관심분야: 고속, 고집적소자, 반도체공정 및 아날로그 회로설계