

산업용 모터 구동을 위한 고내압 저전력 Power MOSFET 최적화 설계에 관한 연구

김범준¹, 정현석¹, 김성종¹, 정은식², 강이구^{1,a}

¹ 극동대학교 대학원 에너지반도체학과

² 고려대학교 전기공학과

A Study on High-voltage Low-power Power MOSFET of Optimization for Industrial Motor Drive

Bum-june Kim¹, Hun-Suk Chung¹, Seong-Jong Kim¹, Eun-Sik Jung², and Ey-Goo Kang^{1,a}

¹ Department of Materials Engineering, Far East University, Eumseong 369-700, Korea

² Department of Electrical Engineering, Korea University, Seoul 136-701, Korea

(Received February 17, 2012; Revised February 20, 2012; Accepted February 24, 2012)

Abstract: Power MOSFET is develop in power savings, high efficiency, small size, high reliability, fast switching, low noise. Power MOSFET can be used high-speed switching transistors devices. Recently attention to the motor and the application of various technologies. Power MOSFET is devices the voltage-driven approach switching devices are design to handle on large power, power supplies, converters, motor controllers. In this paper, design the 600 V Planar type, and design the trench type for realization of low on-resistance. For both structures, by comparing and analyzing the results of the simulation and characterization.

Keywords: Power MOSFET, Planar, Trench, V_{th} , BV, R_{on} , JFET dose, Phase dose

1. 서론

Power MOSFET (metal oxide semiconductor field effect transistor)은 전압 구동 방식으로 동작하는 소자이며, 큰 전력을 처리하기 위해 설계된 스위칭 디바이스로써 전원 공급 장치, 변환기, 모터 제어기 등에 널리 사용된다. 산업용 모터 구동에 사용되는 power MOSFET은 낮은 온저항을 가지기 때문에 동작 상태에서 전력 전달 손실을 줄여줌으로써 효율을 높일 수 있으며, 결과적으로 저전력 구현을 가능하게 한다. 본 연구에서는 600 V급 planar 및 trench

타입의 power MOSFET를 설계하고 각각의 구조에 대해 simulation을 통해 항복 전압 및 온저항 특성을 분석하였으며, 분석 결과를 바탕으로 고내압·저전력에 최적화된 power MOSFET을 설계하고자 하였다.

2. 실험 방법

2.1 600 V급 Planar Power MOSFET 설계

2.1.1 비저항 (resistivity)에 따른 항복전압, 온저항 시뮬레이션

항복전압이 600 V급인 소자를 목표로 하였으며 시

a. Corresponding author; keg@kdu.ac.kr

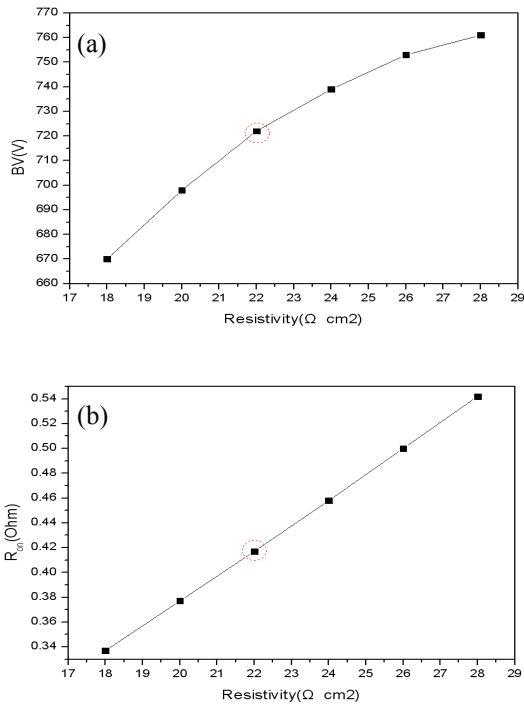


Fig. 1. Change resistivity by BV, R_{on} (a) BV, (b) R_{on}.

Table 1. Change resistivity by BV, R_{on}.

Cell Pitch	Resistivity	BV(V)	R _{on} @18 A
8	18	670	0.337
	20	698	0.377
	22	722	0.417
	24	739	0.458
	26	753	0.500
	28	761	0.542

물레이션 마진을 20%로 하여 항복전압 결과가 720 V 이상으로 선정했다. 비저항값의 증가에 따른 항복전압의 증가분에 비해 온 저항의 증가분이 많기 때문에 비저항값이 22 Ωcm²인 경우가 가장 적합하다고 판단하여 이 값을 기준으로 했다.

2.1.2 JFET 도우즈에 따른 항복전압 및 온 저항 시물레이션

최적화된 비저항값 22 Ωcm²를 기준을 잡아 JFET (junction field effect transistor) 도우즈는 1.0E12~2.0E12 cm⁻²까지 조건을 주었다. JFET 도우즈가 증가할 경우 P베이스 접합과의 공핍층 면적을 축소시키는 요인으로 작용하기 때문에 온 저항이 낮아지게 되나 공핍층 면적 축소로 인하여 항복전압이 낮아지는 현상을 볼 수 있다. JFET 도우즈가 1.2E12 cm⁻²일 때가

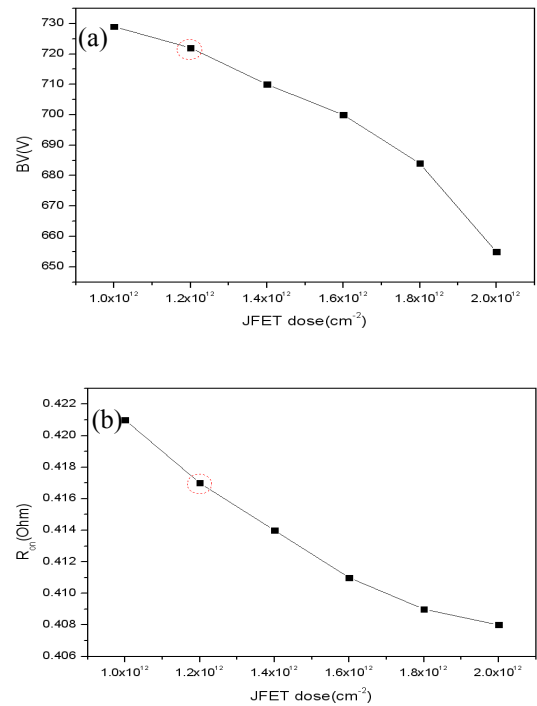


Fig. 2. Change JFET dose by BV, R_{on} (a) BV, (b) R_{on}.

Table 2. Change JFET dose by BV, R_{on}.

Resistivity	JFET Dose	BV(V)	R _{on} @18 A
22	1.0E12	729	0.421
	1.2E12	722	0.417
	1.4E12	710	0.414
	1.6E12	700	0.411
	1.8E12	684	0.409
	2.0E12	655	0.408

항복전압이 720 V를 넘었으며 1.0E12 cm⁻² 보다 온 저항이 낮았기에 이에 진행하였다.

2.1.3 게이트 넓이에 따른 항복전압 및 온 저항 시물레이션

최적화된 비저항과 JFET 도우즈를 고정하고 게이트 넓이는 4~6.5 μm까지 조건을 주어 실험을 하였다.

게이트가 넓어지게 되면 그만큼 JFET영역이 늘어나게 되며 전류를 받아드리는 p베이스 면적이 줄어들게 되어 항복전압이 낮아지게 되므로 5 μm가 4.5 μm보다 항복전압이 낮으나 온 저항이 낮기 때문에 5 μm로 선택하여 진행하였다.

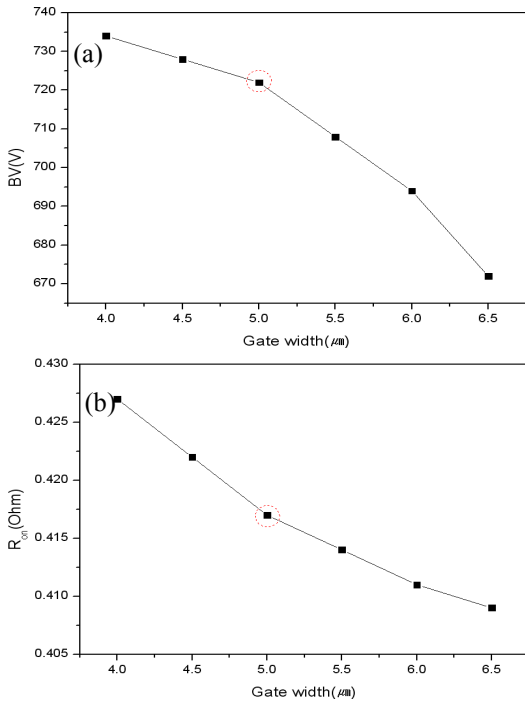


Fig. 3. Change gate width by BV, Ron (a) BV, (b) Ron.

Table 3. Change gate width by BV, Ron.

JFET Dose	Gate width	BV(V)	Ron@18 A
1.2E12	4	734	0.427
	4.5	728	0.422
	5	722	0.417
	5.5	708	0.414
	6	694	0.411
	6.5	672	0.409

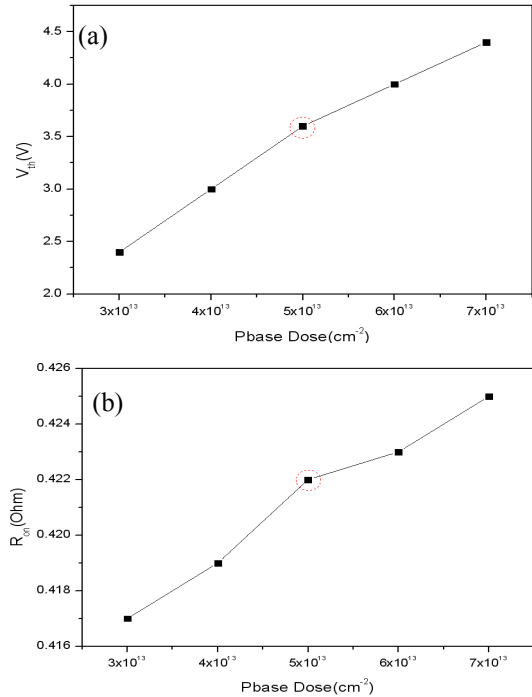


Fig. 4. Change Pbase dose by threshold Vth, Ron (a) Vth, (b) Ron.

Table 4. Pbase dose by threshold Vth, Ron changes.

Gate width	Pbase Dose	Vth(V)	Ron@18 A
5	3.0E13	2.4	0.417
	4.0E13	3.0	0.419
	5.0E13	3.6	0.422
	6.0E13	4.0	0.423
	7.0E13	4.4	0.425

2.1.4 P베이스 도우즈에 따른 문턱전압 및 온 저항 시뮬레이션

앞서 나온 결과들을 고정하고 P베이스 도우즈 3.0E13~7.0E13 cm⁻² 조건을 주었다. P베이스 도우즈가 증가하면 채널 형성을 위해서 게이트전압을 증가시켜야 하기 때문에 문턱전압은 증가하게 되나 문턱전압이 높으면 스위칭 속도가 느려지기 때문에 낮게 설계를 해야 한다. 문턱전압이 낮아지면 스위칭 시간이 개선되나 빠른 스위칭동안 끌여 올려지는 게이트 전압에 의해 원치 않는 턴 온이 생길 수 있기 때문에 높은 전압의 소자에서는 3.5~4.5 V사이를 기준으로 잡는다. P베이스 도우즈가 5.0E13 cm⁻²일 때 3.6 V가 나왔으므로 5.0E13 cm⁻²을 선택하였다.

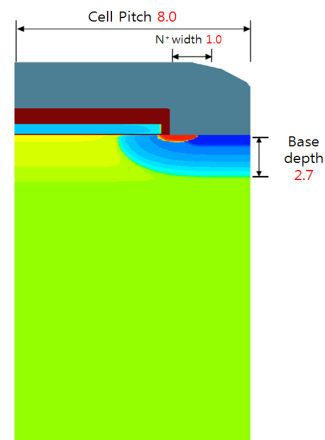


Fig. 5. Planar power MOSFET optimization sectional view.

2.2 600 V급 trench power MOSFET 설계

Trench타입의 경우 게이트를 식각함으로써 JFET 영역과 드리프트 영역을 줄일 수 있기 때문에 Planar 구조에 비해 온 저항을 낮출 수 있다. 하지만 너무 깊게 식각하게 되면 항복전압 또한 낮아지게 되는 현상이 발생하게 된다. 이에 유의하여 시뮬레이션을 하였다.

2.2.1 게이트 깊이에 따른 항복전압, 온 저항 시뮬레이션

Planar타입과 비교하기 위해서 같은 비저항값과 cell pitch로 시뮬레이션 하였고 게이트 깊이는 3.5~5 um로 조건을 주었다. 게이트 깊이가 깊어지면 JFET영역의 저항과 드리프트 영역의 저항을 축소시킬 수 있기 때문이다. 하지만 게이트가 깊어지면 전계가 균일하게 증가되지 못하고 게이트식각 깊이 증가 부분에 전계가 집중되어 항복전압이 떨어지게 되어 본 시뮬레이션에서는 4.0 um가 적합하다고 판단되어 기준을 잡아 진행하였다.

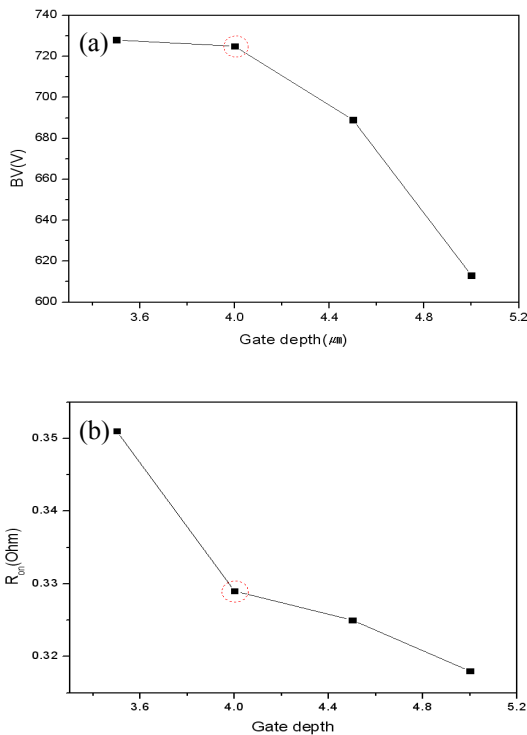


Fig. 6. Change gate depth by BV, Ron (a) BV, (b) Ron.

Table 5. Change gate depth by BV, Ron.

Cell Pitch	Gate depth	BV(V)	Ron@18 A
8	3.5	728	0.351
	4.0	725	0.329
	4.5	689	0.325
	5.0	613	0.318

2.2.2 게이트 넓이에 따른 항복전압, 온 저항 시뮬레이션

게이트 넓이가 넓어질수록 P베이스의 크기가 줄어들어 전류의 흐름이 좁아지고 같은 면적당 농도가 높아져 드리프트층과 공핍층이 줄어들어 항복전압이 떨어지게 되며 더불어 온 저항 역시 떨어진다. 5.2 um와 큰 차이는 없었으나 온 저항이 조금이라도 낮은 5.7 um로 선택하여 진행하였다.

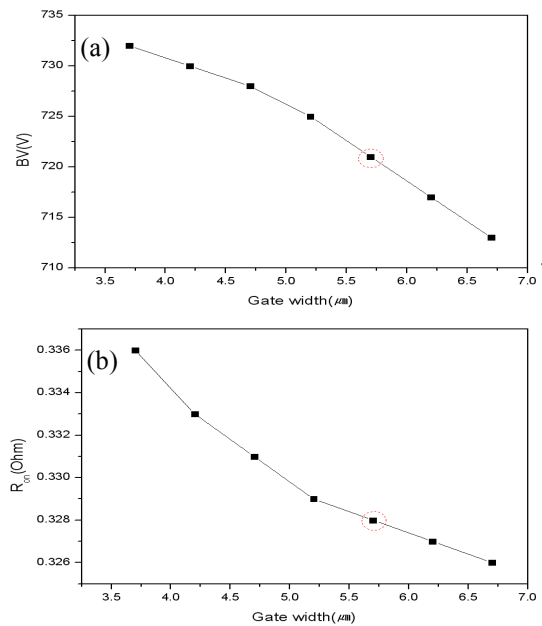


Fig. 7. Change gate width by BV, Ron (a) BV, (b) Ron.

Table 6. Change gate width by BV, Ron.

Gate depth	Gate width	BV(V)	Ron@18 A
4.0	3.7	732	0.336
	4.2	730	0.333
	4.7	728	0.331
	5.2	725	0.329
	5.7	721	0.328
	6.2	717	0.327
	6.7	713	0.326

2.2.3 P베이스 도우즈에 따른 문턱전압 및 온 저항 시뮬레이션

앞서 나온 조건을 고정한 상태에서 P베이스 도우즈는 $1.2E13 \sim 3.7E13 \text{ cm}^{-2}$ 으로 주었다. 보통의 높은 전압의 소자에서는 3.5~4.5 V사이를 기준으로 선택한다. 낮은 문턱전압은 스위칭 속도를 빠르게 하기 때문에 온 저항은 $3.2E13 \text{ cm}^{-2}$ 보다 높지만 $2.7E13 \text{ cm}^{-2}$ 인 3.5 V로 선택하여 진행하였다.

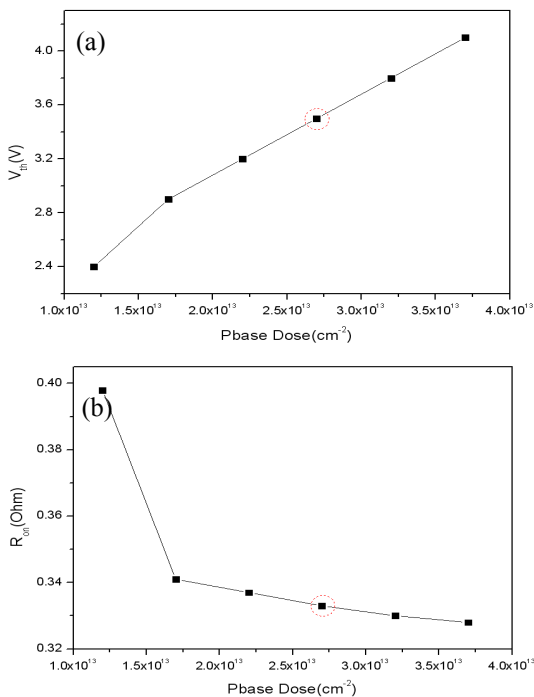


Fig. 8. Change Pbase dose by V_{th} , R_{on} (a) V_{th} , (b) R_{on} .

Table 7. Change Pbase dose by V_{th} , R_{on} .

Gate width	Pbase Dose	V_{th} (V)	$R_{on}@18 \text{ A}$
5.7	$1.2E13$	2.4	0.398
	$1.7E13$	2.9	0.341
	$2.2E13$	3.2	0.337
	$2.7E13$	3.5	0.333
	$3.2E13$	3.8	0.330
	$3.7E13$	4.1	0.328

2.2.4 Cell pitch, 게이트 넓이에 따른 항복전압 온 저항 시뮬레이션

Cell pitch에 따라 게이트 넓이를 줄였으며 측정조건은 cell pitch 8~6.25 μm 게이트 넓이는 cell pitch

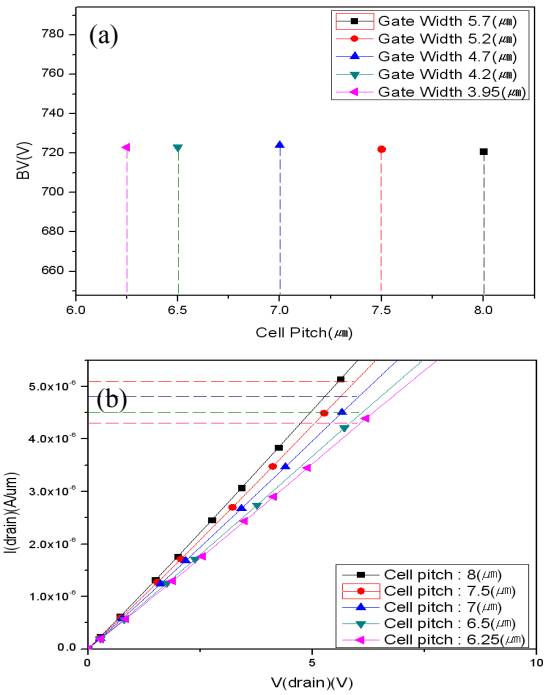


Fig. 9. Change cell pitch, gate width by BV, R_{on} (a) BV, (b) R_{on} .

Table 8. Change cell pitch, gate width by BV, R_{on} .

Cell pitch	Gate width	BV(V)	$R_{on}@18 \text{ A}$
8	5.7	721	0.333
7.5	5.2	722	0.330
7	4.7	724	0.334
6.5	4.2	723	0.337
6.25	3.95	723	0.337

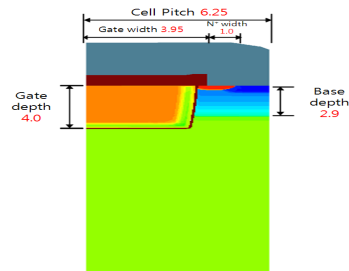


Fig. 10. Trench power MOSFET optimization sectional view.

에 비례하여 2.3 μm 씩 줄여 5.7~3.95 μm 로 설계하였다. 항복전압, 온 저항의 큰 차이는 없었으나 소자 셀의 길이를 줄임으로써 planar타입에 비하여 net die 당 효율을 높일 수 있음을 알 수 있었다.

3. 결과 및 고찰

600 V급 planar타입과 trench타입의 MOSFET의 최종적인 소자 최적화 결과를 비교한 것이다. Planar 타입은 $V_{th}(V) : 3.6$, $BV(V) : 722$, $R_{on} : 0.422 \text{ Ohm}$, cell size : 8 μm 로 최적화가 되었으며 trench타입은 $V_{th}(V) : 3.5$, $BV(V) : 723$, $R_{on} : 0.337 \text{ Ohm}$, cell size : 6.25 μm 로 최적화가 되었다. Planar타입에 비하여 trench타입이 온 저항이 21%가 낮았으며 cell size 또한 22% 감소된 것을 볼 수 있었다.

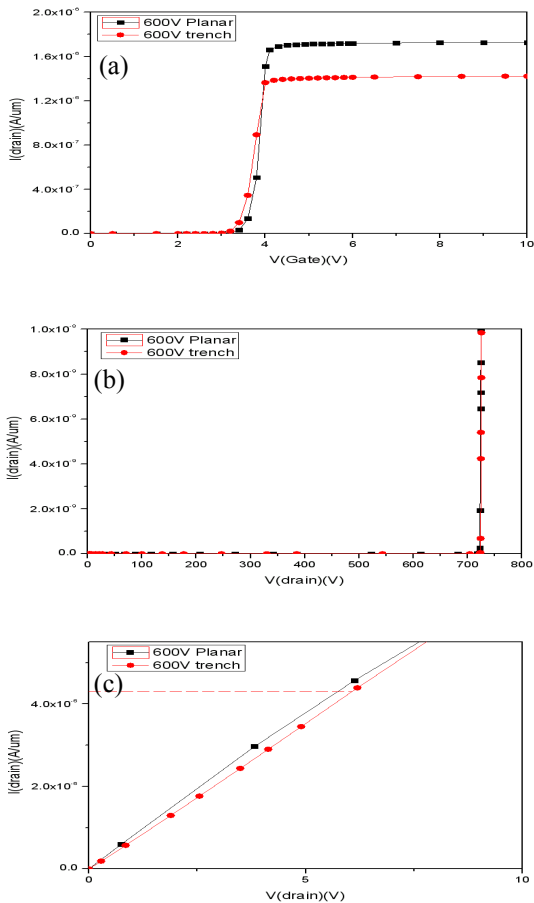


Fig. 11. Threshold voltage, breakdown voltage, on resistance optimization in respect of planar, trench (a) V_{th} , (b) BV , (c) R_{on} .

4. 결론

낮은 온 저항과 높은 항복전압을 얻기 위해 600 V급 planar타입과 trench타입을 설계하여 같은 비저항에 각각의 조건을 주어 시뮬레이션 하였다. Trench타입은 planar타입에 비해 게이트부분이 JFET영역을 없애 JFET영역에 걸리는 온 저항을 낮출 수 있게 해주며 더불어 드리프트 영역의 저항까지 축소시켜 낮은 온 저항을 가짐으로써 전력 공급의 손실을 줄이고, 효율을 높여줄 수 있었다. 결과적으로 planar타입 보다 trench 타입으로 저전력 구현을 가능하게 되었다는 것을 알 수 있었다.

감사의 글

본 논문은 한국연구재단의 지역대학우수대학자(2011_0013760) 및 지식경제부와 한국산업기술진흥원의 지역산업개발 사업으로 수행된 연구 결과입니다.

REFERENCES

- [1] E. G. Kang and M. Y. Sung, *J. KIEEME*, **15**, 758 (2002).
- [2] T. J. Nam, H. S. Chung, and E. G. Kang, *J. KIEEME*, **24**, 713 (2011).
- [3] B. J. Baliga, *Power Semiconductor Devices* (PWS Publishing Company, New York, 1996).
- [4] N. Keskar, M. Trivedi, and K. Shenai, *Device Reliability and Robust Power Converter Evelopment*, (Microelectron. Reliab., 1999) p. 1121.
- [5] S. S. Kyoung, J. H. Seo, Y. H. Kim, J. S. Lee, E. G. Kang, and M. Y. Sung, *J. KIEEME*, **22**, 12 (2009).
- [6] H. S. Lee, E. G. Kang, A. R. Shin, H. H. Shin, and M. Y. Sung, *KIEE*, **7** (2006).