

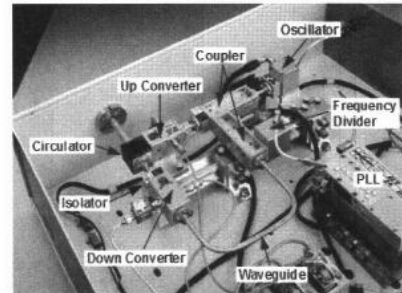
서브테라헤르츠 CMOS 집적 회로 기술 동향

심 동 하  
서울과학기술대학교

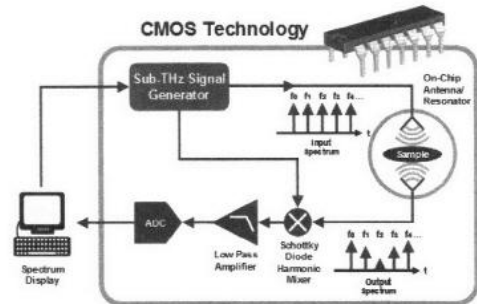
I. 개 요

서브테라헤르츠(sub-terahertz)는 100 GHz~1 THz의 전자기 스펙트럼으로 정의된다. 특히 이 주파수 영역이 갖는 독특한 물리적 특징은 센싱(sensing), 이미징(imaging), 통신 분야의 다양한 응용에 적용될 수 있다<sup>[1],[2]</sup>. 가령, 스펙트로스코피(spectroscopy)를 이용한 위험 물질 감지, 이미징을 이용한 은닉 무기 검색, 비파괴 검사, 단거리 레이더와 초고속 데이터 통신 등이 그 대표적인 예가 되겠다.

기존의 서브테라헤르츠 시스템은 고가의 도파관(waveguide) 소자[그림 1] (a)나 광학 소자로 구성되기 때문에 부피가 크고 그 가격이 수억에서 수십억 원에 이른다. 저가격의 실용적인 서브테라헤르츠 신호원(signal source)과 검출기(detector)의 부재로 인해 이 주파수 영역을 오랫동안 미개척 분야로 남아 있었다. 최근 CMOS 집적 회로의 비약적인 성능 발전으로, CMOS 기술을 이용한 집적화를 통해 그 가격과 부피를 현저히 낮춘 서브테라헤르츠 시스템의 개발을 고려할 수 있게 되었다. 가령 [그림 1] (a)의 기존 스펙트로미터(spectrometer)를 구성하는 각 도파관 소자들을 하나의 CMOS 칩에 집적할 수 있다면, [그림 1] (b)의 단일칩 스펙트로미터(single-chip spectrometer)를 구현할 수 있을 것이다. 송신단은 광대역 서브테라헤르츠 신호발생기와 온칩안테나(On-chip antenna)를 포함하며, 수신단은 온칩안테나, 고조파믹서(harmonic mixer), 저대역통과증폭기(low-pass amplifier), AD 변환기(converter)로 구성될 수 있다. 나아가 CMOS 서브테라헤르츠 집적 회로는 기저 대역(baseband) 디지털 회로와 하나의 칩에 집적되어 소형 저가격의 서



(a) 기존의 서브테라헤르츠 스펙트로미터



(b) 단일 칩 CMOS 서브테라헤르츠 스펙트로미터의 개념도 [그림 1] 서브테라헤르츠 시스템<sup>[3]</sup>

브테라헤르츠 집적 시스템의 출현을 가능하게 할 것이다.

본 논문에서는 CMOS 서브테라헤르츠 집적 회로 연구와 관련된 최근 동향을 소자와 신호원 및 검출기 회로를 중심으로 정리해 보았다.

II. 서브테라헤르츠 CMOS 소자

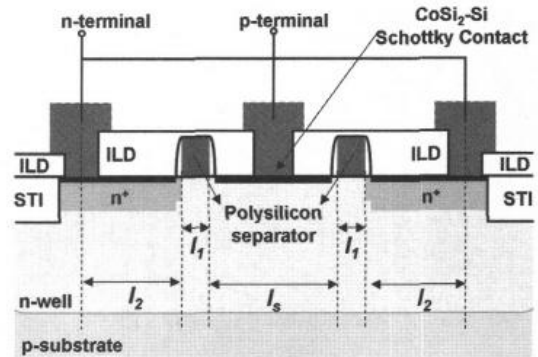
2-1 CMOS 트랜지스터

전통적으로 디지털 CMOS 기술은 제한된 최대 동작 주파수 때문에 높은 주파수 응용에 사용되지 못

했으나, 최근 CMOS의 미세화(scaling-down)에 따른 성능 향상으로 많은 밀리미터파(millimeter-wave)와 서브테라헤르츠 CMOS 집적 회로가 보고되고 있다. 실제로 제품에 사용되는 CMOS의 차단 주파수( $f_T$ )와 최대 발진 주파수( $f_{max}$ )도 각각 360 GHz와 450 GHz에 달한다<sup>[4]</sup>. [그림 2]의 로드맵(roadmap)은 NMOS, SiGe HBT(Hetro-junction Bipolar Transistor), InP HBT의 차단 주파수와 최대 발진 주파수의 추이를 보여 준다<sup>[3]</sup>. 로드맵에서 NOMS의 성능이 SiGe과 InP HBT의 성능을 능가해 2013년에는 최대 발진 주파수가 510 GHz에 이를 것으로 예상된다. 이러한 고성능 CMOS 트랜지스터는 다양한 서브테라헤르츠 대역의 회로와 시스템 설계를 가능하게 할 것이다.

2-2 CMOS 쇼트키 다이오드(Schottky Diode)

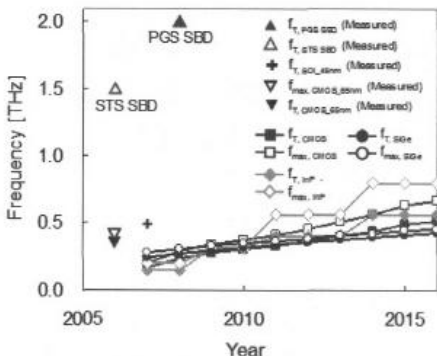
단기적으로 ~400 GHz 이상에서 동작하는 CMOS 트랜지스터 회로를 구현하기는 어려워 보인다. 이 문제는 기존의 서브밀리미터(sub-millimeterwave)와 테라헤르츠 기술에서 흔히 사용하는 수동 검출기와 주파수채배기(frequency multiplier)를 이용하여 해결될 수 있다. 특히 쇼트키 다이오드(Schottky diode)는 이러한 용도로 널리 사용되고 있으며, CMOS와 BiCMOS 공정에서 1 THz 이상의 차단 주파수를 갖는 쇼트키 다이오드가 보고되었다<sup>[5],[6]</sup>. [그림 3]은 130-nm CMOS



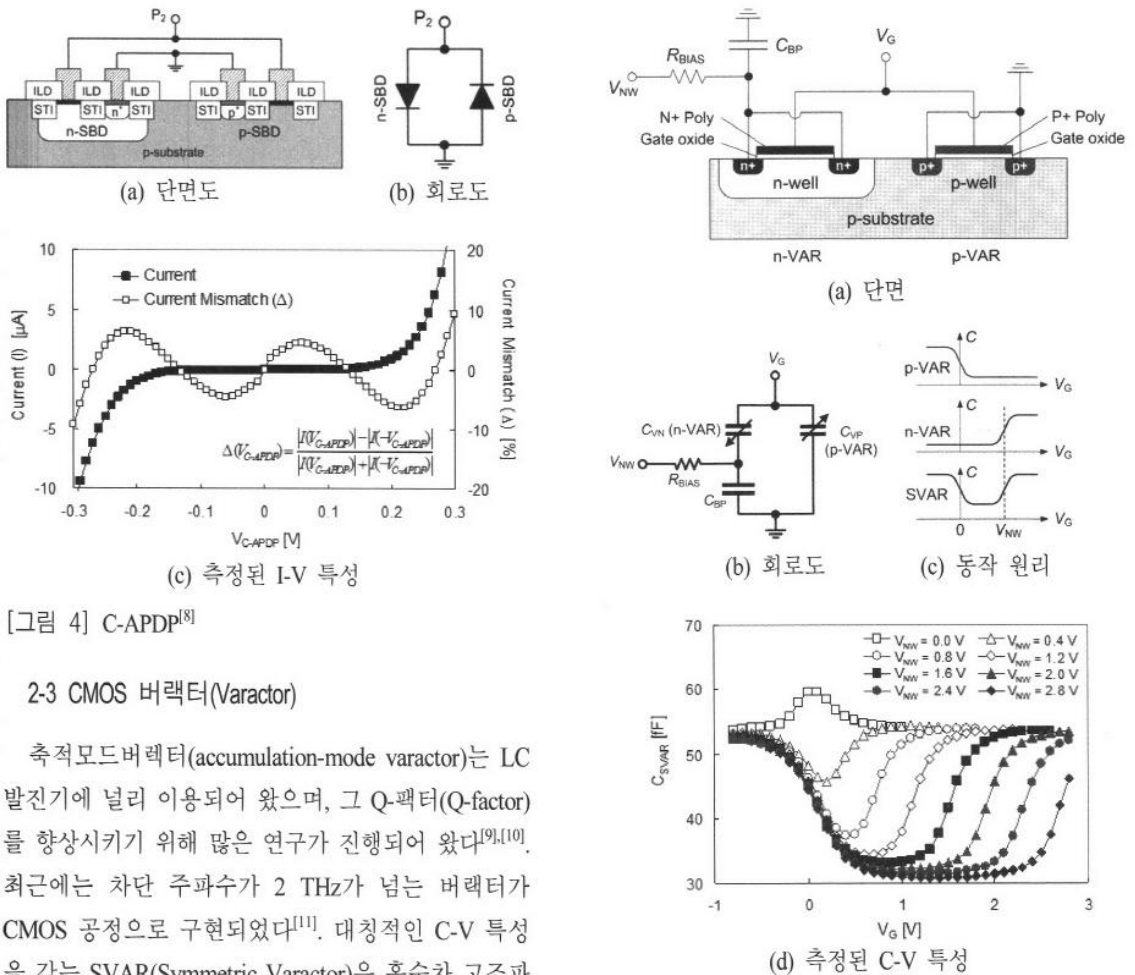
[그림 3] CMOS 쇼트키 다이오드 단면도<sup>[7]</sup>

공정으로 제작된 쇼트키 다이오드의 단면을 보여 준다<sup>[7]</sup>. 소스/드레인(source/drain)을 위한 이온 주입이 없는 확산 영역(diffusion region)에 CoSi<sub>2</sub>-실리콘 쇼트키 접촉(Schottky contact)이 형성되었다. 다이오드의 양극(anode)과 음극(cathod)은 폴리게이트(poly-gate)를 이용하여 분리했으며, 차단주파수(cutoff frequency)를 최대화하기 위해 최소의 쇼트키 접촉 면적을 사용하였다. 2 THz의 차단 주파수를 갖는 이 CMOS 다이오드는 테라헤르츠 신호발생을 위한 주파수채배기와 테라헤르츠 검출기의 개발에 효과적으로 이용될 수 있다.

CMOS 쇼트키 다이오드를 이용하면 서브하모닉 믹서(sub-harmonic mixer)나 주파수채배기에 널리 사용되는 역병렬다이오드쌍(anti-parallel diode pair)을 구현할 수 있다<sup>[8]</sup>. 다이오드쌍이 n-형 쇼트키 다이오드만으로 구현된다면 회로의 동작 주파수는 기판의 기생 캐패시턴스와 저항에 의해 제한된다. 이러한 기판의 영향을 막기 위하여 n-형과 p-형 다이오드를 동시에 사용한 상보형역병렬다이오드쌍(Complementary Anti-parallel Diode Pair: C-APDP)이 제안되었다([그림 4] (a)). 130-nm 공정에서 제작된 다이오드쌍은 역대칭(antisymmetric) I-V 특성([그림 4] (c))을 보이며, 효과적으로 흡수차 고조파를 발생하였다. 차단주파수는 470 GHz로 측정되었다.



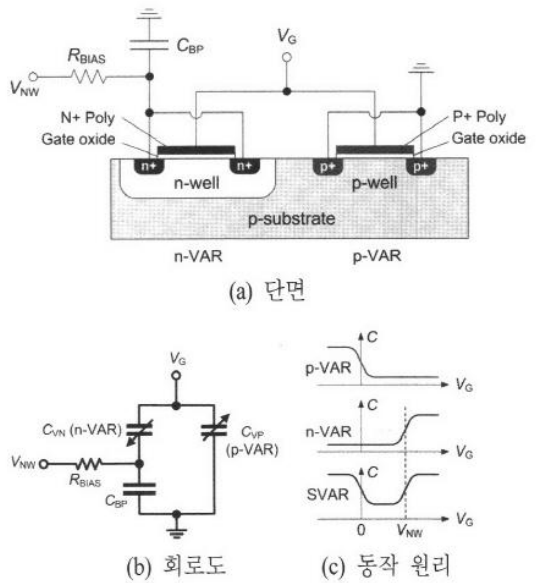
[그림 2] 다양한 트랜지스터의 성능 추이 로드맵<sup>[3]</sup>



[그림 4] C-APDP<sup>[8]</sup>

### 2-3 CMOS 버랙터(Varactor)

축적모드버랙터(accumulation-mode varactor)는 LC 발진기에 널리 이용되어 왔으며, 그 Q-팩터(Q-factor)를 향상시키기 위해 많은 연구가 진행되어 왔다<sup>[9],[10]</sup>. 최근에는 차단 주파수가 2 THz가 넘는 버랙터가 CMOS 공정으로 구현되었다<sup>[11]</sup>. 대칭적인 C-V 특성을 갖는 SVAR(Symmetric Varactor)은 홀수차 고조파만을 발생하기 때문에 짝수차 고조파를 제거하기 위한 추가적인 회로가 불필요하다. 이런 이유로 최적화된 III-V 화합물 반도체 공정에서 제작된 SVAR은 밀리미터와 서브밀리미터 영역의 주파수 체배에 많이 이용되어 왔다<sup>[12],[13]</sup>. CMOS 공정에서도 p-타입 버랙터와 n-타입 버랙터를 병렬로 연결하여 대칭 C-V 특성을 갖는 소자를 CMOS 공정으로 구현할 수 있다[그림 5] (c). 130-nm CMOS 공정에서 제작된 소자의 단면과 회로도는 각각 [그림 5] (a) 및 [그림 5] (b)와 같다. [그림 5] (d)는 측정된 대칭적인 C-V 특성을 보여준다. 차단주파수(cutoff frequency)와 동적차단주파수(dynamic cutoff frequency)는 각각 320 GHz와 125 GHz로



[그림 5] SVAR<sup>[14]</sup>

측정되었으며, 효과적으로 짝수 고조파를 억제하면서 홀수차 고조파를 발생하였다. 특히 입력 전력이 커지면서 3차 고조파와 함께 큰 5차 고조파를 발생하여, 서브테라헤르츠 대역의 주파수 3체배기와 5체배기에 효과적으로 이용될 수 있을 것으로 기대된다.

## III. 서브테라헤르츠 신호발생기

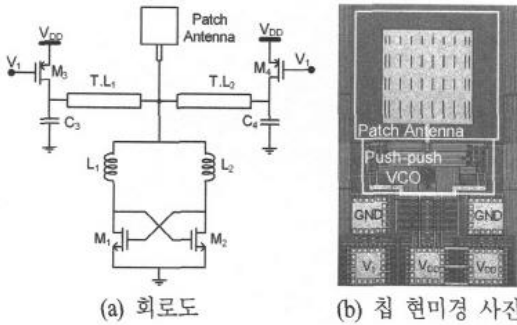
### 3-1 푸쉬-푸쉬 발진기(Push-Push Oscillator)

발진기 내의 2차 고조파를 합성하는 푸쉬-푸쉬(push-

push) 방법을 이용하여 트랜지스터의 최대 발진 주파수를 이상의 출력 주파수를 갖는 CMOS 발진기가 구현되었다<sup>[15]</sup>. [그림 6] (a)는 45-nm CMOS 공정으로 제작된 410-GHz 푸쉬-푸쉬 발진기의 회로도를 보여 준다. 가상접지노드(virtual ground node)에서 기본 주파수 신호는 상쇄되고, 2차 고조파 성분만 합성되어 출력으로 나오게 된다. 전송 선로(transmission line)는 기판과 신호선을 격리 시켜 손실을 줄이기 위해 GCPW(Grounded Coplanar Waveguide) 구조를 이용해 구현되었다. 신호선은 본드 패드 알루미늄층으로 형성되었고, 접지면(ground plane)은 M1과 M2 메탈층을 이용하였다. 트랜지스터는 크로스 커플(cross-couple) 구조로, 게이트 저항을 저감시키는 구조로 설계되었다. 인터덕팅 Q-팩터를 높이기 위하여 단권(single-turn)을 사용했다. 준광학적 측정을 위하여 마이크로 스트립 패치(microstrip patch) 구조의 온칩 안테나를

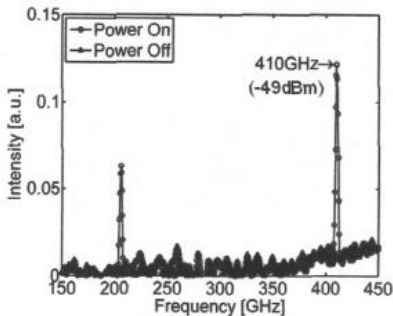
이용하였다. 패치의 크기는  $200 \times 200 \mu\text{m}^2$ 이며, 시뮬레이션을 통해 계산된 안테나의 지향성(directionality)은 5이며, 효율은 22 %이다. 제작된 회로의 면적은 본드 패드를 포함해  $640 \times 390 \mu\text{m}^2$ 이다. [그림 6] (b)는 제작된 칩의 현미경 사진을 보여주고 있다.

서브테라헤르츠 영역에서 기존의 전기적인 측정 방법은 측정 과정에서 큰 손실을 유발해 낮은 전력의 신호 측정에 적합하지 않다. 이를 해결하기 위하여 온칩안테나와 FTIR(Fourier Transform Infrared) 스펙트로미터를 이용한 준광학적 방법을 이용하여 발진기의 출력 스펙트럼을 측정하였다([그림 7]). FTIR 측정시스템은 신호원, 분광기(interferometer), 볼로미터(bolometer)로 구성되어 있다. [그림 6] (c)는 측정된 발진기의 출력 스펙트럼을 보여주며, 410 GHz에서  $\sim 20 \text{ nW}$ (-47 dBm) 출력 전력이 측정되었다. 발진기는 1.5 V의 공급 전압에서 11 mA의 전류를 소모한다.



(a) 회로도

(b) 칩 현미경 사진

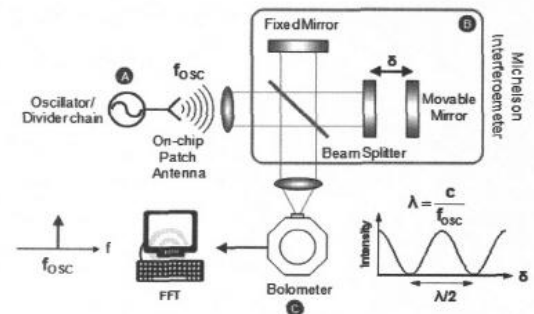


(c) ON/OFF 상태의 410 GHz 발진기 출력 스펙트럼

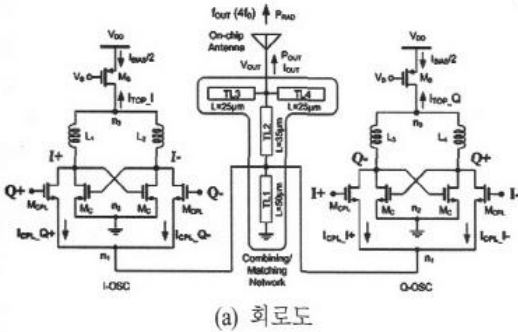
[그림 6] 410 GHz 발진기<sup>[15]</sup>

### 3-2 4-푸쉬 발진기(Quadruple-Push Oscillator)

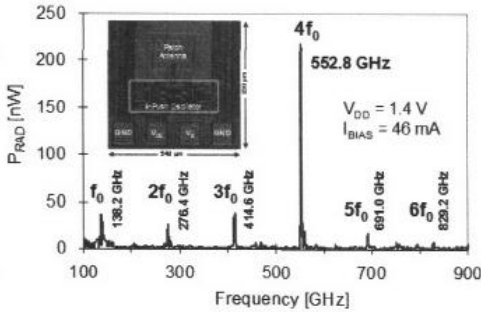
45-nm CMOS 저 누설(low leakage) 트랜지스터를 이용한 553 GHz 4-푸쉬 CMOS 발진기가 구현되었다<sup>[16]</sup>. 4위상발진기(quadrature oscillator)에 기반한 4-푸싱 발진기의 구조는 [그림 8] (a)와 같다. 커플링 트랜지스터(coupling transistor)의 고조파 전류는 전송 선로로 구성된 수동합성네트워크(passive combining net-



[그림 7] FTIR을 이용한 준광학적 출력 스펙트럼 측정<sup>[16]</sup>



(a) 회로도



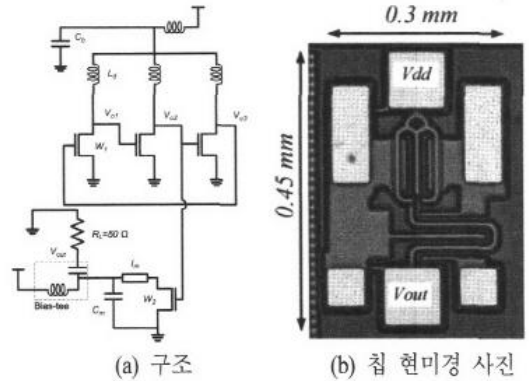
(b) 출력 스펙트럼 및 칩 현미경 사진

[그림 8] 553-GHz 4푸쉬 발진기<sup>[16]</sup>

work)를 통해 합쳐진다. 능동 합성기(active combiner)와 달리 발진기에 직접 연결되지 않아 더 높은 주파수에서 발진기가 동작할 수 있다<sup>[17]</sup>. 45-nm CMOS 공정을 이용해 제작된 칩의 크기는  $540 \times 530 \mu\text{m}^2$ 이며, [그림 8] (b)는 칩 현미경 사진을 보여준다. 앞에서 기술한 푸쉬-푸쉬 발진기와 마찬가지로 준광학적 측정을 위해 마이크로스트립패치 구조의 온칩안테나가 사용되었다. 패치의 크기는  $160 \times 120 \mu\text{m}^2$ 이며, 시뮬레이션을 통해 계산된 지향성과 효율은 각각 3.4와 28%이다. 인셋급전(inset-feed)을 사용하여 입력 임피던스를 매칭하였다. [그림 8] (b)는 FTIR 스펙트로미터를 이용한 측정 결과를 보여 준다. 발진기는 553 GHz에서 220 nW의 출력 전력을 발생하였다. 6차 고조파(829.2 GHz)까지 관찰되었으며, 원치 않는 고조파의 전력 레벨은 모두 50 nW 이하로 억제되었다. 발진기는 1.4 V의 공급 전원에서 46 mA를 소모한다.

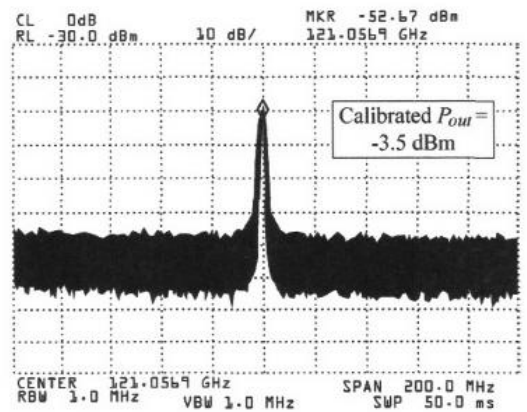
### 3-3 고출력 발진기(High Power Oscillator)

트랜지스터의 최대 발진 주파수( $f_{\text{max}}$ )에 가까운 동작 주파수에서 높은 출력을 낼 수 있는 발진기 설계와 관련된 체계적인 방법이 제안되었다<sup>[18]</sup>. 제안된 방법을 바탕으로 [그림 9] (a)의 3-단 링발진기(3-stage ring oscillator) 구조가 최대의 동작 주파수와 전압 스윙을 갖는 것을 증명하였다. [그림 9] (b)는 130-nm CMOS 공정에서 제작된 칩을 보여주며, 그 크기는  $0.3 \times 0.45 \text{ mm}^2$ 이다. 출력 스펙트럼은 도파관 프로브(waveguide probe)와 고조파믹서(harmonic mixer)를 이용해 측정되었으며, 121 GHz에서 -3.5 dBm의 높은 출력이 관찰되었다([그림 9] (c)).



(a) 구조

(b) 칩 현미경 사진

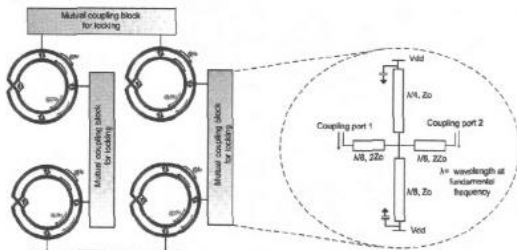


(c) 측정된 출력 스펙트럼

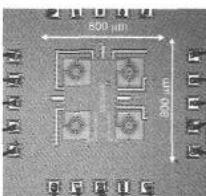
[그림 9] 고출력 발진기<sup>[18]</sup>

### 3-4 분포능동방사(Distributed Active Radiation)

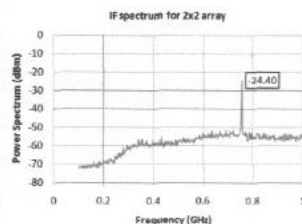
신호의 발생, 채배, 필터링(filtering) 및 방사(radiation)의 기능을 갖는 단일 능동 전자기 결합형(single active electromagnetically coupled structure) 구조의 DAR (Distributed-Active-Radiator)이 제안되었다<sup>[19]</sup>. DAR 구조에 의해 기본파의 상쇄와 이차 고조파의 방사는 준광학적으로 이루어진다. 두 개의 루프가 가까이 붙어 있어서 반대 방향으로 흐르는 기본파 전류는 원거리장(far-field)에서 상쇄되고, 동일한 방향으로 흐르는 2차 고조파 전류는 합쳐지기 때문이다. 또한 이 구조는 원형 편파(circularly polarized) 방사를 발생해 기판 모드(substrate mode)에 의한 손실이 작으며, 배열(array) 구조를 통해 준광학적으로 손실 없이 전력 결합을 가능하게 한다. [그림 10] (a)는 전송 선로 네트워크를 통해 상호 동기된 2x2 배열 DAR 구조를 보여준다. horn 안테나(horn antenna)와 고조파 믹서를 이용하여 측정된 결과, 291 GHz에서 80 μW의 출력이 관찰되었다([그림 10] (c)).



(a) 구조



(b) 칩 현미경 사진

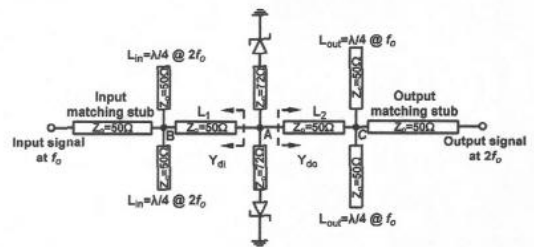


(c) 측정된 출력 스펙트럼

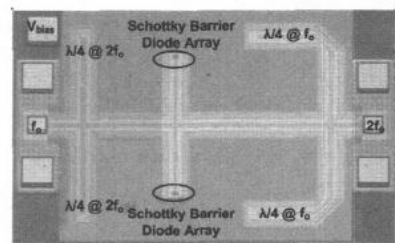
[그림 10] 분포 능동 방사 발전기<sup>[19]</sup>

### 3-5 주파수체배기(Frequency Multiplier)

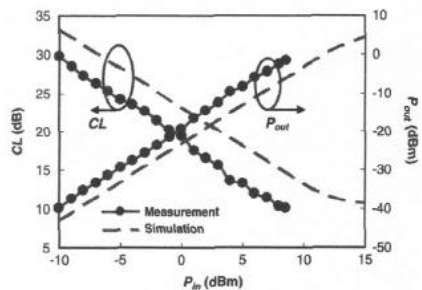
앞에서 소개한 CMOS 쇼트키 다이오드를 이용한 버랙터 모드(Varactor mode)에서 동작하는 주파수 체배기(frequency doubler)가 130-nm CMOS 공정으로 구현되었다<sup>[20]</sup>. [그림 11] (a)는 주파수 체배기의 구조를 보여준다. 다이오드와 기판 사이의 큰 기생 성분(parasitics)으로 인한 손실을 줄이기 위해 다이오드는 션트(shunt) 구조를 가진다. 주파수 체배기는 두 개의 다이오드와 전송 선로로 구성되며 대칭적인 구조를 가진다. 다이오드는 전송 선로는 기판으로 인한 손실을



(a) 구조



(b) 칩 현미경 사진



(c) 입력 전력( $P_{in}$ )에 따른 출력 전력( $P_{out}$ )과 변환 손실(CL)

[그림 11] 125-GHz 주파수 체배기<sup>[20]</sup>

막기 위하여 GCPW 구조를 가진다. 다이오드는 버렉터 모드에서 동작하며, 최대 변환 효율(conversion efficiency)을 갖도록 크기가 최적화 되었다. 주파수 체배기는 130-nm 로직 CMOS 공정에서 제작되었으며, 크기는  $1.1 \times 0.7 \text{ mm}^2$ 이다([그림 11] (b)). 125 GHz에서 측정된 입력 전력( $P_{in}$ )에 따른 변환 손실(conversion loss)과 출력 전력( $P_{out}$ )은 [그림 11] (c)와 같다. 주파수 체배기는 10 dB의 최소 변환 손실을 가지며, 최대 -1.5 dBm의 출력 전력을 발생하였다.

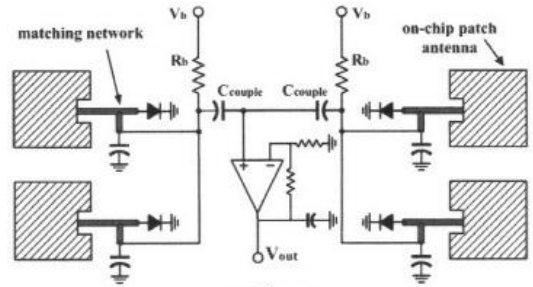
#### IV. 서브테라헤르츠 신호 검출기

##### 4-1 다이오드 검출기(Diode Detector)

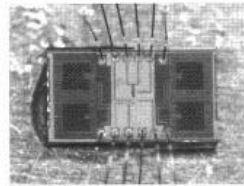
앞에서 소개한 CMOS 쇼트키 다이오드를 이용한 2x2 배열 검출기가 130-nm CMOS 공정에서 구현되었다<sup>[21]</sup>. [그림 12] (a)는 검출기 회로도를 보여준다. 온칩안테나와 다이오드로 이루어진 4개의 검출기 셀이 저잡음 프리앰프(pre-amplifier)에 연결되어 있다. 마이크로스크립 패치 구조를 사용한 온 칩 안테나의 크기는  $255 \times 250 \mu\text{m}^2$ 이며, 알루미늄 패드 메탈층으로 구현되었다. 저잡음 프리앰프는 입력 플러커 노이즈(Flicker noise)와 오프셋(offset)을 감소시키기 위하여 공동중심(common centroid) PMOS 입력쌍(input pair) 구조를 사용하였다. 저항 피드백으로 프리앰프는 ~1 MHz의 대역폭에서 50-dB의 이득을 갖는다. [그림 12] (b)의 제작된 칩의 크기는  $1.5 \times 0.8 \text{ mm}^2$ 이다. [그림 12] (c)는 검출기의 다이오드 전류에 따른 반응도를 보여준다. 각각의 검출기 셀은 21 kV/W의 반응도(responsivity)와  $360 \text{ pW}/\sqrt{\text{Hz}}$ 의 등가 잡음 전력(Noise Equivalent Power: NEP)으로 25-kHz로 변조된 280-GHz 신호를 검출할 수 있다.

##### 4-2 트랜지스터 검출기(Transistor Detector)

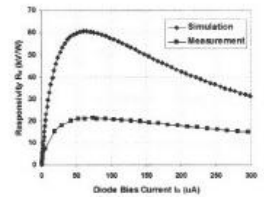
픽셀 내부 저잡음 증폭기와 단일 비디오 출력을 위한 멀티플렉싱(multiplexing) 회로를 가진 300 GHz~



(a) 회로도



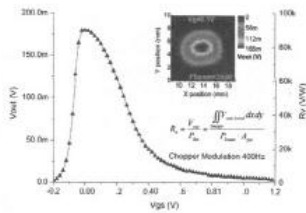
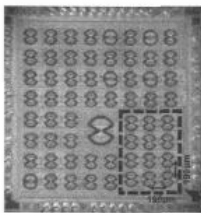
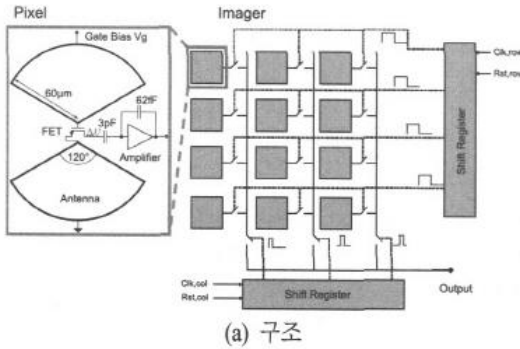
(b) 칩 현미경 사진



(c) 다이오드 바이어스 전류에 따른 반응도

[그림 12] 280-GHz 쇼트키 다이오드 검출기<sup>[21]</sup>

1 THz의 광대역 CMOS 이미저(imager)가 구현되었다<sup>[22]</sup>. [그림 13] (a)는 3x4 픽셀(pixel) 이미저의 구조를 보여준다. 각각의 픽셀은 차동나비벡타이형(differential bow-tie) 안테나, nMOSFET 검출 소자, 단일입력 정전용량 케환증폭기(single-ended capacitive feedback amplifier)로 이루어져 있다. 픽셀의 크기는  $190 \times 190 \mu\text{m}^2$ 이다. 넓은 검출 대역폭과 다양한 작동 주파수를 위해 나비벡타이형 안테나가 사용되었다. 검출 소자 nMOSFET은 게이트 길이와 폭은 각각 130 nm와 250 nm이다. 입력 신호의 주파수가 nMOSFET의 차단 주파수를 훨씬 넘지만, 효과적으로 이를 정류(rectification)하여 소스와 드레인 사이의 DC 검출 신호로 출력한다. 이 정류 현상은 비공진(non-resonant) 경우의 Dyakonov-Shur 플라즈마 파동 이론(plasma wave theory) 혹은 저항자기믹싱(resistive self-mixing)으로 설명될 수 있다. [그림 13] (c)는 300 GHz에서 게이트 바이어스 전압에 따른 전압 반응도의 변화를 보여준다. 최대 90 kV/W의 반응도를 보이고, 1.05 THz의 높은 주파수



[그림 13] 광대역 트랜지스터 이미저<sup>[22]</sup>

에서도 여전히 ~1.8kV/W 반응도를 보여주었다. 이 연구 결과는 경제적인 CMOS 공정을 이용한 다중 주파수(multi-frequency) 실온 이미징 시스템의 가능성을 보여 주었다.

### V. 결 론

다양한 CMOS 소자와 신호원 및 검출기를 중심으로 서브테라헤르츠 CMOS 집적 회로의 동향을 살펴 보았다. 서브테라헤르츠 CMOS 시스템의 실용화를 위해 아직은 해결해야 할 과제들이 남아 있다<sup>[4]</sup>. 특히 충분히 높은 레벨의 출력 전력을 갖는 신호원 개발, 보다 정확한 CMOS 소자 특성 분석 및 모델링, 지속적인 공정의 미세화에 따른 수동소자의 성능 저하 해결에 관한 더 많은 연구가 진행되어야 할 것이다. 또한 대량 생산 시 높은 가격 경쟁력을 가지는 CMOS 공정의 특성을 고려해, 다양한 킬러 응용(killer appli-

cation)의 발굴이 요구된다.

서브테라헤르츠 CMOS 집적 회로 기술이 아직은 초기 단계이지만, 향후 지속적인 연구 개발을 통해 보안, 의료, 산업, 통신, 국방 등 다양한 분야에서 요구되는 실용적인 저가형 서브테라헤르츠 시스템의 구현에 핵심적인 역할을 할 것으로 기대된다.

### 참 고 문 헌

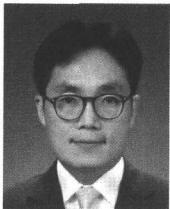
- [1] P. H. Siegel, "THz technology", *IEEE Trans. on Microw. Theory Tech.*, vol. 50, no. 3, pp. 910-928, Mar. 2002.
- [2] D. L. Woolard, E. R. Brown, M. Pepper, M. Kemp, "Terahertz frequency sensing and imaging: A time of reckoning future applications?", *IEEE Proc.*, vol. 93, no. 10, pp. 1722-1743, Oct. 2005.
- [3] E. Seok, D. Shim, C. Mao, R. Han, S. Sankaran, C. Cao, W. Knap, and K. K. O, "Progress and challenges towards terahertz CMOS integrated circuits", *IEEE J. Solid-State Circuits*, vol. 45, no. 8, pp. 1554-1564, Aug. 2010.
- [4] I. Post, M. Akbar, G. Curello, S. Gannavaram, W. Hafez, U. Jalan, K. Komeyji, J. Lin, N. Lindert, J. Park, J. Rizk, G. Sacks, C. Tsai, D. Yeh, P. Bai, and C.-H. Jan, "A 65 nm CMOS SOC technology featuring strained silicon transistors for RF applications", in *IEDM Tech. Dig.*, pp. 1-3, Dec. 2006.
- [5] S. Sankaran, K. K. O, "Schottky barrier diodes for mm-wave and detection in a foundry CMOS process", *IEEE Electron Device Letts.*, vol. 26, no. 7, pp. 492-494, Jul. 2005.
- [6] R. Rassel, J. Johnson, B. Orner, S. Reynolds, M. Dahlstrom, J. Rascoe, A. Joseph, B. Gaucher, J. Dunn, and S. S. Onge, "Schottky barrier diodes for millimeter wave SiGe BiCMOS applications", in



- IEEE Bipolar/BiCMOS Circuits Technol. Meeting*, pp. 255-258, Oct. 2006.
- [7] S. Sankaran, C. Mao, E. Seok, D. Shim, C. Cao, R. Han, C. Hung, and K. K. O, "Towards terahertz operation of CMOS", in *ISSCC Dig. Tech. Papers*, pp. 202-203, Feb. 2009.
- [8] D. Shim, S. Sankaran, and K. K. O, "Complementary antiparallel Schottky barrier diode pair in a 0.13- $\mu\text{m}$  logic CMOS technology", *IEEE Electron Device Lett.*, vol. 29, no. 6, pp. 606-608, Jun. 2008.
- [9] C.-M. Hung, Y.-C. Ho, I.-C. Wu, and K. K. O, "High-Q capacitors implemented in a CMOS process for low-power wireless applications", *IEEE Trans. Microw. Theory Tech.*, vol. 46, no. 5, pp. 505-511, May 1998.
- [10] T. Soorapanth, C. P. Yue, D. K. Shaeffer, T. H. Lee, and S. S. Wong, "Analysis and optimization of accumulation-mode varactor for RF ICs", in *VLSI Symp. Tech. Dig.*, pp. 32-33, Jun. 1998.
- [11] H. Xu and K. K. O, "High-Q thick-gate-oxide MOS varactors with subdesign-rule channel lengths for millimeter-wave applications", *IEEE Electron Device Lett.*, vol. 29, no. 4, pp. 363-365, Apr. 2008.
- [12] J. Stake, S. H. Jones, L. Dillner, S. Hollung, and E. L. Kollberg, "Heterostructure-barrier-varactor design", *IEEE Trans. Microw. Theory Tech.*, vol. 48, no. 4, pp. 677-682, Apr. 2000.
- [13] M. Krach, J. Freyer, and M. Claassen, "Schottky diode tripler for 210 GHz", *Electronics Lett.*, vol. 36, no. 10, pp. 858-859, May 2000.
- [14] D. Shim, K. K. O, "Symmetric varactor in 130-nm CMOS for frequency multiplier applications", *IEEE Electron Device Lett.*, vol. 32, no. 4, pp. 470-472, Apr. 2011.
- [15] E. Seok, C. Cao, D. Shim, D. J. Arenas, D. B. Tanner, C.-M. Hung, and K. K. O, "410-GHz CMOS push-push oscillator with a patch antenna", in *IEEE ISSCC Dig. Tech. Papers*, pp. 472-473, Feb. 2008.
- [16] D. Shim, D. Koukis, D. Arenas, D. B. Tanner, and K. K. O, "553-GHz signal generation in CMOS using a quadruple-push oscillator," in *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 154-155, Jun. 2011.
- [17] D. Huang, T. R. LaRoccan, M. F. Chang, L. Samoska, A. Fung, R. L. Campbell, and M. Andrews, "Terahertz CMOS frequency generator using linear superposition technique", *IEEE J. Solid-State Circuits*, vol. 43, no. 12, pp. 2730-2738, Dec. 2008.
- [18] O. Momeni, E. Afshari, "High power terahertz and millimeter-wave oscillator design: A systematic approach", *IEEE Journal of Solid-State Circuits*, Mar. 2011.
- [19] K. Sengupta, A. Hajimiri, "Distributed active radiation for THz signal generation", in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp. 288-289, 2011.
- [20] C. Mao, C. S. Nallani, S. Sankaran, E. Seok, and K. K. O, "125-GHz diode frequency doubler in 0.13- $\mu\text{m}$  CMOS", *IEEE J. Solid-State Circuits*, vol. 44, no. 5, pp. 1531-1538, May 2009.
- [21] R. Han, Y. Zhang, D. Coquillat, J. Hoy, H. Videliier, W. Knap, E. Brown, and K. K. O, "280-GHz shoctky diode detector in 130-nm digital CMOS", in *IEEE Custom Integrated Circuits Conf.*, San Jose, CA, Sep. 2010.
- [22] F. Schuster, H. Videliier, A. Dupret, D. Coquillat, M. Sakowicz, J. Rostaing, M. Tchagaspanian, B. Giffard, and W. Knap, "A broadband THz imager in a low-cost CMOS technology", in *ISSCC Dig. Tech. Papers*, pp. 42-43, Feb. 2011.

≡ 필자소개 ≡

심 등 하



1996년 2월: 서울대학교 원자핵공학과  
(공학사)

1998년 2월: 서울대학교 전기공학부 (공  
학석사)

1998년~2005년: 삼성전자 종합기술원 근무

2011년 5월: University of Florida, ECE  
Dept. (공학박사)

2011년 9월~현재: 서울과학기술대학교 MSDE 프로그램 조  
교수

[주 관심분야] 고주파 집적 회로 및 시스템