

TCAD 시뮬레이션을 이용한 Fin형 SONOS Flash Memory의 모서리 효과에 관한 연구

양승동¹, 오재섭², 윤호진¹, 정광석¹, 김유미¹, 이상울¹, 이희덕¹, 이가원^{1,a}

¹ 충남대학교 전자전파정보통신공학과

² 나노중합팩센터 나노패턴팀

A Study on the Corner Effect of Fin-type SONOS Flash Memory Using TCAD Simulation

Seung-Dong Yang¹, Jae-Sub Oh², Ho-Jin Yun¹, Kwang-Seok Jeong¹, Yu-Mi Kim¹, Sang Youl Lee¹, Hee-Deok Lee¹, and Ga-Won Lee^{1,a}

¹ Department of Electronics Engineering, Chungnam National University, Daejeon 305-764, Korea

² Nano Patterning Process Team, National Nanofab Center, Daejeon 305-806, Korea

(Received January 19, 2012; Revised January 23, 2012; Accepted January 23, 2012)

Abstract: Fin-type SONOS (silicon-oxide-nitride-oxide-silicon) flash memory has emerged as novel devices having superior controls over short channel effects(SCE) than the conventional SONOS flash memory devices. However despite these advantages, these also exhibit undesirable characteristics such as corner effect. Usually, the corner effect deteriorates the performance by increasing the leakage current. In this paper, the corner effect of fin-type SONOS flash memory devices is investigate by 3D Process and device simulation and their electrical characteristics are compared to conventional SONOS devices. The corner effect has been observed in fin-type SONOS device. The reason why the memory characteristic in fin-type SONOS flash memory device is not improved, might be due to existing undesirable effect such as corner effect as well as the mutual interference of electric field in the fin-type structure as reported previously.

Keywords: Corner effect, Fin width, TCAD simulation, SONOS

1. 서 론

플래시 메모리로 현재 가장 많이 사용되고 있는 부유 게이트 구조는 소자가 축소화되면서 터널 산화막의 두께가 얇아져 전하 누설에 의한 소자 신뢰성에 문제를 일으키게 된다 [1]. 이를 해결하기 위해 SONOS (silicon-oxide-nitride-oxide-silicon) 구조의 플래시 메모리 소자가 가장 주목을 받고 있다 [2]. 하

지만 SONOS 구조의 경우도 게이트의 길이가 작아지면서 단 채널 효과의 발생을 억제해야 한다는 문제점을 안고 있다. 이에 3D 구조가 요구되고 있는데 [3], fin형 구조의 경우가 대표적인 예라 할 수 있다. 이렇게 fin형 SONOS 플래시 메모리가 기존 2D 구조의 부유게이트 플래시 메모리 보다 월등한 특성 향상이 예상됨에 따라 많은 연구가 이루어지고 있다 [4]. 하지만 3D 구조의 소자는 2D 구조에서 예상하지 못한 비이상적인 현상들이 발생하였고, 문제를 해결하기

a. Corresponding author; gawon@cnu.ac.kr

위한 연구도 활발히 진행 중이다. Fin형 SONOS 플래시 메모리의 비례 축소 가능성을 고찰하기 위해 수행한 선행 연구에서, 3차원 구조 도입을 통해 단 채널 효과가 개선되거나 fin 구조에서 측벽의 전계와의 상호 간섭에 의해 상단의 전계가 영향을 받음으로써 3D 구조의 소자가 2D 소자에 비해 향상된 메모리 특성을 나타내지 못한 결과를 보고한 바 있는데 [5], 이런 경우도 비이상적인 현상의 예라고 할 수 있다. 이렇게 3D 구조의 소자에서 비이상적인 현상이 많이 발생하고 있는데, 그 중 가장 대표적인 것이 모서리 효과이다. 모서리 효과는 두 인접한 게이트에서 전하 공유 때문에 채널이 빠르게 반전되는 현상으로, subthreshold 특성을 열화시키고, 누설전류가 증가하는 현상이다 [6-8]. 이에 따라 3면의 bottom oxide를 통해 전하가 이동하여 저장되는 fin형 플래시 메모리에서 모서리 효과의 영향으로 trapping layer에 고르게 저장되지 못하고, 누설전류의 증가로 인해 데이터 보존특성이 열화된다.

본 논문에서는 기존 결과인 전계의 상호간섭 현상과 더불어 TCAD simulation tool인 sentaurus를 이용하여 모서리 부분의 전계 분포를 확인함으로써 모서리가 rounding 처리되지 않은 3D 구조의 소자에서 향상된 메모리 특성을 나타내지 못한 원인을 심도 있게 알아보려 한다. 또한 소자가 작아졌을 경우, 모서리 효과에 의한 영향이 있는지 확인하기 위해 fin 폭을 줄여서 시뮬레이션하였다.

2. 실험 방법

본 실험에 사용된 TCAD 시뮬레이션은 synopsys사의 sentaurus로써 process와 device editor tool을 사용하여 실제 제작된 소자와 동일한 공정 순서로 제작하였다. 사용된 physical model로는 quantization model, high-field saturation model, van dort model, density gradient model등이며, 전계에 집적적인 영향을 미치는 van dort model의 수식은 아래 식과 같고, 계산이 빠르고 오차가 적은 장점이 있다.

$$A = a_{fit} h(d) (\beta \epsilon_0 \epsilon_s / 4)^{1/3} |F_{\perp}|^{2/3} \quad (1)$$

$$a_{fit} = 13/9 k_{fit} \quad (2)$$

$$h(d) = G(\vec{r}) = 2 \exp(-a^2(\vec{r})) / (1 + \exp(-2a^2(\vec{r}))) \quad (3)$$

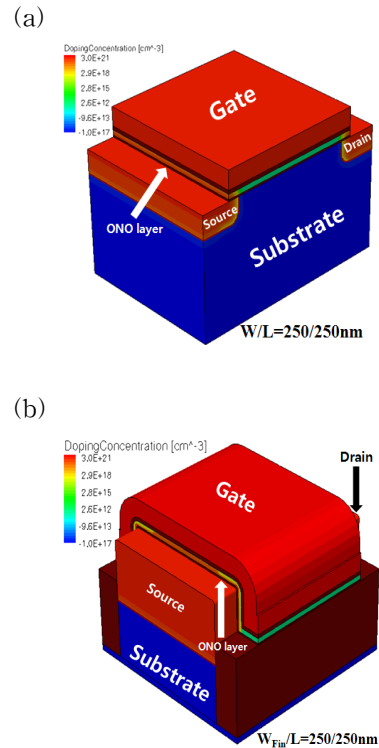


Fig. 1. TCAD-simulated structures of (a) planar-type and (b) fin-type SONOS devices.

$$a(\vec{r}) = l(\vec{r}) / \lambda_{ref} \quad (4)$$

k_{fit} 은 fitting parameter이고, $l(\vec{r})$ 은 계면으로부터의 거리를 말한다.

Planar형과 fin형 SONOS 플래시 메모리의 구조와 도핑 프로파일을 그림 1에 나타내었고, fin형 소자의 경우, p형 (100) 웨이퍼 위에 fin 모양으로 식각하고, bottom oxide/trapping layer/top oxide를 3/8/6 nm로 순서대로 증착하였으며, trapping layer는 실리콘 nitride를 사용하였다. 이후 게이트 patterning과 source/drain implantation 및 activation을 진행하였다.

Planar형 플래시 메모리는 절연막 층이 ONO (oxide-nitride-oxide) 구조를 가지는 것 외에 기존의 MOSFET (metal oxide semiconductor field effect transistor) 공정 순서와 거의 동일하다. Planar형 SONOS 소자는 일반적인 MOSFET 소자와 동일한 구조를 가지지만, fin형 SONOS 소자는 실리콘 식각 공정을 통하여 게이트가 3면에서 채널을 둘러싼 형태를 그림 1(b)를 통해 알 수 있다.

3. 결과 및 고찰

완성된 두 구조에서 ONO층에 형성되는 전계 분포를 그림 2의 시뮬레이션 결과를 통하여 확인할 수 있다. 시뮬레이션 조건은 실제 소자에서 측정된 조건과 동일하게 drain, source, substrate에는 전압을 가하지 않고, 게이트에만 전압을 가하는 FN (fowler nordheim) 터널링 방식을 사용하였고, 채널 폭 방향에서 전계를 확인하였다. 두 소자 모두 oxide층이 실리콘 nitride 층보다 큰 전계를 가지는 것으로 나타났는데, 이러한 이유는 oxide가 실리콘 nitride 보다 더 작은 유전상수를 갖기 때문으로 설명 된다 [9]. 특히, fin형 소자의 모서리 부분에서는 bottom oxide층의 fin 모서리 부분에 강한 전계가 형성되는 것을 확인하였다.

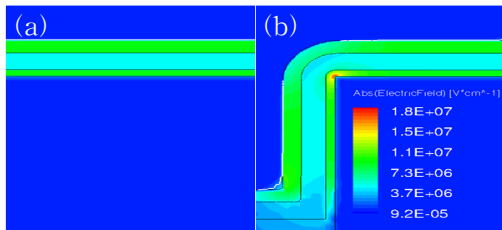


Fig. 2. TCAD-simulated electric fields of ONO layers in (a) planar-type and (b) fin-type SONOS devices.

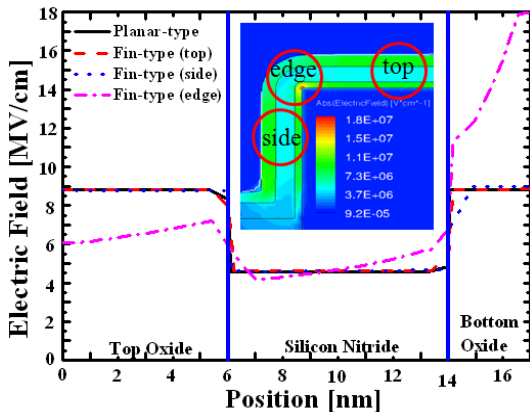


Fig. 3. Simulation results of profiling the electric fields in the planar and fin-type SONOS memory devices.

그림 3은 그림 2의 결과를 수치적으로 나타낸 것으로 planar형의 경우, 두 oxide층의 전계가 똑같이

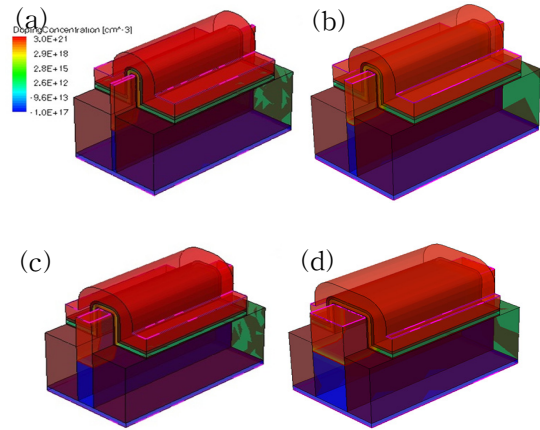


Fig. 4. TCAD-simulated structures of the fin-type SONOS devices with W_{Fin} = (a) 10, (b) 20, (c) 40, and (d) 80 nm, respectively.

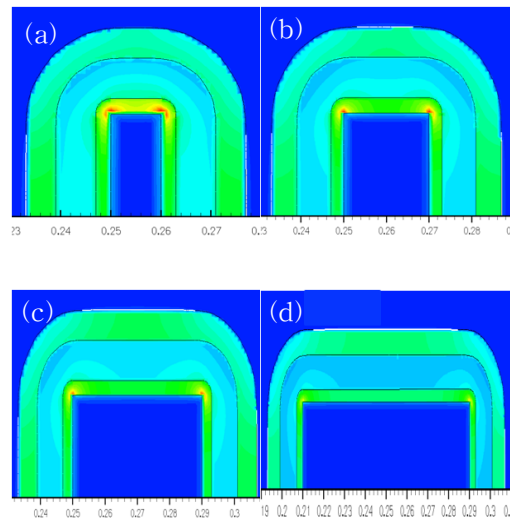


Fig. 5. TCAD-simulated electric fields of ONO layers in the fin-type SONOS devices with W_{Fin} = (a) 10, (b) 20, (c) 40, and (d) 80 nm, respectively.

약 9 MV/cm로 이전 연구 결과와 일치했다 [10]. 이렇게 두 oxide층에서 동일한 전계를 보이는 이유는 top oxide에서 전압강하가 먼저 일어나서 얇은 bottom oxide에는 적은 전압이 가해지기 때문이다. 하지만 fin형 소자의 모서리 부분에선 top oxide가 약 6~7 MV/cm로

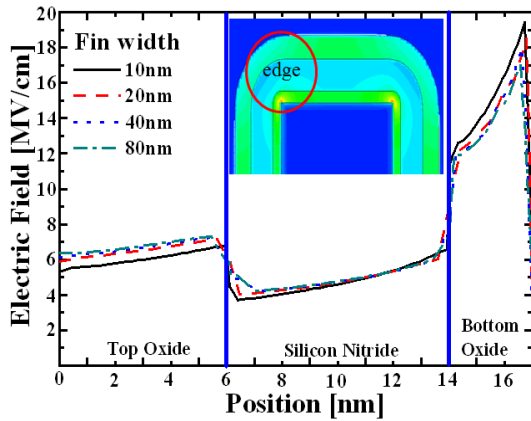


Fig. 6. Simulation results of the electric fields in edge region of fin-type SONOS memory device.

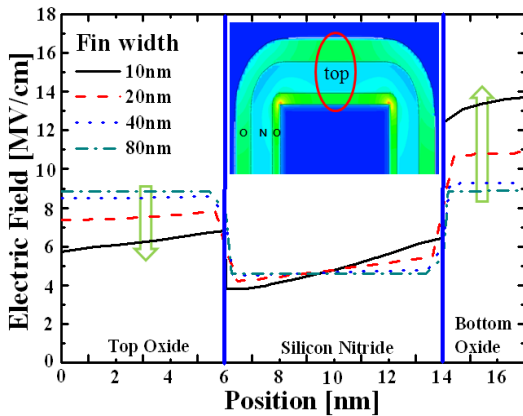


Fig. 7. Simulation results of the electric fields in top region of fin-type SONOS memory device.

planar형 보다 작았고, bottom oxide는 채널에 가까워 질수록 약 11 MV/cm에서 18 MV/cm로 전계가 크게 상승하는 전계 밀집 현상이 발생했다. 이러한 모서리 효과의 영향으로 누설전류나 전류 밀집현상이 생겨 메모리 특성에 악영향을 미치게 된다.

더불어 위의 결과와 같은 전계 밀집 현상이 소자가 축소화 되었을 때에도 나타나는지 확인하기 위해 채널의 측벽길이는 그대로 하고, 상단의 길이만을 줄였을 때 즉, fin 폭(W_{Fin})을 감소시켜 시뮬레이션을 하였다. Fin 폭은 기존의 250 nm 보다 훨씬 작은 10, 20, 40, 80 nm로 줄여서 시뮬레이션을 진행하였고 그림 4가 시뮬레이션된 fin형 SONOS 소자의 도핑 프로파일과 구조를 나타낸다.

그림 5는 각각의 구조에서 fin 모서리의 ONO 층에 걸리는 전계를 시뮬레이션한 결과로, fin 폭이 250 nm일 경우와 마찬가지로 전계가 모서리 부분에 집중되는 결과를 나타냈다. Fin 모서리의 전계 변화를 정확히 알아보기 위해 ONO 층의 위치에 따른 전계 세기를 그림 6으로 나타냈다. Fin 폭이 줄어들면서 top oxide의 전계 세기는 약 6~7 MV/cm 이었고, bottom oxide의 전계세기는 약 12~19 MV/cm를 나타냈는데, 이것은 fin 폭이 줄어들어도 모서리 효과가 존재한다는 것을 알려준다. 그림 7은 fin 상단 영역에서의 전계분포를 나타내는 그림으로, 모서리에서의 결과와 달리 fin 폭이 줄어들수록 top oxide의 전계는 약해지고, bottom oxide의 전계는 강해지는 결과를 보여준다.

4. 결론

본 논문에서는 3D 구조의 소자에서 향상된 메모리 특성을 나타내지 못한 원인을 심도 있게 알아보기 위하여, fin 모서리 부분의 전계 분포를 시뮬레이션 하였다. Fin 폭이 250 nm로 동일한 planar형과 fin형 SONOS 플래시 메모리 구조를 비교한 결과, fin형 소자에서 모서리 부분에 강한 전계가 형성되는 것을 확인하였다. 따라서 3D 구조에서 향상된 메모리 특성을 나타내지 못한 원인은 ONO 층의 상단과 측벽의 상호 간섭에 의한 영향뿐만 아니라 모서리 효과도 같이 발생하기 때문이다. 또한 전계 밀집 현상이 소자가 축소화되었을 때에도 나타나는지 확인하기 위해 채널의 측벽길이는 그대로 하고, 상단의 길이만을 줄였을 때 즉, fin 폭을 감소시켜 시뮬레이션을 하였다. 그 결과 모서리 부분에서 전계의 크기는 크지만 fin 폭에 따른 전계 변화는 적었다. 하지만 fin 모서리 전계의 중첩현상이 상단 영역에 많은 영향을 주어 모서리 효과가 fin 폭이 줄어들수록 크게 나타나고 있다. 따라서 fin형 소자를 제작할 경우 메모리 성능 향상을 위해 모서리 효과를 고려하여 제작하여야 할 것이다.

감사의 글

이 논문은 2011년도 정부 (교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업 (No. 2011-0003708) 및 교육과학기술부와 한국연구재단의 지역혁신인력양성사업으로 수행된 연구결과임.

REFERENCES

- [1] International Technology Roadmap for Semiconductors (ITRS) ed. 2001, (2001).
- [2] C. W. Kim, M. K. Kim, and J. W. Lee, *Physics and High Technology*, **13**, 2 (2004).
- [3] S. Tiwari, F. Rana, H. Hanafi, A. Hartstein, E. F. Crabbé, and K. Chan, *Appl. Phys. Lett.*, **68**, 1377 (1996).
- [4] P. Xuan, M. She, and B. Harteneck, *Electron Devices Meeting 2003, IEDM* (IEEE International, 2003) p.2641.
- [5] S. D. Yang, J. S. Oh, G. W. Lee, *J. KIEEME*, **23**, 9, (2010).
- [6] W. Xiong, J. W. Park, and J. P. Colinge, *Proc. IEEE International SOI Conference*, 111 (2003).
- [7] A. Burenkov and J. Lorenz, *Proc. of European Solid-state Device Research Conference*, 135 (2003).
- [8] J. P. Colinge, *FinFETs and Other Multi-Gate Transistors* (Springer, Ireland, 2007) p. 26.
- [9] B. J. Baliga, *Fundamentals of Power Semiconductor Devices* (Springer, USA, 2008) p. 28.
- [10] J. H. Lee, G. S. Lee, S. J. Cho, J. G. Yun, and B. G. Park, *J. Appl. Phys.*, **49**, 114202 (2010).