

논문 2012-49-12-28

트랜지스터 레이아웃 산포를 고려한 새로운 설계 기법

(The New Design Methodology Considering Transistor Layout Variation)

도 지 성*, 조 준 동**

(Ji Seong Doh and Jun Dong Cho)

요 약

본 논문에서는 소자의 레이아웃 파라미터로 인한 회로 특성 산포를 개선할 수 있는 새로운 설계 기법을 제안한다. 제안된 설계 기법은 회로 시뮬레이션을 수행하지 않고 칩 내에서 레이아웃에 의한 소자의 전기적 특성 분포를 추출하여 불량 소자를 개선하는 방법이다. 이 기법은 3가지 장점이 있다. 첫째, 현 설계 흐름도에 변화를 주지 않아도 된다. 둘째, 레이아웃 설계자가 고비용의 설계 시뮬레이션을 수행하지 않고 소자의 전기적 특성 산포를 추출할 수 있다. 셋째, 초기 레이아웃 설계단계에서 전기적 불량 소자를 찾아 개선하여 설계 기간 단축에 도움이 된다. 제안한 방법에 대한 효율성을 검증하기 위하여 30나노 DRAM 공정에서 총 9종류의 소자 레이아웃 파라미터에 대해서 모델링을 진행하였다. 레이아웃 설계자를 위한 eDRC 환경을 개발하여 Standard Cell Library 설계에 적용하여 초기 설계단계에서 불량 소자 17.8%를 찾아 2.9%로 줄였다.

Abstract

This paper proposes a novel design methodology considering transistor layout variation. The proposed design technique is to improve the transistor's electrical characteristics without performing a circuit simulation to extract transistor layout variation. There are three advantages in the proposed method. Firstly, there is no need to change the normal design flow used in layout designs. Secondly, there is no need to perform simulation in order to extract the transistor layout variation. Thirdly, early warnings in layout design lead to decreasing the number of post layout simulations. Less post layout simulations will decrease the number of iterations in the design cycle and shorten design period. The number of bad transistors in the early design phase were reduced from 17.8% to 2.9% by applying eDRC environment for layout designers to develop Standard Cell Library.

Keywords : DFM, CMOS, Layout proximity effect, Design methodology, eDRC

I. 서 론

DFM (Design For Manufacturing) 활동의 목적은 공정 산포 (Process Variation) 영향으로 제품 수율 (Yield)을 감소시키는 설계(Design) 결점을 사전에 제거하여 제품 수율을 조기에 달성하여 이익을 극대화하는

것이다. 100나노 이상의 공정에서 가장 필수적인 DFM 검증항목은 레이어의 굽김 또는 레이어간 접촉과 같은 물리적인 불량 (Physical Failure)에 집중되어 있었다. 하지만 90나노 이하로 접어들면서 반도체 소자의 레이아웃 파라미터에 의한 전기적 특성 산포로 야기되는 회로 특성 불량 (Parametric Failure)이 중요한 검증 항목으로 나타나기 시작하였고 50나노 이하가 되면서는 매우 중요한 검증 항목이 되고 있다.

레이아웃 (Layout) 파라미터 산포는 칩 내에서 소자 주변 레이아웃 환경의 변화로 물리적인 영향/패턴 영향

* 학생회원, ** 정회원, 성균관대학교 정보통신공학부
(School of Information & communication
Engineering, Sungkyunkwan University)
접수일자: 2012년9월19일, 수정완료일: 2012년11월26일

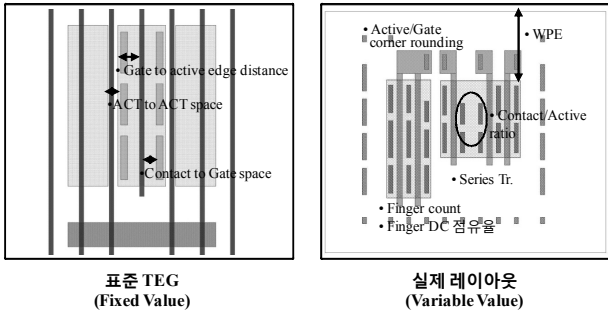


그림 1. 모델 파라미터 TEG: 고정된 레이아웃 파라미터
실제 레이아웃: 다양한 레이아웃 파라미터
Fig. 1. Model parameter TEG: Fixed layout parameter
Real Chip: A variety of layout parameter.

/도핑 영향 등으로 소자의 전기적 특성 변화가 발생하는 것을 의미한다. 이를 유발하는 인자로는 STI (Shallow Trench Isolation) Stress, WPE (Well Proximity Effect)가 있으며 이는 최근까지 활발하게 연구되고 있다.^[1~8] 소자의 전기적 특성 모델을 추출하기 위한 레이아웃 환경과 실제 칩 내의 환경이 매우 다를 것을 그림 1에서 보여준다. 모델 파라미터를 추출하는 환경에서는 레이아웃 파라미터가 고정값을 갖는 반면에 실제 레이아웃에서는 다양하게 사용되고 있다. 따라서 소자의 레이아웃 산포 영향도를 설계단계에서 반영하지 못하면 설계 예측 특성과 실제 칩 특성간의 정합성이 떨어져 칩 수율 저하를 가져온다.

이에 대한 산포를 극복하기 위해서 최근까지 크게 두 가지 방향으로 연구가 되고 있다. 첫째, 레이아웃 설계에 RDR (Restricted Design Rule)을 적용하는 방법이다.^[11~17] 이는 소자 모델 파라미터 추출용 레이아웃 환경과 동일하게 설계 칩 상에 적용하여 레이아웃 산포를 발생하지 않게 하는 방법이다. 하지만 이 방법은 레이아웃 디자인 룰 (Design Rule)이 고정되기 때문에 설계자의 레이아웃 자유도 (Flexibility)가 감소되어 레이아웃 난이도가 증가된다. 또한 동일한 회로 설계에 있어 칩 사이즈 증가를 가져온다. 둘째, 레이아웃 파라미터를 모델링하여 설계 후 시뮬레이션 (Post-simulation)에 반영하여 회로 특성 변화를 예측하는 방법이다.^[18~19] 이 방법은 레이아웃 파라미터 모델을 확보하는데 많은 비용이 요구된다. 모델링 확보에 다수의 TEG (Test Element Group) 칩이 필요하고 물리적 기반 모델 확보도 어렵다. 또한 이 방법은 소자의 전기적 특성 변화를 알기위해 고 비용의 회로 시뮬레이션 수행이 수반되므

표 1. 레이아웃 산포 극복을 위한 방법론 비교
Table 1. Comparison of methods for overcoming the layout variation^[11~19].

	RDR (Restricted Design Rule)	LPE model (Layout proximity effect)	eDRC (electrical DRC)
소자 레이아웃 모델링 비용	+	+++	++
소자 레이아웃 커버 범위	+++	++	+++
칩 사이즈 증가	+++	++	++
레이아웃 설계자유도	+	+++	+++
포스트 시뮬레이션 수행시간	+	+++	+

로 시뮬레이션 수행시간의 증가가 불가피하다.

본 논문은 레이아웃 파라미터 산포를 억제하기 위한 새로운 설계 기법을 제안하고자 한다. 핵심 아이디어는 레이아웃 파라미터로 인한 전기적 특성 불량이 예측되는 소자를 설계 초기에 찾아 수정 가능하도록 하는 것이다. 이 방법의 장점으로 첫째, 현 설계 흐름도에 변화를 주지 않아도 된다. 둘째, 레이아웃 설계자가 회로 시뮬레이션을 수행하지 않아도 레이아웃 파라미터로 인한 전기적 불량 특성 소자를 찾아 수정이 가능하다. 셋째, 레이아웃 의존성 파라미터로 인한 소자의 전기적 특성 산포를 회로 설계자가 설정한 범위 내로 레이아웃 설계자가 만들어주기 때문에 포스트 시뮬레이션의 횟수를 줄여 설계 기간 단축에 기여한다. 표 1은 레이아웃 산포를 극복하기 위한 기존 방법과 본 논문에서 제시하는 eDRC방법의 특징을 비교한 결과를 보여주고 있다.

본 논문의 구성은 다음과 같다. II장에서는 새로운 설계 흐름도를 제시하고 소자의 레이아웃 파라미터 모델링 결과와 eDRC 환경 구축 방법에 대해서 설명하였다. 마지막으로 III장, IV장에서는 eDRC 적용 결과를 보여주고 결론을 맺고자 한다.

II. 본 론

1. 새로운 디자인 기법

그림 2는 레이아웃 의존성 산포를 해석하는 일반적인 설계 흐름도를 보여주고 있다. 설계 영역은 레이아웃 파라미터 모델링 영역, 회로 설계 영역과 레이아웃 설계 영역 세 영역으로 구분할 수 있다. 우선 레이아웃 파라미터 모델링 영역에서는 소자 전기적 특성 모델을 지원한다. 회로 설계 영역에서는 회로 설계자가 레이아웃 이전 회로를 완성한다. 이 회로를 레이아웃 설계자가 받아 레이아웃을 완성하고 DRC(Design Rule Check) 수행 후 회로 설계자에게 전달한다. 전달받은

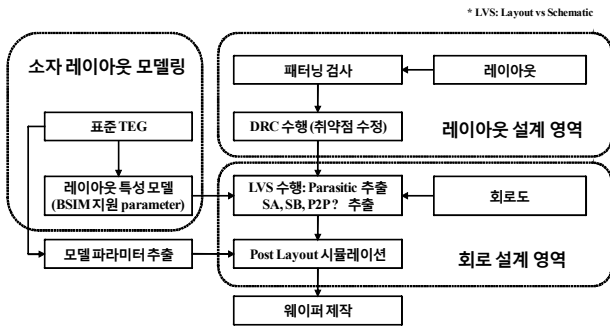


그림 2. 일반적인 설계 흐름도
Fig. 2. General design flow.

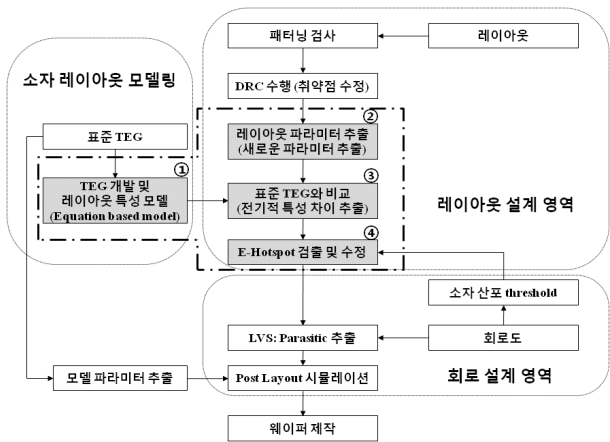


그림 3. 제안하는 설계 흐름도
Fig. 3. Proposed design flow.

레이아웃으로 LVS (Layout vs Schematic)수행을 통하여 포스트 시뮬레이션을 위한 파라미터를 추출한다. 이후 포스트 시뮬레이션을 수행하여 회로 특성이 확보되면 웨이퍼 제작이 된다. 이 설계 방법의 문제는 크게 두 가지이다. 첫째는 적용할 수 있는 레이아웃 파라미터 항목이 너무 적다. 그로 인하여 설계한 회로 특성과 실제 공정을 거친 칩 특성의 차이가 발생할 확률이 높다는 것이다. 둘째, 레이아웃 설계자가 레이아웃을 수행하면서 회로 시뮬레이션이 불가능하므로 레이아웃 영향으로 인한 소자의 전기적 특성 산포가 크게 나타날 수 있다. 이는 회로 설계자가 포스트 시뮬레이션을 수행하면 원하는 특성을 확보하기 어렵게 된다. 이로 인해 레이아웃 수정과 포스트 시뮬레이션 수행 횟수 증가로 설계 기간이 증가하게 된다.

위 두 가지 문제를 해결하기 위한 새로운 설계 흐름도를 그림 3에서 보여준다. 파선-점선 박스 안의 항목이 기존 설계 흐름도에서 추가되는 것이다. 본 논문에서 제시하는 방법은 물리적인 불량 검출이 아니라 회로

설계자가 회로를 구성할 때 요구한 트랜지스터의 전기적 특성 산포 이하로 레이아웃을 가능케하는 방법이다. 즉, 소자의 전기적 특성 불량을 검출한다는 점에서 eDRC(Electrical DRC)라고 명명할 수 있다. 본 논문에서 제시하는 새로운 항목에 대해서 설명하면 첫째, TEG를 통하여 여러 레이아웃 파라미터에 따른 소자의 전기적인 특성 변화에 대해서 모델링을 진행한다. 둘째, 디자인한 레이아웃에서 소자의 전기적 특성에 영향을 미치는 레이아웃 파라미터를 추출한다. 셋째, 표준 TEG에서 구성된 소자와 레이아웃 후 추출한 소자의 레이아웃 파라미터간 차이를 전기적 특성 차이로 변환한다. 넷째, 레이아웃 설계자는 회로 설계자가 설정한 특성 산포 threshold를 벗어난 소자를 검출한 후 수정한다.

2. 소자의 레이아웃 특성 모델링

소자의 전기적 특성변화에 영향을 미치는 공정 요인은 크게 물질의 스트레스 (Stress), 도핑 (Doping), 리소그래피 (Lithography)로 구분할 수 있다. 물질에 따른 스트레스 영향 중 가장 대표되는 것이 STI 공정이다. STI에 채우는 물질에 따라 tensile/compress 스트레스가 소자의 채널영역에 영향을 주어 모빌리티 (Mobility) 변화를 야기하게 된다. 이로 인해 소자의 포화전류 (Saturation Current)의 증가 및 감소되는 현상이 발생한다. 도핑에 따른 영향도는 WPE가 대표적인 것으로 소자의 웰(Well) 영역 형성을 위해 도핑 공정을 진행하

표 2. 소자의 레이아웃 산포 유발 인자
Table 2. The source of layout proximity effect.

#	레이아웃 파라미터	유발 인자		
		Litho (pattern)	Stress	IIP (dopant)
P1	Gate to active edge distance		O	
P2	Active to active space		O	
P3	Well proximity effect			O
P4	Contact to Gate space		O	O
P5	Contact/Active ratio		O	O
P6	Finger type (공유 contact)	O		O
P7	Series type (contact 유/무)	O		O
P8	Gate to gate space	O		O
P9	Gate orientation	O		
P10	Gate corner rounding	O		
P11	Gate line end extension	O		
P12	Active corner rounding	O		

는 중 전자가 소자의 채널영역에 도핑이 되어 문턱전압 (Threshold Voltage)을 변화시키는 현상이다. 리소그래피 공정은 레이어의 패턴을 형성할 때 주변 패턴의 영향을 받아 그려진 것 대비 가늘어지거나 넓어지는 현상으로 인해 소자 특성이 바뀌게 된다.^[9~10] 특히 소자의 게이트 레이어 공정이 전기적 특성변화에 가장 크게 영향을 준다.

표 2는 소자의 전기적 특성 변화를 야기하는 레이아웃 파라미터와 공정요인을 정리한 것이다. 그림 4은 각 항목에 대해서 레이아웃상의 정의를 보여주고 있다. 소자의 전기적 특성 변화를 야기하는 항목은 총 12개를 도출하였다. 이에 대한 레이아웃 영향도 평가 및 모델을 수립하기 위해 TEG를 설계하였다. TEG 설계에 앞서 실제 DRAM 설계 레이아웃을 분석하여 각 레이아웃 파라미터의 실험 구간을 DOE (Design of Experiment)하였다. TEG는 40나노 DRAM 공정에 적용되었다.

TEG를 통하여 측정된 레이아웃 파라미터 항목별 소자의 포화 전류 영향도는 표 3에서 보여주고 있다. 실제 설계의 레이아웃 파라미터 산포에 의해서 5% 이상 소자의 포화 전류 산포를 야기하는 항목은 P1 (Gate to Active edge distance), P2 (Active to active space), P4 (Contact to gate space), P5 (Contact/Active ratio), P6 (Finger type), P7(Series type)임을 표 3을 통하여 알 수 있다. 이는 기존 BSIM 모델에서 제공되는 P1, P3 항목만으로는 회로특성 예측 정합성 확보가 어려움을 재확인할 수 있었다. 그리고 P10 (Gate corner rounding), P11 (Gate line-end extension), P12 (Active corner rounding) 항목은 전기적 산포에 영향이 없어 본 논문에서는 모델링 항목에서 제외시켰다. 그림 5는 NMOS 소자의 레이아웃 파라미터 변화에 따른 전기적 특성 변화 curve를 보여주고 있다.

레이아웃 파라미터에 따른 소자의 전기적 특성 모델링 방법은 Regression 수식 방식과 회로 시뮬레이션 방식이 있다. 회로 시뮬레이션 방식을 활용하려면 소자 Compact 모델에서 레이아웃 파라미터가 지원되어야 한다. 현재 가장 대중적으로 사용되고 있는 BSIM모델에서 제공되는 레이아웃 파라미터는 앞서 설명했듯이 P1, P3 항목뿐이다. 제공되지 않는 레이아웃 파라미터에 대해서 서브서킷 (Sub-circuit) 모델을 활용하면 BSIM 모델로도 가능하다. 하지만 모델링 과정의 시간 비용이

표 3. 레이아웃 파라미터 항목별 산포
Table 3. The electrical variation of layout parameter items.

레이아웃 파라미터	Type	ΔI_{ds}
Gate to Active edge distance	NMOS	4%
	PMOS	6%
Active to active space	NMOS	10%
	PMOS	5%
Well proximity effect	NMOS	20mV (V _{th})
	PMOS	5mV (V _{th})
Contact to Gate space	NMOS	5%
	PMOS	10%
Contact/Active ratio	Both	20%
Finger type (공유 contact)	Both	5%
Series type (Contact 유/무)	NMOS	0.9%
	PMOS	7.6%
Gate to gate space	Both	4%
Gate orientation	Both	2%
Gate corner rounding	Both	0.3%
Gate line-end extension	Both	0%
Active corner rounding	Both	0.2%

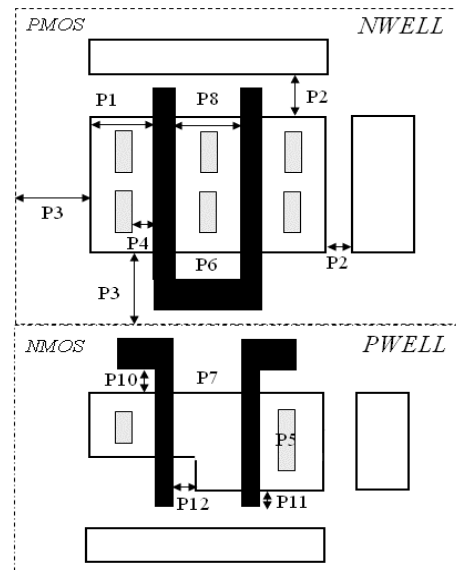


그림 4. 소자 레이아웃 파라미터
Fig. 4. Layout parameter of transistor.

많이 발생한다. 따라서 본 논문에서는 Regression 수식을 활용하여 모델링을 하였다.

9가지 (P1 ~ P9) 레이아웃 파라미터 항목에 대해서 소자의 전기적 특성인 문턱전압 (V_{th}), 포화전류 (I_{dsat}), 누설전류 (I_{off})에 대해서 모델링을 진행하였다. 본 논문에서는 표준 TEG를 기준으로 레이아웃 파라미터

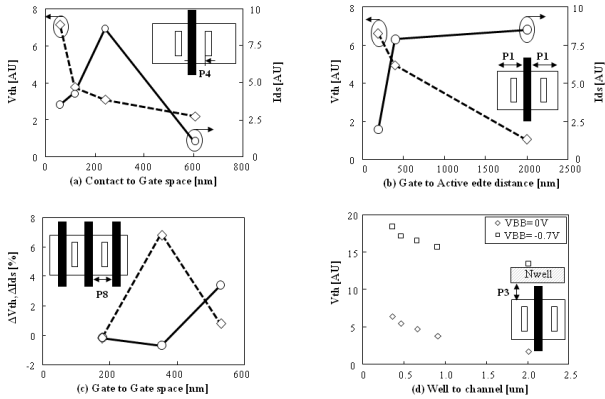


그림 5. 레이아웃 파라미터에 따른 소자 전기적 특성
Fig. 5. Transistor electrical test data of layout parameter.

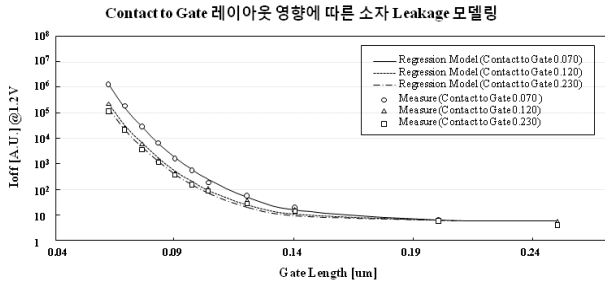


그림 6. Regression model vs NMOS Ioff measurement
Fig. 6. Regression model vs NMOS Ioff measurement.

터 변화에 따른 소자의 전기적 특성 변화를 추출하기 위해 (1)같이 변환하였다. 그리고 Regression모델의 정합성(R²)을 확보하기 위해 (2)와 같이 Kernel을 사용하였다. 예를 들면 레이아웃에 따라 소자의 전기적 특성 변화가 지수적으로 변화하는 경우 로그함수를 kernel로 사용하여 선형 특성을 확보해주었다. Regression 모델은 (3)와 같이 표현된다. Regression의 일반해를 구하는 식은 (4)와 같이 알려져있다. 앞서 (2)에서 Kernel 변환을 사용하였으므로 (5)와 같이 (2)의 역변환을 수행하여 전기적 특성 변화치를 얻을 수 있다. 최종적으로 (6)를 수행하여 소자의 전기적 특성도 얻을 수 있다. 그림 6은 P4 (Contact to Gate space) 항목에 대해서 NMOS 소자의 누설 전류 (Leakage) 측정치와 Regression모델의 정합성이 95% 이상 확보되었음을 보여준다.

$$\Delta y_i = y_{ref} - y_i \tag{1}$$

$$\Delta p_j = p_{ref} - p_j$$

$$\Delta y'_i = \Omega_i(\Delta y_i) \tag{2}$$

$$\Delta p'_i = \psi_i(\Delta p_i)$$

$$\bar{y} = \begin{bmatrix} \Delta y'_1 \\ \Delta y'_2 \\ \Delta y'_3 \\ \vdots \\ \Delta p'_{i1} \end{bmatrix} = \begin{bmatrix} 1 & x_1 & x_1^2 & \cdots & x_1^{10} \\ 1 & x_2 & x_2^2 & \cdots & x_2^{10} \\ 1 & x_3 & x_3^2 & \cdots & x_3^{10} \end{bmatrix} \begin{bmatrix} \Delta p'_1 \\ \Delta p'_2 \\ \Delta p'_3 \\ \vdots \\ \Delta p'_{i1} \end{bmatrix} + \begin{bmatrix} \varepsilon_1 \\ \varepsilon_2 \\ \varepsilon_3 \end{bmatrix} \tag{3}$$

$$\hat{a} = (X^T X)^{-1} X^T \bar{y} \tag{4}$$

$$\Delta \hat{y}_i = \Omega^{-1}(\hat{a} \bullet \Delta P) \tag{5}$$

$$\hat{y}_i = y_{ref} + \Delta \hat{y}_i \tag{6}$$

3. eDRC 환경 구축

기존 레이아웃 툴을 활용하여 본 논문에서 다루는 레이아웃 파라미터 9가지 항목을 설계 레이아웃으로부터 추출하는 것은 불가능하다. 이유는 기존 레이아웃 툴은 Boolean (And, Or, Not, XOR) 연산만 지원되기 때문이다. 이 연산을 활용하여 레이어간 거리 또는 레이어의 폭을 검사하고 불량을 검출하는 DRC 작업은 문제가 없다. 하지만 레이아웃 파라미터 중 하나인 DC/Active 점유율을 추출하려면 소자의 Active Width와 Contact Width 그리고 개수에 대한 정보는 물론이고 정보간의 사칙 연산 기능이 필요로 한다. 그림 7은 Contact 점유율을 추출하기 위해 계산 기능이 필요함을 보여주고 있다. 본 논문은 기존 레이아웃 툴을 기반으로 각 레이아웃 파라미터 항목을 정의하고 사칙연산이 가능한 새로운 툴을 개발하였다.

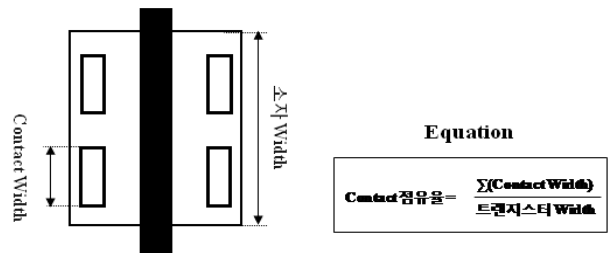


그림 7. 수식 기반 소자 레이아웃 파라미터
Fig. 7. Equation based layout parameter.

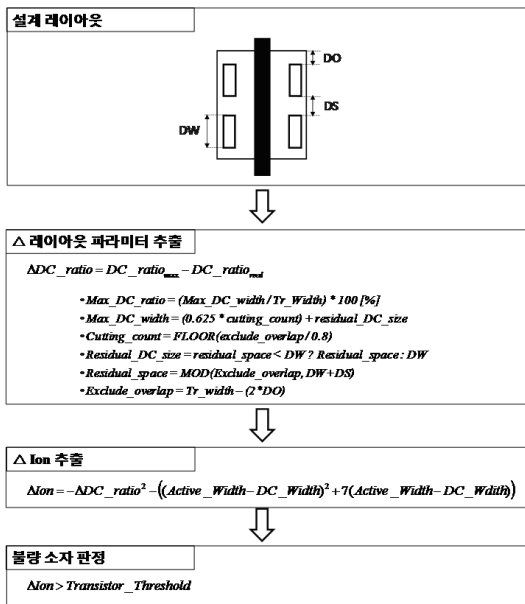


그림 8. 회로 시뮬레이션 없이 전기적 특성 추출 방법
Fig. 8. transistor electrical characteristic extraction method without circuit simulation.

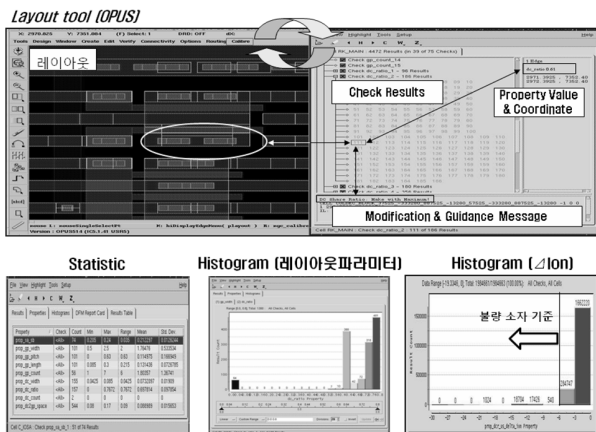


그림 9. eDRC 환경
Fig. 9. eDRC environment.

그림 8은 본 논문에서 제시하고자 하는 설계 흐름도를 개념적으로 보여주고 있다. 첫째, 설계 레이아웃을 분석한다. 둘째, 설계 레이아웃으로부터 레이아웃 파라미터를 추출한다. 셋째, Regression 모델로부터 소자의 전기적 특성을 추출한다. 넷째, 회로 설계자가 정의한 소자의 전기적 특성 한계치를 초과하는 소자를 레이아웃 설계자에게 불량 소자로 알려주고 수정하게 한다. 레이아웃의 물리적인 불량을 체크하고 수정하는 설계 흐름도를 DRC라고 한다. 따라서 본 논문에서 제시하는 설계 흐름도는 소자의 전기적인 특성 불량을 체크하고 수정하는 환경으로 eDRC (electrical DRC) 라고 명명하

였다.

그림 9는 최종 구현된 eDRC환경을 보여주고 있다. 기존 레이아웃 툴 환경에 포팅하여 레이아웃 설계자가 쉽게 접근하여 사용할 수 있다. eDRC환경은 각 레이아웃 파라미터 분포 통계치를 분석할 수 있는 기능뿐만 아니라 SPICE 시뮬레이션을 수행하지 않고 칩 내 소자들의 전기적 특성 분포 통계치도 분석할 수 있는 환경을 제공한다. 또한 회로 설계자가 설정한 특성 한계치를 벗어난 소자를 레이아웃에서 쉽게 찾아 갈수 있는 기능도 추가하였다. 그리고 불량 소자의 레이아웃 파라미터 인자 정보 및 수정 가이드 메시지를 보여주는 기능도 있다. 이를 활용하여 레이아웃 설계자는 레이아웃을 진행하면서 회로 시뮬레이션을 수행하지 않고 불량 소자를 쉽게 찾아 수정할 수 있게 하였다.

III. eDRC 적용 결과

본 논문에서 제안한 eDRC 환경은 DRAM 30나노 공정의 Standard cell LIB 설계에 활용하였다. 하기 표 4은 불량 소자 기준을 문턱전압 3%, 포화전류 3%, 누설전류 50% 설정하고 Standard Cell Library 설계에 eDRC를 수행하여 불량 소자 비율을 17.8%에서 2.9%로 개선한 결과를 보여주고 있다. 레이아웃 설계자는 회로 시뮬레이션을 수행하지 않고 불량 소자를 조기에 찾아 개선하였고 이후 포스트 시뮬레이션 수행 시간도 감소시킬 수 있었다. 하지만 2.9%의 대부분 미개선 소자는 active to active space 불량으로 Standard Cell height가 고정되어 dummy active 삽입을 통한 개선이 어려웠

표 4. eDRC 적용 결과

Table 4. The result of eDRC application.

레이아웃 파라미터	전기적 불량 소자 [%]	
	개선 전	개선 후
Gate to active edge distance	21.1	2.6
Active to active space	36.5	15.1
Well proximity effect	4.3	1.7
Contact to Gate space	19.5	0.0
Contact/Active ratio	17.4	0.0
Finger type (공유 contact)	12.5	1.8
Series type (contact 유/무)	12.5	1.8
Gate to gate space	36.6	3.0
Gate orientation	0.0	0.0
Total	17.8	2.9

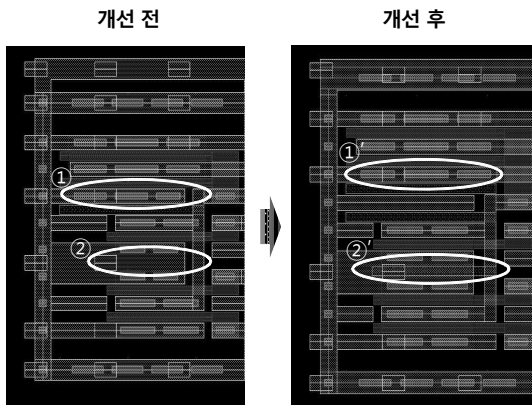


그림 10. 불량 소자 개선 방법

Fig. 10. improvement method of bad transistors.

다. 그림 10은 실제 레이아웃에서 전기적 특성 불량 소자를 찾아 수정한 사례를 보여주고 있다. 그림 10의 (1)은 Contact/Active Ratio로 인한 특성 불량 소자를 찾아 Contact 추가 삽입 및 Metal Line을 수정하여 개선한 결과를 보여주고 있다. (2)는 Gate to Gate space, Finger Type으로 인한 불량 소자를 찾아 Active를 분리통하여 Gate 삽입 및 Finger Type 개수 감소로 불량 소자를 개선한 사례를 보여준다. 또한 eDRC 설계 환경은 DRAM 30나노 아날로그 회로 설계에도 활용되었다.

IV. 결 론

본 논문에서는 레이아웃 파라미터에 의한 소자의 전기적 특성 산포를 개선할 수 있는 새로운 설계 기법을 제시하였다. 회로 설계자가 회로 사양에 맞는 소자 산포 기준을 설정하면 레이아웃 설계자는 회로 시뮬레이션을 수행하지 않고 칩 내에서 소자의 전기적 특성 분포를 추출하여 불량 소자를 찾아 개선할 수 있다. 이를 통하여 회로 특성 산포를 개선하고 회로-칩 정합성 향상에 기여하였다. 이 설계 흐름도의 장점으로서는 첫째, 현 설계 흐름도에 변화를 주지 않아도 된다. 둘째, 레이아웃 설계 단계에서 레이아웃 설계자가 고비용의 회로 시뮬레이션 툴을 수행하지 않고 레이아웃 파라미터로 인한 소자의 전기적 특성 산포를 추출하여 수정할 수 있다. 셋째, 레이아웃 파라미터로 인한 소자의 전기적 특성 산포를 회로 설계자가 설정한 범위 안으로 레이아웃 가능하므로 포스트 시뮬레이션의 횟수를 줄여 총 설

계 시간을 단축하는데 기여할 수 있다. 또한 제시한 설계 흐름도를 쉽게 수행할 수 있는 eDRC 환경을 개발하여 DRAM 30나노 Standard Cell LIB 및 아날로그 회로 설계에 사용되었다.

참 고 문 헌

- [1] G. Scott et al., "NMOS drive current reduction caused by transistor layout and trench isolation induced stress," in Proc. IEDM 1999 Conf., pp. 827 - 830.
- [2] Y. Sheu et al., "Modeling mechanical stress effect on dopant diffusion in scaled MOSFETs," IEEE Trans. Electron Devices, vol. 52, no. 1, pp. 30 - 38, Jan. 2005.
- [3] N. Wils et al., "Influence of STI stress on drain current matching in advanced CMOS," in Proc. ICMTS 2008 Conf., vol. 21, pp. 238 - 242.
- [4] K. W. Su, et al., "A Scaleable Model for STI Mechanical Stress Effect on Layout Dependence of MOS Electrical Characterization," 2003 IEEE CICC, pp. 245-248.
- [5] P.G. Drennan, M.L. Kniffin, D.R. Locascio, "Implications of Proximity Effects for Analog Design," Proc. Custom Integrated Circuits Conference, 2006
- [6] T. B. Hook, et al., "Lateral Ion Implant Straggle and Mask Proximity Effect," IEEE Trans. Elec. Dev. Sept 2003, pp.1946-1951.
- [7] Y. M. Sheu, et al., "Modeling Well Edge Proximity Effect on Highly-Scaled MOSFETs," 2005 IEEE CICC, pp. 831-834.
- [8] J. Watts, K.-W. Su, and M. Basel, "Netlisting and modeling well-proximity effects," IEEE Transactions on Electron Devices, vol. 53, no. 9, pp. 2179-2186, September 2006.
- [9] M.E. Mason, "DFM EDA Technology: A Lithographic Perspective," Proc. Symp. VLSI Technology, IEEE Press, 2007, pp. 90-91.
- [10] K.J. Kuhn, "Reducing Variation in Advanced Logic Technologies: Approaches to Process and Design for Manufacturability of Nanoscale CMOS," Technical Digest IEDM 2007, p. 471 (2007).
- [11] J. Wang, A. K. K. Wong, and E. Y. Lam, "Performance optimization for gridded-layout standard cells," in Proc. SPIE 24th Annual BACUS Symposium on Photomask Technology,

vol. 5567, December 2004, pp. 107-118.

- [12] V. Kheterpal, V. Rovner, T. G. Hersan, D. Motiani, Y. Takegawa, A. J. Strojwas, and L. Pileggi, "Design methodology for IC manufacturability based on regular logic-bricks," in Proc. 42nd ACM/IEEE Design Automatic Conference (DAC'05), 2005, pp. 353-358.
- [13] K. Y. Tong, V. Rovner, L. Pileggi, and V. Kheterpal, "Design methodology of regular logic bricks for robust integrated circuits," in Proc. International Conference on Computer Design (ICCD'06), October 2006.
- [14] L. W. Liebmann, A. E. Barish, Z. Baum, H. A. Bonges, S. J. Bukofsky, C. A. Fonseca, S. D. Halle, G. A. Northrop, S. L. Runyon, and L. Sigal, "High-performance circuit design for the RET-enabled 65-nm technology node," in Proc. SPIE Design and Process Integration for Microelectronic Manufacturing II, vol. 5379, May 2004, pp. 20-29.
- [15] S. R. Nassif and K. J. Nowka, "Physical design challenges beyond the 22nm node," in Proc. 19th International Symposium on Physical Design (ISPD'10), March 2010, pp. 13-14.
- [16] C. Y. C. Hou, "Design challenges and enablement for 28nm and 20nm technology nodes," in Symposium on VLSI Technology (VLSIT'10), June 2010, pp. 225 - 226.
- [17] K. Miyamoto, A. Strojwas, E. Hosomi, M. Ooida, H. Ezawa, M. Fukuda, Y. Matsubara, and K. Nu-mata, "Novel circuit design and process technology for leading-edge products," in Symposium on VLSI Technology (VLSIT'10), June 2010, pp. 141-142.
- [18] XW Lin, "Layout Proximity Effects and Device Extraction in Circuit Designs", in International Conference on SolidState and Integrated Circuit Technology (ICSICT'08), 2008, pp. 2228-2231.
- [19] CC Wang, et al., "Modeling of layout-dependent stress effect in CMOS design", in International Conference on Computer-Aided Design (ICCAD '09), November 2009, pp. 513-520.

— 저 자 소 개 —



도 지 성(학생회원)
2003년 홍익대학교 컴퓨터공학과
학사 졸업.
2003년~현재 삼성전자(주)
CAE팀 책임연구원
2011년~현재 성균관대학교
정보통신공학부
석사과정

<주관심분야 : DFM, CAE, 통계 모델>



조 준 동(정회원)
1980년 성균관대학교 전자공학과
학사 졸업.
1989년 (미)폴리테크닉대학교
전산학과 석사 졸업.
1993년 (미)노스웨스턴대학교
전산학과 박사 졸업.

<주관심분야 : 디지털 집적회로 설계 최적화>