

논문 2012-49-12-23

고전압 IGBT SPICE 시뮬레이션을 위한 모델 연구

(A Study on the Modeling of a High-Voltage IGBT for SPICE Simulations)

최 윤 철*, 고 응 준*, 권 기 원**, 전 정 훈**

(Yoon-Chul Choi, Woong-Joon Ko, Kee-Won Kwon, and Jung-Hoon Chun)

요 약

본 논문에서는 SPICE 시뮬레이션을 위한 고전압 insulated gate bipolar transistor(IGBT)의 개선된 모델을 제안하였다. IGBT를 부속 소자인 MOSFET과 BJT의 조합으로 구성하고, 각 소자의 각종 파라미터 값을 조절하여 기본적인 전류-전압 특성과 온도변화에 따른 출력특성의 변화 등을 재현하였다. 그리고 비선형적인 리버스 트랜스퍼 커패시턴스 등의 기생 커패시턴스의 전압에 따른 변화를 높은 정확도로 재현하기 위해, 복수의 접합 다이오드, 이상적인 전압 및 전류 증폭기, 전압제어 저항, 저항과 커패시터 수동소자 등을 추가하였다. 본 회로모델을 1200V급의 트렌치 게이트 IGBT의 모델링에 이용하였으며, 실측자료와 비교하여 통해 모델의 정확도를 검증하였다.

Abstract

In this paper, we proposed a SPICE model of high-voltage insulated gate bipolar transistor(IGBT). The proposed model consists of two sub-devices, a MOSFET and a BJT. Basic I-V characteristics and their temperature dependency were realized by adjusting various parameters of the MOSFET and the BJT. To model nonlinear parasitic capacitances such as a reverse-transfer capacitance, multiple junction diodes, ideal voltage and current amplifiers, a voltage-controlled resistor, and passive devices were added in the model. The accuracy of the proposed model was verified by comparing the simulation results with the experimental results of a 1200V trench gate IGBT.

Keywords: IGBT, Trench gate, SPICE model, I-V characteristics, Temperature dependency

I. 서 론

최근 자동차용 IC, 전원 관리 및 변환 IC 등 고전압 어플리케이션에 대한 연구개발이 활발히 진행되고 있으며, 고전압 시스템의 핵심 소자인 전력반도체의 사용도 지속적으로 증가하고 있다. 다양한 전력 스위치 소자 중 IGBT는 BJT의 낮은 온-저항을 가지면서도, 전력

MOSFET과 같이 전압제어가 가능하다는 장점을 갖고 있는 전력반도체 소자이다. 최근에는 기존의 평탄형 게이트 구조에서 발전하여 트렌치 형태의 게이트를 갖는 IGBT가 광범위하게 사용되고 있다. 트렌치 게이트 구조는 평탄형 게이트 구조보다 채널의 저항이 작고 전류 밀도가 증가하여 뛰어난 온-상태 특성을 갖는다.^[1]

IGBT를 기반으로 한 회로를 설계하기 위해서는 소자의 물리적인 특성을 반영한 SPICE 모델의 정확성과 신뢰성이 중요하다. 이전에도 IGBT SPICE 모델에 관한 연구가 진행되었지만 일부는 모델이 너무 간단하여 물리적인 특성을 제대로 반영하지 못하고,^[2] 일부는 수식을 바탕으로 정량적으로 모델링하여 적용하기는 쉽지만 정확도가 떨어진다는 단점이 있다.^[3] 그리고 대부분

* 학생회원, ** 정회원, 성균관대학교 정보통신대학
(College of Information & Communication
Engineering, Sungkyunkwan University)

※ 이 논문은 교육과학기술부의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임
(2012-0580-000)

접수일자: 2012년9월17일, 수정완료일: 2012년11월26일

본의 모델들이 직류 특성은 높은 정확도로 구현하였지만 커패시턴스와 같은 교류 특성을 정확히 반영하지 못하여, 이에 대한 추가적인 모델링 연구가 필요한 상황이다.

본 논문은 다음과 같은 순서로 이루어져 있다. II-1 장에서는 트렌치 게이트 IGBT의 구조와 동작원리와 물리적인 특성을 설명하고, 모델링이 필요한 IGBT의 특성들을 정리하였다. 그리고 복수의 접합 다이오드와 전압제어 가변저항을 이용하여 소자의 물리적인 특성을 바탕으로 기존의 모델^[4-5]을 개선하여 비선형적인 커패시턴스 특성 시뮬레이션을 위한 회로 모델을 제안하였다. II-2장에서는 제안한 회로모델의 소자 파라미터를 조절하여 1200V급 트렌치 게이트 IGBT의 직류 및 교류 특성을 재현하고, 시뮬레이션 결과를 실측한 결과와 비교하였다.

II. 본 론

1. IGBT 모델

그림 1은 트렌치 게이트 IGBT의 단면도를 나타낸다.^[1] 트렌치 게이트 IGBT는 게이트가 U자형으로 형성된 UMOSFET 구조에 p+기판이 추가된 구조이다. IGBT는 게이트, 컬렉터, 에미터 세 개의 단자로 구성되어 있다. P-베이스/n-드리프트/p+기판 영역은 각각 pnp 트랜지스터의 컬렉터/베이스/에미터로 동작한다. n-드리프트 영역과 IGBT의 에미터는 각각 MOSFET의 드

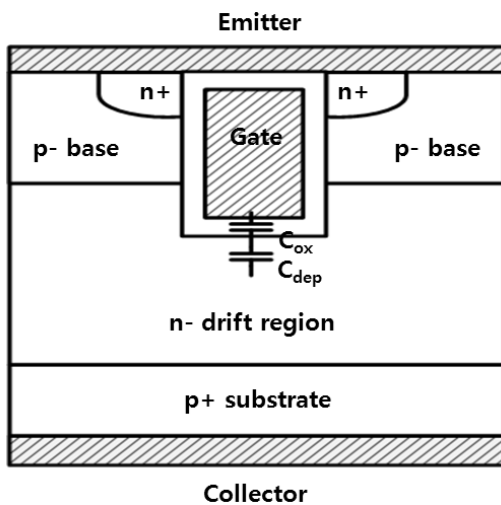


그림 1. 트렌치 게이트 IGBT의 단면도
Fig. 1. Cross section of the trench gate IGBT.

레인, 소스로 동작한다. 게이트에 전압이 인가되면 게이트 근방의 p-베이스 영역에 채널이 형성된다. 에미터 전극으로 흐르는 전류(I_C)는 채널을 통해 이동하는 전자에 의한 MOSFET 전류와 pnp 트랜지스터를 통해 이동하는 정공에 의한 BJT 전류의 합으로 구성된다.

그림 2는 IGBT의 기본 등가회로이다. MOSFET의 드레인이 BJT의 베이스로 연결되어 있고 BJT의 에미터가 IGBT의 컬렉터, BJT의 컬렉터가 MOSFET의 소스와 IGBT의 에미터 단자로 나타난다.

본 논문에서는 1200V급 트렌치 게이트 IGBT의 측정 자료를 기반으로 SPICE 모델링을 진행하였다.^[6] 먼저 IGBT의 직류 특성을 모델링하고, 온도를 변화하여 이에 따른 영향을 모델링한다. 예를 들어, 컬렉터 전류(I_C)와 온도의 변화에 따른 V_{GE} 와 V_{CE} 특성을 모델링 한다.

이러한 직류 특성은 그림 2에 나타나있는 등가회로로 모델링이 가능하지만, 기생 커패시터에 의해 변하는 교류 특성을 모델링하기에는 한계가 있다. IGBT의 커패시턴스는 세 단자간의 커패시턴스인 게이트-컬렉터 커패시턴스(C_{GC}), 게이트-에미터 커패시턴스(C_{GE}), 컬렉터-에미터 커패시턴스(C_{CE})로 나누어진다. C_{GC} 를 리버스 트랜스퍼 커패시턴스(C_{res}), C_{GC} 와 C_{GE} 의 합을 입력 커패시턴스(C_{ies}), C_{GC} 와 C_{CE} 의 합을 출력 커패시턴스(C_{oes})라고 한다. C_{GC} 는 게이트 단자와 컬렉터 단자 간 전압의 변화에 따른 전류량을 통해 얻어낼 수 있는데 게이트-드레인 커패시턴스(C_{GD})가 대부분을 차지한다. C_{GD} 는 그림 1에서 볼 수 있듯이 산화층의 커패시턴스(C_{ox})와 공핍층의 커패시턴스(C_{dep})의 직렬연결로 나타난다. C_{ox} 는 비교적 일정한 값을 가지지만 C_{dep} 는 게이트에 인가된 전압에 따라 크게 변화한다. 즉, 게이트와 드레인의 전압 차에 따라 공핍층의 두께가 변하고 커패시턴스는 공핍층의 두께에 비례하여 감소한다. 따라서 전압의 변화에 따른 C_{GD} 의 변화를 모델링하기 위해서

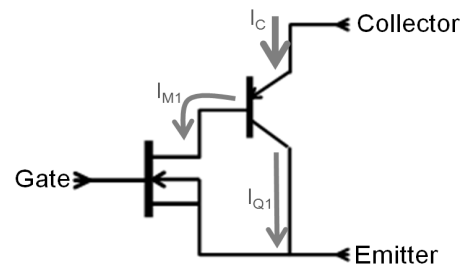


그림 2. IGBT의 등가회로
Fig. 2. A basic equivalent circuit of IGBT.

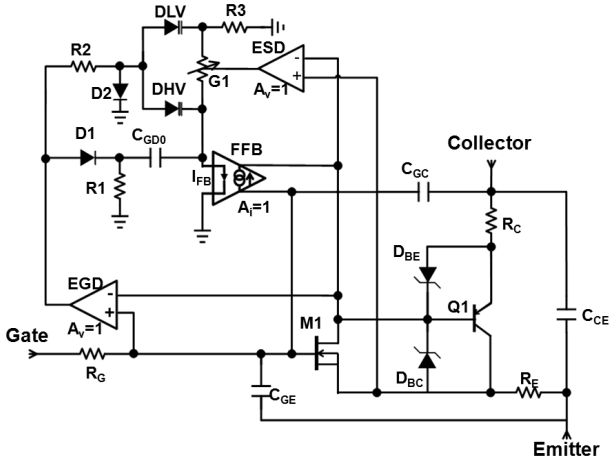


그림 3. 기생 커패시터를 포함한 IGBT 회로모델
Fig. 3. An IGBT circuit model with parasitic capacitors.

표 1. 제안한 회로의 소자 파라미터
Table 1. Device parameters of the proposed circuit model.

parameter	value	parameter	value
R_G	10 m Ω	R_C	0.7 m Ω
R_E	8.7 m Ω	R_1	1.0 Ω
R_2	1.0 Ω	R_3	1.0 Ω
C_{GE}	142 pF	C_{GD}	1.41 nF
C_{GC}	180 pF	C_{CE}	300 pF

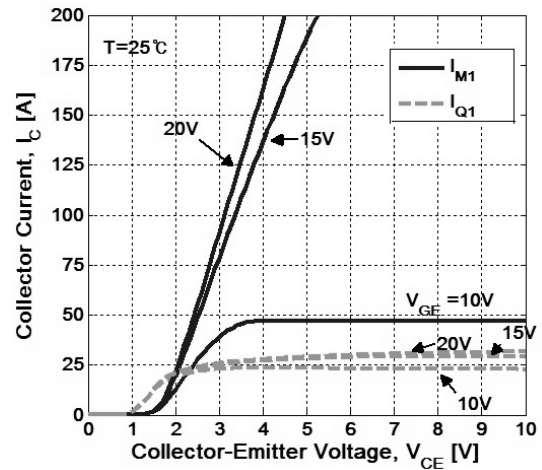
는 그림 2의 두 소자뿐만 아니라 추가적인 요소가 필요하다.

그림 3은 게이트와 드레인 사이의 커패시턴스(C_{GD}) 특성을 정확히 모델링하기 위해 수정된 모델이다. 주요 파라미터는 표 1에 나타내었다. M1과 Q1은 그림 2의 MOSFET과 BJT를 나타낸다. D1과 D2는 온-전압이 0V이고 온-저항이 0 Ω 인 이상적인 다이오드이고, DLV와 DHV는 온-전압이 0V인 접합 다이오드이다. EGD와 ESD는 각각 M1의 게이트 전압(V_G)과 드레인 전압(V_D)의 크기, 소스 전압(V_S)과 드레인 전압(V_D)의 크기를 감지하는 이득 1의 전압제어 전압원이다. FFB는 접지된 곳으로 흐르는 전류(I_{FB})를 감지하여 이와 동일한 전류가 게이트-드레인 사이로 흐르게 한다. V_G 가 V_D 보다 클 경우, D1 쪽으로만 전류경로가 형성되어 고정된 값인 C_{GD0} 로 C_{GD} 커패시턴스가 모델링 된다. 이 C_{GD0} 은 그림 1의 C_{OX} 에 해당 된다. V_D 가 V_G 보다 클 경우에는 접합 다이오드 DLV와 DHV의 접합 커패시턴스를 통해

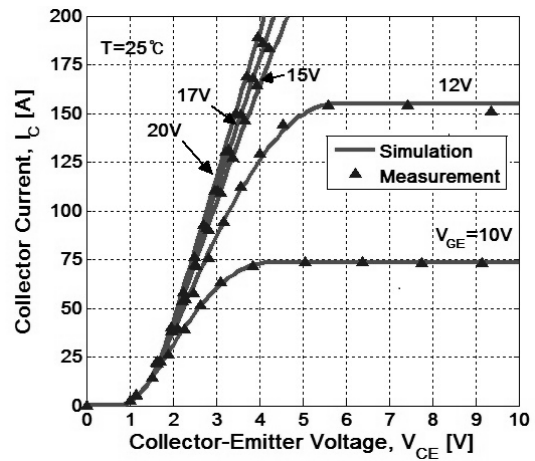
C_{GD} 가 모델링 된다. V_{SD} 의 크기에 따라 전압제어 가변 저항($G1$)이 변화하여, DLV를 통해 흐르는 전류가 I_{FB} 에 기여하는 정도가 변화한다. 이를 통해, 그림 1의 C_{dep} 에 의한 C_{GD} 의 비선형적인 특성을 모델링한다. 커패시턴스의 모델링에 관한 자세한 방법은 이 논문의 후반(그림 8)에서 설명하도록 한다.

2. IGBT의 특성 및 고찰

IGBT의 컬렉터 전류(I_C)는 BJT에 흐르는 전류(I_{Q1})와 MOSFET에 흐르는 전류(I_{M1})의 합으로 나타난다. 그림



(a)



(b)

그림 4. (a) IGBT의 각 부속소자 별 전류-전압 출력특성 (시뮬레이션 결과) (b) 전류-전압 특성(실측자료 및 시뮬레이션 결과)

Fig. 4. (a) I-V characteristics of the sub-devices in IGBT (simulated results) (b) I-V characteristics (measured and simulated results)

4(a)는 V_{GE} 가 각각 10V, 15V, 20V일 경우에 컬렉터 전압을 증가시키면서 MOSFET에 흐르는 전류(I_{MI})와 BJT에 흐르는 전류(I_{Q1})를 보여준다. 1V~2V 사이에서 BJT에 흐르는 전류가 MOSFET에 흐르는 전류보다 크게 나타나기 때문에 I_{Q1} 의 정확한 모델링이 중요하다. 이에 반해 2V 이상에서는 I_{MI} 이 주로 나타난다. 전류-전압 특성에 영향을 주는 파라미터로는 BJT 관련 파라미터인 BF(ideal maximum forward beta), NF(forward current emission coefficient) 등이 있고, MOSFET 관련 파라미터인 VTO(threshold voltage), KP(intrinsic transconductance parameter), Theta(mobility modulation) 등이 있다. 먼저 PNP 트랜지스터 Q1의 파라미터 BF를 조절하여 2V까지의 I_C 를 모델링한다. NMOS 트랜지스터 M1은 레벨 3의 BSIM 모델을 사용하였다. MOSFET의 전류-전압 특성에 가장 큰 영향을 미치는 파라미터로는 게이트와 에미터 사이의 문턱전압 $V_{GE,th}$ 를 나타내는 VTO와 트랜스컨덕턴스 관련 파라미터인 KP 등이 있다. 이들 파라미터를 적절히 조절하여 그림 4(b)와 같이 순방향 전류-전압 특성을 구현하였다. 이 그림에서는 게이트에 10V에서 20V의 전압을 인가하고 컬렉터 전압을 증가시켰을 때 컬렉터에 흐르는 전류량을 나타내었다. 5가지 경우 모두 0V에서 10V까지의 V_{CE} 전압 범위에서 실측자료와 시뮬레이션 값이 대체로 일치하는 것을 보여준다.

그림 5는 온도 변화에 따른 전류-전압 특성을 나타낸다. 상온(25°C)과 고온(125°C)인 경우에서 게이트에 15V를 인가하고 컬렉터 전압을 증가시켰을 때 컬렉터에 흐르는 전류량을 나타내었다. 앞에 언급한 바와 같이 V_{CE} 가 낮을 때(2V 이하)에는 BJT의 전류가 차지하는 비율이 높으므로 BJT와 유사한 온도계수 특성을 갖고, V_{CE} 가 높을 때(2V 이상)에는 MOSFET과 유사한 온도계수 특성을 보인다. 따라서 2V 이하에서는 BJT의 전류를 온도에 따라 지수적으로 증가시키는 파라미터인 XTB(forward and reverse beta temperature exponent)를 조절하여 모델링 한다. 그리고 2V 이상에서는 MOSFET의 전류를 온도에 따라 지수적으로 증가시키는 파라미터인 BEX(low field mobility temperature exponent)의 정확한 조절이 중요하다. 전류-전압 특성을 보면 온도가 증가할수록, MOSFET의 문턱전압이 낮아진다. 그리고 이동도가 감소하여 채널저항이 증가하고 기울기가 줄어든다.

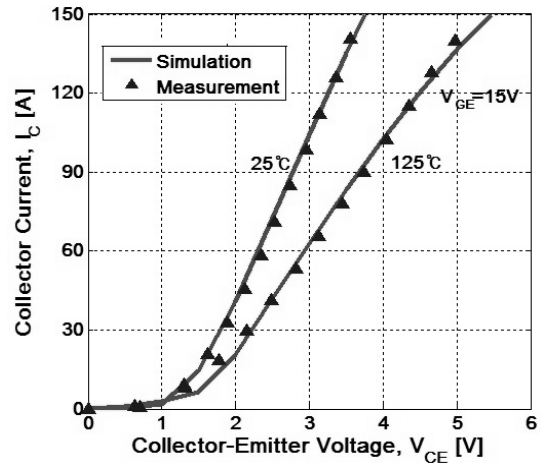


그림 5. 온도 변화에 따른 전류-전압 특성 변화(실측자료 및 시뮬레이션 결과)

Fig. 5. I-V characteristics under various temperature conditions (measured and simulated results).

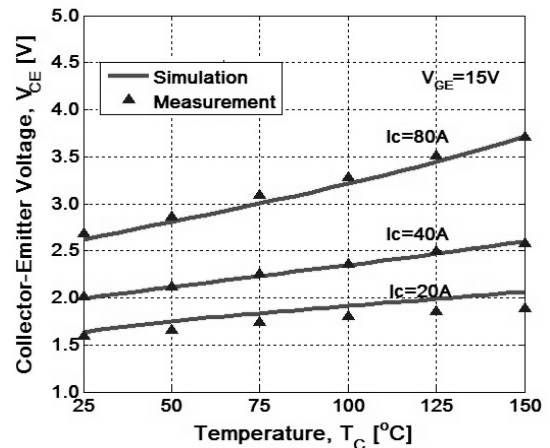
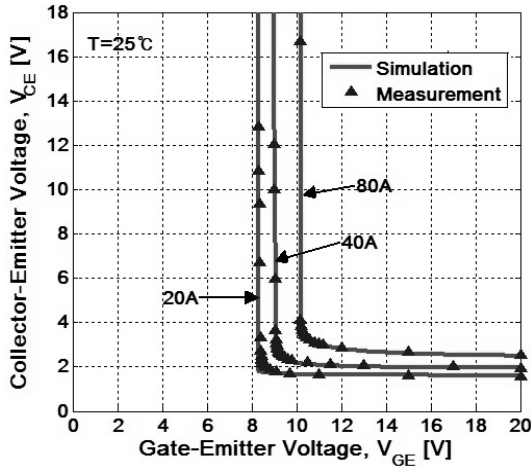


그림 6. 다양한 전류(I_C) 조건에서 온도의 변화에 따른 V_{CE} 특성(실측자료 및 시뮬레이션 결과)

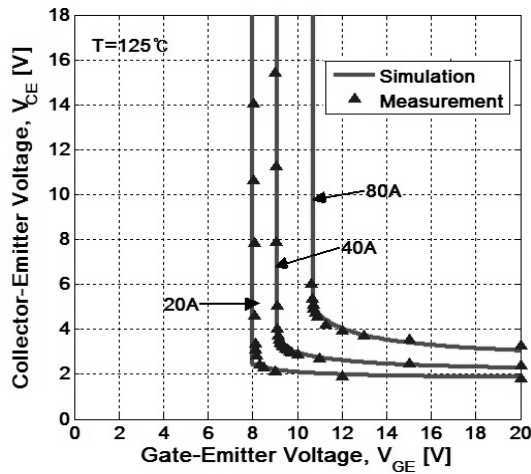
Fig. 6. V_{CE} vs. temperature with various I_C levels (measured and simulated results).

그림 6은 V_{GE} 가 15V일 때, 온도 변화에 따른 V_{CE} 의 변화를 세 가지 정격전류($I_C=20A, 40A, 80A$)에 따라 보여준다. 온도가 높아질수록 V_{CE} 가 증가하고 I_C 가 높을수록 온도에 따른 V_{CE} 증가율도 커진다. 20A에서 80A 범위의 고전류 조건에서는, MOSFET에 높은 전류가 흐르기 때문에 BEX 파라미터에 따라 온도-전압 특성이 민감하게 변화한다.

그림 7은 상온(25°C)과 고온(125°C)에서 정격전류 조건을 세가지($I_C=20A, 40A, 80A$)로 변화시켰을 때, 게이트 전압과 컬렉터 전압 특성을 보여준다. 쉽게 예상할 수 있듯이 I_C 가 커질수록 컬렉터의 온-전압이 높아지며,



(a)



(b)

그림 7. 다양한 전류(I_C) 조건에서 게이트 전압 변화에 따른 IGBT의 컬렉터 전압의 변화(실측자료 및 시뮬레이션 결과) (a) 25°C (b) 125°C

Fig. 7. V_{CE} vs. V_{GE} with various I_C (measured and simulated results) (a) 25°C (b) 125°C.

전류의 변화에 따른 컬렉터 전압의 변화는 고온에서 더 커진다. 그림 6의 상황과 마찬가지로 BJT에 흐르는 전류보다 MOSFET에 흐르는 전류가 크기 때문에 MOSFET과 유사한 온도계수 특성을 보인다.

그림 8은 $V_{GE}=0V$, 1MHz에서 IGBT의 커패시턴스 특성을 나타낸다. C_{res} 는 그림 3의 게이트 단자와 컬렉터 단자 사이의 커패시턴스로(C_{GC}), 에미터를 접지시키고 V_C 를 변화시켰을 때 게이트와 컬렉터 사이에 흐르는 전류량을 측정함으로써 구할 수 있다. 공핍층에 인가된 전압의 크기에 따라 커패시턴스가 비선형적으로 변하는 것을 복수의 접합 다이오드 DLV와 DHV의 접

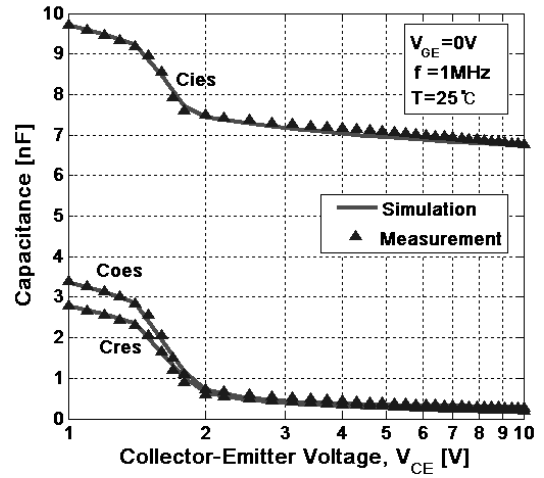


그림 8. 커패시턴스-전압 특성(실측자료 및 시뮬레이션 결과)

Fig. 8. Capacitance vs. V_{CE} characteristics. (measured and simulated results)

합 커패시턴스와 그 사이의 전압제어 가변저항을 이용하여 모델링하였다. V_C 가 약 1.3V에 도달하기 이전에는 커패시턴스의 변화가 완만하기 때문에, 1.3V 이하에서는 가변저항의 크기를 작게 하여(R_3 의 1/10 이하) DLV와 DHV에 흐르는 변위전류 모두 C_{GD} 커패시턴스를 모델링하는 데에 기여하도록 한다. 1.3V~1.8V의 V_C 에서는 전압이 증가함에 따라 커패시턴스가 급격히 감소하므로, 전압이 증가할 때 가변저항의 크기를 R_3 대비 점차 증가시켜 DLV의 변위 전류가 I_{FB} 에 유입되는 것을 방해하여, 점진적으로 커패시턴스의 계산에 DLV가 차지하는 비율을 감소시킨다. 1.8V 이상에서는 가변저항의 크기가 충분히 커서 DLV로 흐르는 전류는 R_3 를 통해 접지된 곳으로 흐르고, DHV를 통해 흐르는 변위전류로만 커패시턴스가 모델링 되도록 하였다. 그 결과, 실측 결과와 유사한 시뮬레이션 결과를 얻었다. C_{oes} 는 게이트와 에미터를 단락시키고 C_{GC} 와 C_{CE} 에 흐르는 전류를 측정하여 얻어진다. 먼저 시뮬레이션한 C_{GC} 를 바탕으로 C_{CE} 의 크기를 조절하여 실측결과와 같은 결과를 얻었다. 입력 커패시턴스 C_{ies} 는 컬렉터와 에미터 간을 실질적으로 단락시킬 수 있는 큰 커패시터를 C_{CE} 와 병렬로 연결한 후, C_{GC} 와 C_{GE} 에 흐르는 전류를 측정하여 얻는다. C_{res} 의 모델링을 통해 C_{GC} 값을 이미 알고 있기 때문에, 실측한 C_{ies} 와 유사한 결과를 얻기 위해 C_{GE} 의 크기를 조절한다.

III. 결 론

본 논문에서는 고전압 IGBT의 SPICE 시뮬레이션을 위해 개선된 모델을 제안하였다. 이 모델을 이용하여 시뮬레이션을 수행한 결과, 1200V급 트렌치 게이트 IGBT를 측정하여 얻은 직류 특성과 교류 특성을 성공적으로 재현하였다. 모델링 시에, 먼저 IGBT의 부속소자인 MOSFET과 BJT의 파라미터를 조절하여 기본적인 전류-전압 특성과 온도 변화에 따른 출력전류의 특성, 그리고 상온과 고온에서 컬렉터 전류와 게이트 전압에 따른 출력(V_{CE}) 특성을 모델링하였다. 또한 복수의 접합 다이오드, 전압제어 가변저항, 이상적인 전압 및 전류 증폭기와 수동소자 등을 추가하여 비선형적인 리버스 트랜스퍼 등의 커패시턴스-전압 특성을 구현하였으며 실측 데이터와의 비교를 통해 정확도를 검증하였다. 본 연구에서 제안한 IGBT 모델에는 소자의 다차원적인 물리적 특성이 효과적으로 반영되었다. 높은 정확도와 신뢰성을 확보한 본 모델은 IGBT를 기반으로 한 전력용 회로 설계 시뮬레이션에 편리성을 제공할 것이다.

감사의 글

본 논문에서 사용한 1200V 트렌치 게이트 IGBT는 트리노테크놀로지에서 제공하였습니다.

참 고 문 헌

- [1] B. Jayant Baliga, "Power semiconductor devices," PWS, pp. 426-498, 1996.
- [2] Franc Mihalic, Miro Milanovic, Danilo Zdravec, Karel Jezernik, Erwin Reking, Klaus Krischan, Robert Filipitsch and Manfred Rentmeister, "IGBT SPICE macro model," *International Conference on Power Electronics and Motion Control*, pp. 240-245, November 1992.
- [3] Loic Michel, Ahmed Chériti and Pierre Sicard, "Development of an efficient IGBT simulation model," *Canadian Conference on Electrical and Computer Engineering*, pp. 252-256, May 2009.
- [4] A. F. Petrie, "A Spice Model for IGBTs," *Applied Power Electronics Conference*, pp. 1-6, 1995.

- [5] Charles-Edouard Cordonnier, Application Note AN-1043, "Spice Model for TMOS Power MOSFETs," Motorola Inc., pp. 1-18, 1989.
- [6] Trinno Technology, "TGL40N120ND," Datasheets, pp. 1-7, January 2012.

저 자 소 개



최 윤 철(학생회원)
 2011년 성균관대학교 전자전기
 공학과 학사 졸업
 2011년~현재 성균관대학교
 정보통신대학 석사 과정
 <주관심분야 : ESD, Power IC>



권 기 원(정회원)
 2001년 Stanford Univ.
 재료공학과 박사 졸업.
 2001년~2006년 삼성전자(주)
 DRAM개발실 수석연구원
 2007년~현재 성균관대학교
 정보통신대학 부교수
 <주관심분야 : 메모리IP, 아날로그/디지털 Mixed
 mode 설계>



고 응 준(학생회원)
 2007년 성균관대학교 반도체시스
 템공학과 입학
 2007년~현재 성균관대학교
 반도체시스템공학과
 학사 과정
 <주관심분야 : PMIC, Power IC>



전 정 훈(정회원)
 2006년 Stanford Univ.
 전기공학과 박사 졸업.
 2006년~2008년 Rambus Inc.
 2008년~현재 성균관대학교
 정보통신대학 부교수
 <주관심분야 : High-speed serial link,
 Mixed-signal 설계, ESD 및 신뢰성 연구>